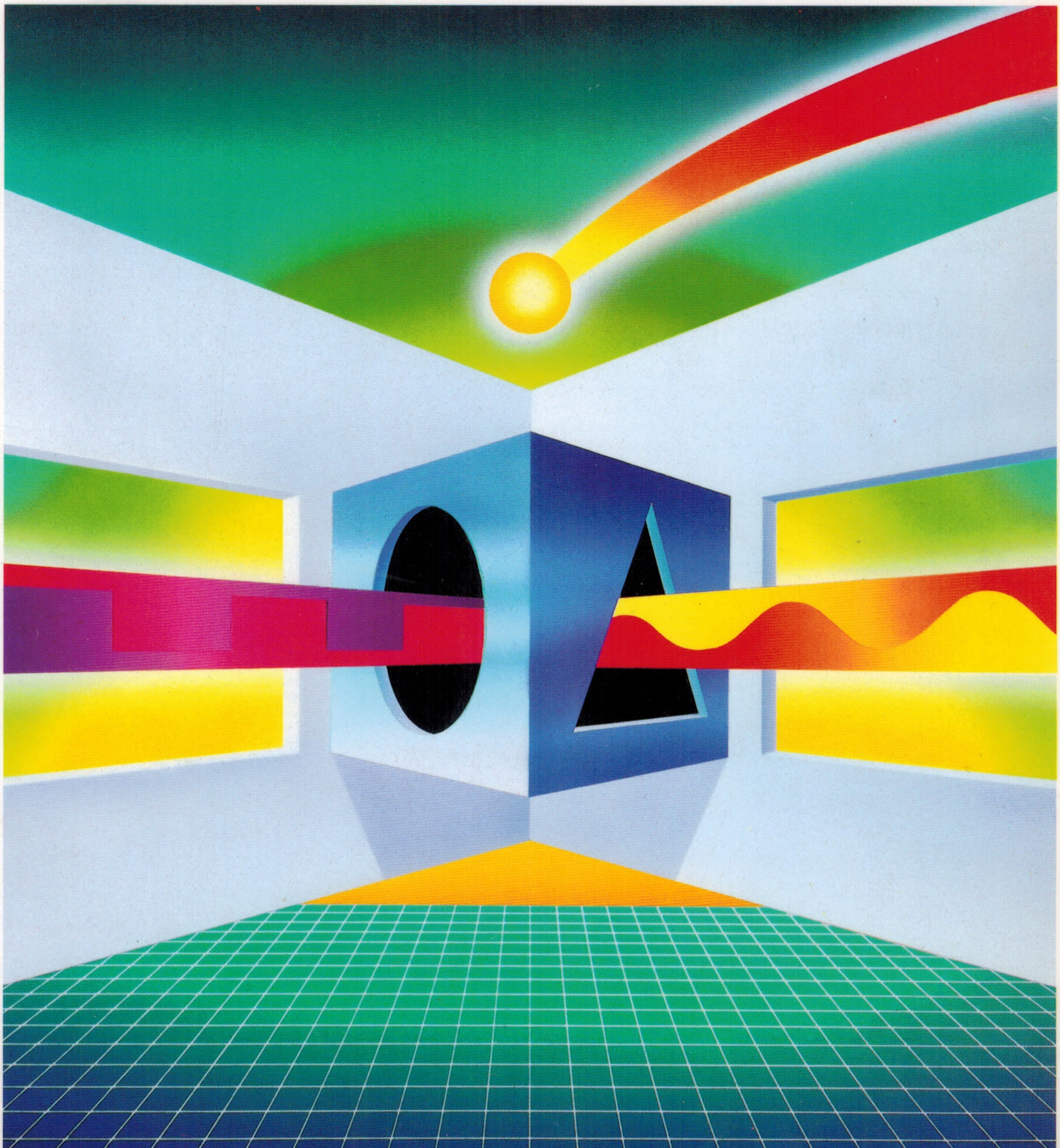
トランジスタ技術 SPECIAL

特集 A-D/D-A変換回路技術のすべて
アナログとディジタルを結ぶ最新回路設計ノウハウ

No.16



CQ出版社

エレクトロニクス・フィールド・ワーク・マガジン

既刊紹介

トランジスタ技術 SPECIAL

隔月発売(偶数月29日)/各定価1,540円/B5判/2色刷

1 個別半導体素子 活用法のすべて
基礎からマスタするダイオード，トランジスタ，FETの実用回路技術

2 作りながら学ぶMC68000
16ビットMPUとその周辺LSIを使いこなすためのハード&ソフト

3 PC9801と拡張インターフェースのすべて
16ビット・パソコンを使いこなすためのハード&ソフト

4 C-MOS標準ロジックIC活用マニュアル
実験で学ぶ4000B/4500B/74HCファミリ

5 画像処理回路技術のすべて
カメラとビデオ回路，パソコンと融合させる

6 Z80ソフト&ハードのすべて
基礎からマクロ命令を使いこなすまでのノウハウを集大成

7 HD64180徹底活用マニュアル
Z80を超えた高性能８ビットCPUのすべて

8 データ通信技術のすべて
シリアル・インターフェースの基礎からモデムの設計法まで

9 パソコン周辺機器インターフェース詳解
セントロニクス/RS-232C/GPIB/SCSIを理解するために

10 IBM PC&80286のすべて
世界の標準パソコンとマルチタスクの基礎を理解する

11 フロッピ・ディスク・インターフェースのすべて
需要の急増するFDDシステムの基礎から応用まで

12 入門ハードウェア 手作り測定器のすすめ
電子回路設計の基礎と実践へのアプローチ

13 シミュレータによる電子回路理論入門
コンピュータを使ったアナログ回路設計の手法を理解するために

14 技術者のためのCプログラミング入門
MS-C，Quick C，Turbo Cによるソフトウェア設計のすべて

15 アナログ回路技術の基礎と応用
計測回路技術のグレードアップをめざして

16 A-D/D-A変換回路技術のすべて
アナログとディジタルを結ぶ最新回路設計ノウハウ

17 OPアンプによる回路設計入門
アナログ回路の誤動作とトラブルの原因を解く

18 ホビー・エレクトロニクス入門
電子回路を［売切］と実現する喜びを求めて

19 PC9801計測インターフェースのすべて
オリジナル拡張ボードでパソコンを実践活用しよう

20 アナログ回路シミュレータ活用術
ゲーム感覚の回路設計を体験しよう

21 ディジタル・オーディオ技術の基礎と応用
最もポピュラーな最新技術を理解しよう

22 ディジタル回路ノイズ対策技術のすべて
TTL/CMOS/ECLの活用法と誤動作/トラブルへの処方

23 回路デザイナのためのPLD最新活用法
PLDのプログラミング法からPALライタの製作まで

24 Cによる組み込み機器用プログラミング
16ビットCPUによるメカトロニクス入門

25 最新マイコン・メモリ・システム設計法
DRAM，SRAMの動作からデュアル・ポートRAM，FIFOの活用まで

26 68000ソフト&ハードのすべて
実用ライブラリの作成と便利チップ68301/68303の活用技術

27 ハードディスクとSCSI活用技術のすべて
本格活用のためのハード&ソフトのすべてを詳解

28 最新・電源回路設計技術のすべて
3端子レギュレータから共振型スイッチング電源まで

29 マイコン独習Z80完全マニュアル
手作りの原点から実用ソフトの作成まで

30 ニュー・メディア時代のデータ通信技術
赤外線，無線通信技術からLAN，光ファイバを用いた高速通信技術まで

31 基礎からのビデオ信号処理技術
複合映像信号の理解からハイビジョン信号の捉え方まで

32 実用電子回路設計マニュアル
アナログ回路の設計例を中心に実用回路を詳述

33 オプト・デバイス応用回路の設計・製作
光素子を使いこなすための製作ドキュメント

年間購読をご希望の方は，年間購読料10,860円(送料，税込)を現金書留または郵便振替(東京0-10665)で，ＣＱ出版㈱営業部までお申し込みください．バックナンバは最寄の書店から注文できます．弊社へ直接ご注文の場合は，定価，送料を添えてＣＱ出版㈱営業部宛へお願いいたします．

ＣＱ出版社 〒170 東京都豊島区巣鴨1-14-2 営業部☎(03)5395-2141 振替 東京0-10665

(定価は税込です)

トランジスタ技術 SPECIAL

Number 16

CONTENTS

特集　A-D/D-A 変換回路技術のすべて

アナログとディジタルを結ぶ最新回路設計ノウハウ

鈴木　隆

アナログ信号とディジタル信号のインターフェース

第1章　A-D/D-A変換回路の役割と応用例 ……2

アナログ信号をディジタル・データに変換する

第2章　A-Dコンバータの動作原理と特徴 ……6

ディジタル・データをアナログ信号に変換する

第3章　D-Aコンバータの動作原理と特徴 ……16

DC特性とAC特性の仕様を正しく理解するために

第4章　A-D/D-Aコンバータのデータの読み方 ……26

汎用8ビット/12ビットA-Dコンバータの回路設計ノウハウ

第5章　代表的なA-Dコンバータの特徴と使い方 ……40

汎用8ビット/12ビットD-Aコンバータの回路設計ノウハウ

第6章　代表的なD-Aコンバータの特徴と使い方 ……55

アプリケーションに適したデバイスを選択するために

第7章　A-D/D-Aコンバータの特性試験方法 ……74

高速A-Dコンバータの試験方法と回路設計ノウハウ

第8章　フラッシュ型A-Dコンバータの使い方 ……90

LF398/CXA1008P/CS31412の特徴と使い方

第9章　サンプル&ホールドの回路設計ノウハウ ……100

16ビット以上の精度を実現するデバイスと周辺回路技術

第10章　高精度A-Dコンバータの回路方式と使い方 ……121

オーバ・サンプリングとノイズ・シェーピング技術で高精度を実現する

第11章　デルタ・シグマ変調型A-Dコンバータの使い方 ……139

12ビット，16ビットを実現するデバイスの特徴とPCM56Pの評価

第12章　高精度D-Aコンバータの回路方式と使い方 ……146

ビデオ用D-Aコンバータの特徴と8ビット・デバイスの評価

第13章　高速D-Aコンバータの回路方式と使い方 ……160

ポカペポコのエンジニア・スピリッツ ……174

編集責任／山岸誠仁

表紙デザイン／簑原圭介

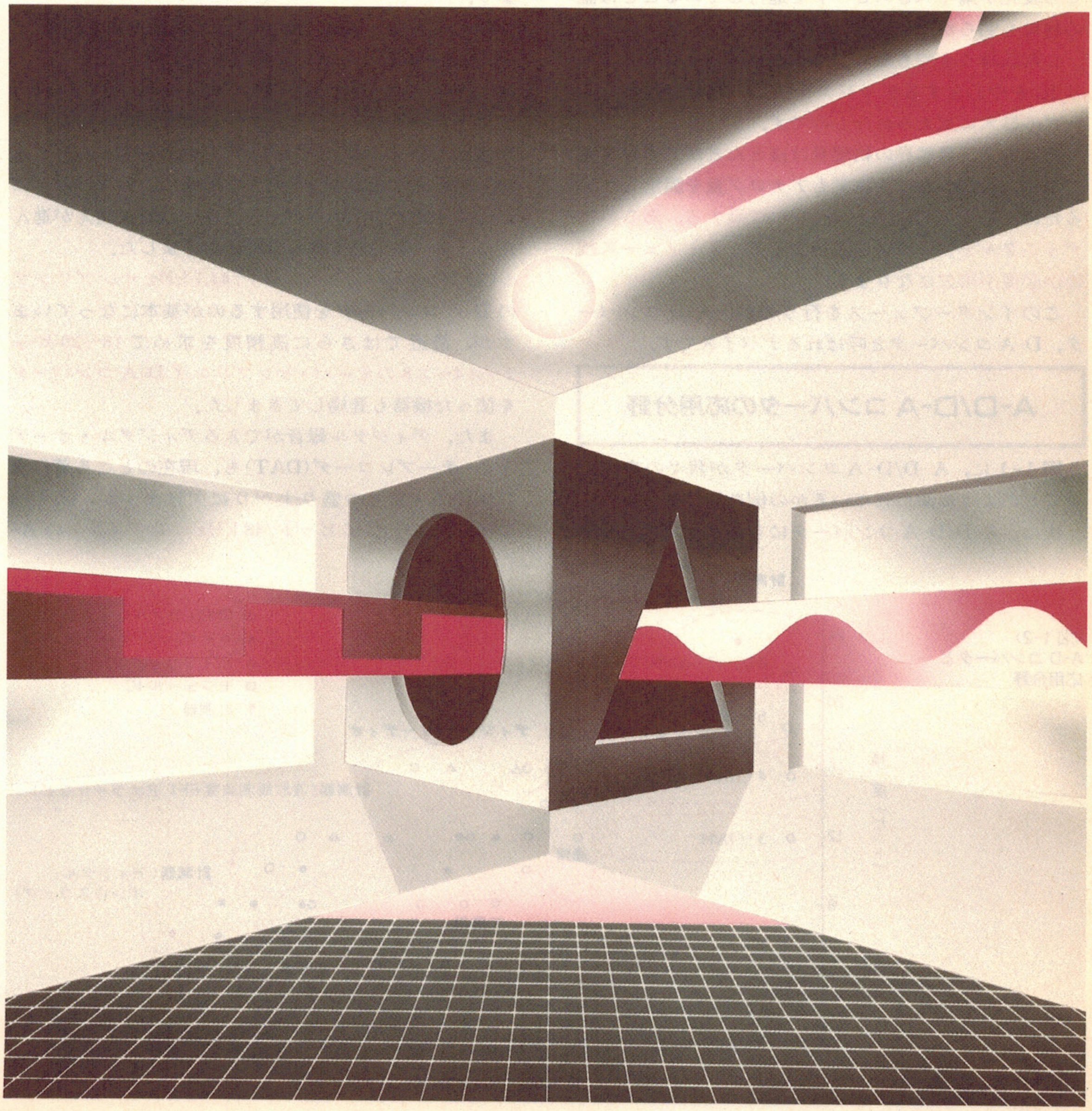
特集　A-D/D-A変換回路技術のすべて

アナログとディジタルを結ぶ最新回路設計ノウハウ

鈴木　隆
すずき・たかし

現在の回路技術者にとって，A-D/D-A 変換回路技術は必要不可欠な知識です．すなわち，アナログ量を検出しディジタル量に変換して処理したり，また逆に，ディジタル量によってアナログ量をコントロールするということを頻繁に行う必要があるからです．

本特集は，そのA-D/D-A 変換技術の基礎から応用までを最新のデバイスを使って解説しました．



第1章

アナログ信号とディジタル信号のインターフェース
A-D/D-A変換回路の役割と応用例

A-Dコンバータや D-Aコンバータは，我々の身近なところにも使われています．本章では，A-D/D-Aコンバータの応用分野において，どのような性能が要求されるかを解説します．

我々の身の回りの機器が，アナログからディジタルへとどんどん置き換えられています．ここ数年の間に，この変化が驚くべきスピードで進行していることは誰の目にも明らかでしょう．

これは言うまでもなく，マイクロプロセッサやメモリICを中心とするディジタル技術の急激な進歩とニーズの拡大に支えられたものです．

ところで，自然界の物理量はほとんどがアナログ量であり，人間の視覚や聴覚もアナログ量を識別しているため，アナログをディジタルに変換する，あるいはディジタルをアナログに変換するインターフェース技術が必要不可欠になります．

このインターフェースを行うのが，A-Dコンバータ，D-Aコンバータと呼ばれるデバイスです．

A-D/D-Aコンバータの応用分野

図1-1に，A-D/D-Aコンバータが我々の身の回りでどのように使われているかの例を示します．

次に，A-D/D-Aコンバータにも様々な方式，種類があるわけですが，どの分野にはどのようなA-D/D-Aコンバータが使われているのかを簡単にみてみましょう．

図1-2には，A-Dコンバータの変換速度と精度(ビット数)を軸にした応用分野を示します．

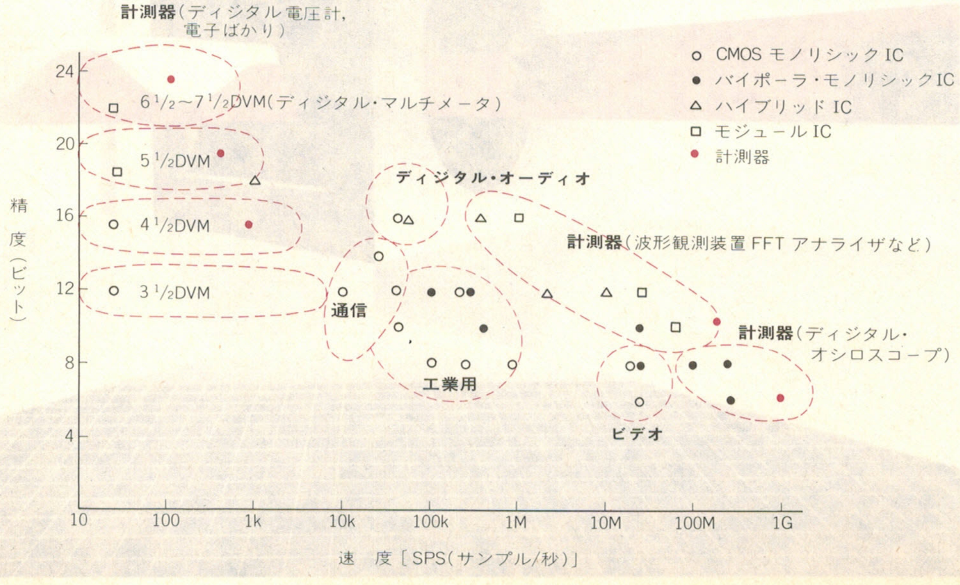
● オーディオ機器への応用

オーディオ機器は，ほんの少し前まではアナログの牙城ともいえる領域でしたが，コンパクト・ディスク・プレーヤ(CDプレーヤ)の登場によって，我々にとってはアナログからディジタルへの置き換えが進んだことを一番実感できる分野になりました．

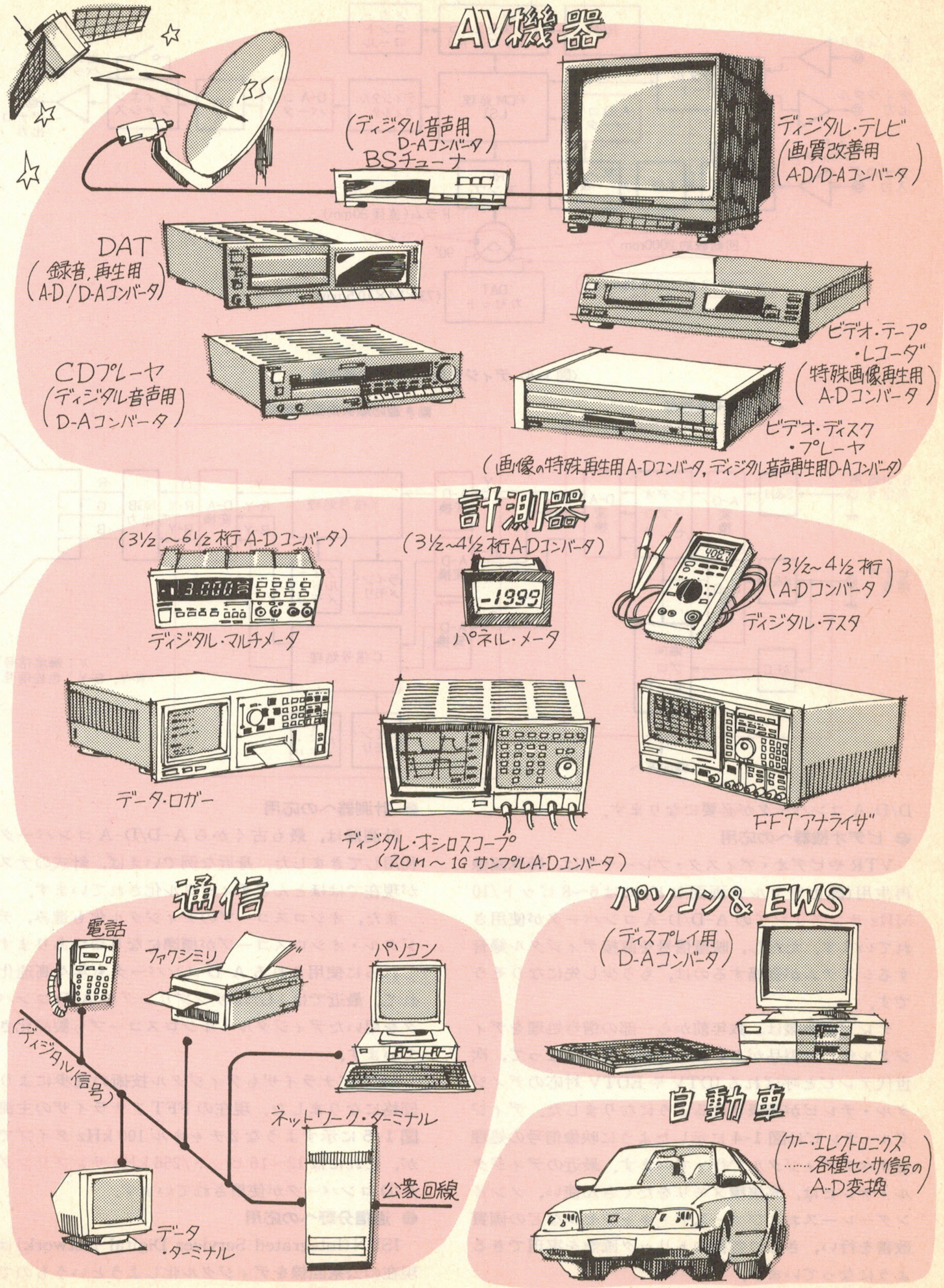
CDプレーヤは，16ビット/44.1 kHzサンプリングのD-Aコンバータを使用するのが基本になっていますが，最近ではさらに高精度を求めて18～20ビット/×4～×8のオーバ・サンプリングD-Aコンバータを使った機器も登場してきました．

また，ディジタル録音ができるディジタル・オーディオ・テープレコーダ(DAT)も，現在のところ著作権の関係で今ひとつ盛り上がりに欠けますが，図1-3に示したように16ビット/48 kHzサンプリングのA-

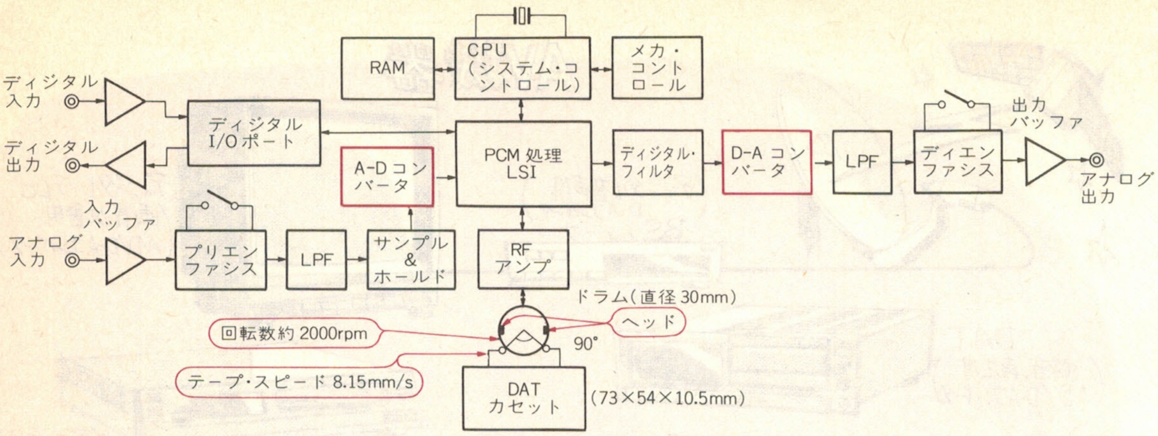
〈図1-2〉
A-Dコンバータと応用分野



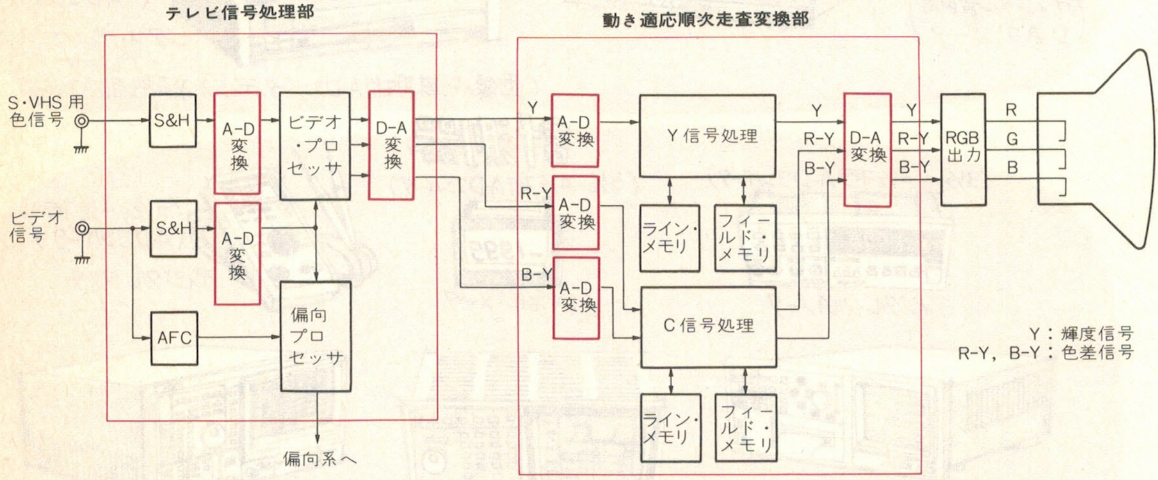
〈図 1-1〉 身の回りの機器での A-D/D-A コンバータの使用例



〈図 1-3〉ディジタル・オーディオ・テープレコーダの構成例



〈図 1-4〉ディジタル・テレビの構成例



D/D-A コンバータが必要になります．

● ビデオ機器への応用

VTR やビデオ・ディスク・プレーヤでは，特殊画像再生用(静止やマルチ画面など)には6～8 ビット/10 MHz サンプリングの A-D/D-A コンバータが使用されています．ただし，映像信号を直接ディジタル録音するシステムが登場するのは，もう少し先になりそうです．

テレビ受像機は，数年前から一部の信号処理をディジタル化した製品がありましたが，最近になって，次世代テレビと呼ばれる IDTV や EDTV 対応のディジタル・テレビが発表されるようになりました．ディジタル・テレビは**図 1-4** に示したように映像信号の処理をすべてディジタルで行っています．最近のディジタル・テレビは，高集積メモリをたくさん使い，ノンインターレースおよびゴースト・キャンセルなどの画質改善を行い，さらに各種のトリック画像を実現できるようになっています．

● 計測器への応用

計測器は，最も古くから A-D/D-A コンバータを利用してきました．身近な例でいえば，針式のテスタが現在ではほとんどディジタル化されています．

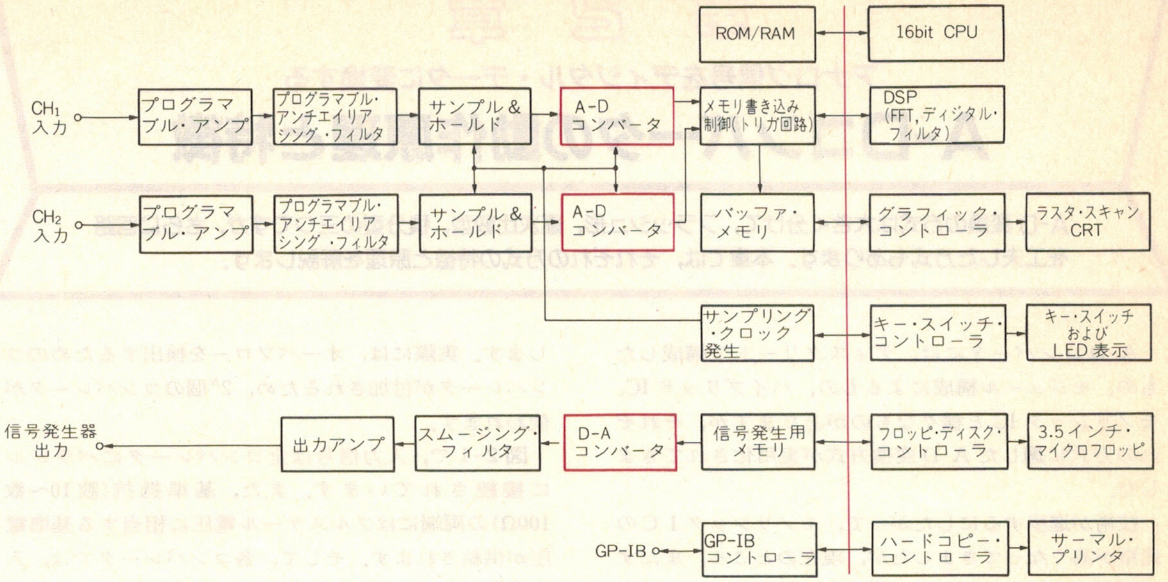
また，オシロスコープのディジタル化も進み，ディジタル・オシロスコープが標準になりつつあります．これらに使用される A-D コンバータも年々高速化されて，最近では 1 GHz サンプリングの A-D コンバータを用いたディジタル・オシロスコープも製品化されています．

FFT アナライザもディジタル技術の進歩により低価格になりました．現在の FFT アナライザの主流は，**図 1-5** に示すような 2 チャネル 100 kHz タイプですが，これには 12～16 ビット/256 kHz サンプリングの A-D コンバータが使用されています．

● 通信分野への応用

ISDN (Integrated Services Digital Network) は，現在の公衆回線をディジタル化しようというものです．

〈図 1-5〉 2 チャネル FFT アナライザの構成例



ISDN が実現すれば，各家庭の電話，ファクシミリ，テレビ電話などがすべてディジタル化されることになります．すでに，交換機間のディジタル化は進んでおり，端末を交換すればいつでもディジタル化できるところまできています．

ここで，電話による音声信号をディジタル化するには CODEC と呼ばれる IC が使用されます．CODEC は，3.5 kHz の音声帯域を 8 kHz でサンプリングする A-D 変換を行います．この分解能は 8 ビットですが，対数圧縮しているため，13～14 ビット相当のダイナミック・レンジをもっています．

● その他の応用分野

自動車のエレクトロニクス化も急速に進んでいます．各種センサからの信号を A-D 変換してディジタル処理を行う電子制御システムが標準になっています．

また，コンピュータ端末のディスプレイ用にも 100 MHz サンプリング以上の高速なビデオ用 A-D コンバータ(RAM DAC，カラー・パレット IC などもある)が不可欠になっています．

その他，気づきにくいところでは，はかりがすべてディジタル式になり，メータ式のはかりは消えつつあります．はかりに使用する A-D コンバータは，非常に線形性の優れたダイナミック・レンジの高いものが要求されます．

このように，身の回りの電子機器には非常に多くの A-D/D-A コンバータが使われており，アナログとディジタルの橋渡しを行っていることがわかると思います．

好評発売中
トランジスタ技術 SPECIAL No.9
B5判 160頁
定価1,540円
(税込み)
特集 パソコン周辺機器インターフェース詳解
セントロニクス/RS-232C/GPIB/SCSIを理解するために
パソコン/マイコンが外界と通信するために必要な代表的四大インターフェースを詳しく解説します．まず最初に，インターフェースの規格について説明します．そして，そのインターフェースを実現するのに使われるLSI/ICの使い方を説明します．後半では，説明だけでは理解しにくいタイミングなどを，実際の製作記事をとおして学んでいきます．
CQ出版社 〒170 東京都豊島区巣鴨1-14-2 ☎03-5395-2121(出版部) 03-5395-2141(営業部) 振替 東京0-10665

第2章

アナログ信号をディジタル・データに変換する

A-Dコンバータの動作原理と特徴

A-D変換の方式は大きく分けて，フラッシュ形，逐次比較型，積分型の三つですが，さらに回路を工夫した方式もあります．本章では，それぞれの方式の特徴と原理を解説します．

A-Dコンバータには，ディスクリートで構成したもの，モジュール構成によるもの，ハイブリッドIC，モノリシックICと様々なものがありますが，それぞれの方式に適したA-D変換方式が実用化されてきました．

技術が進歩するにしたがって，モノリシックICの比重が高くなってきましたが，現在のところ，まだすべてがモノリシックICに置き換えられたわけではありません．

表2-1に，代表的なA-Dコンバータの変換方式を示します．本章では，これらのA-D変換方式の原理および特徴などについて詳しく説明することにします．

フラッシュ(並列)型A-Dコンバータ

フラッシュ型A-D変換は並列型とも呼ばれますが，アナログからディジタルへの変換ではもっとも単純で，原理に忠実な変換方式です．図2-1に示したように，Nビットの分解能を得るために(2^N-1)個のコンパレータを用意し，コンパレータのタップに相当する基準抵抗およびコンパレータの出力をNビットのバイナリ・コードに変換するためのエンコーダとにより構成します．実際には，オーバフローを検出するためのコンパレータが付加されるため，2^N個のコンパレータが使われます．

図2-1で，入力信号は全コンパレータにパラレルに接続されています．また，基準抵抗(数10～数100Ω)の両端にはフルスケール電圧に相当する基準電圧が供給されます．そして，各コンパレータでは，入力信号と各コンパレータにおける参照電圧レベルとが比較されます．

ここで，$V_{IN} > V_{nref}$の関係にあるコンパレータの出力はすべて“H”となり，$V_{IN} < V_{nref}$の関係にあるコンパレータの出力はすべて“L”になります．これらのコンパレータ出力は，エンコーダ回路でバイナリ・コードに変換されます．

このように原理は簡単ですが，モノリシックIC化されるフラッシュ型A-Dコンバータはコンパレータが2^N個も必要になるため，チップ・サイズの制限もあって，現在のところ8～10ビット精度までのA-Dコンバータが製品化されています．また，ビット精度が高くなるほど価格が急激に高くなります．

次に，バイポーラ・モノリシックによるフラッシュ型A-Dコンバータで用いられるコンパレータの構成

〈表2-1〉A-Dコンバータの変換方式

変換方式	精度(ビット)	速度(SPS)	応用分野	構造	主な特長
フラッシュ型	4～10	10～300M	ビデオ	バイポーラ/CMOS モノリシック	最も高速．ただし，素子数はたいへん多くなる
2ステップ・フラッシュ型	8～10	10～30M	ビデオ	バイポーラ/CMOS モノリシック	完全フラッシュ型に比べ素子数が大幅に減るが，入力にサンプル&ホールドが必要になる．
逐次比較型	8～16	10k～1M	汎用	バイポーラ/CMOS モノリシック	汎用A-Dコンバータとして精度/速度/コストなどのバランスは最もよい
直並列(サブレンジング)型	10～16	100k～40M	産業	ハイブリッド，モジュール	産業用で精度/速度が必要なところで使用される．
直列型	8～10	10M～20M	産業	ハイブリッド	現在はあまり使われない方式．
積分型	12～22	数k以下	計測器	CMOS モノリシック	計測器(ディジタル・ボルトメータ)で多用される．
オーディオ帯積分型	16	44k～88k	オーディオ	バイポーラ・モノリシック	安価なディジタル・オーディオ用A-Dコンバータとして使用される．ただし，非常に高速なクロックが必要．外部回路が多くなる．
オーバ・サンプリング・デルタ・シグマ変調型	12～16	数k～数10k	通信，オーディオ	CMOS モノリシック	高精度のアナログ素子が不要で，高ビットが得られる．これからの主流になりそう．

例を図 2-2 に示します．このコンパレータはラッチド・コンパレータと呼ばれるものです．

入力段は，高速性を確保するためと，入力バイアス電流を一定にすること，それに入力キックバック雑音(CLK 信号が入力へリークして発生する雑音)を減少させるために，エミッタ・フォロワ入力になっています．

CLK 入力により Q_3=ON，Q_4=OFF の状態では，コンパレータはサンプル・モードとして働き Q_5，Q_6はゲインが数倍の差動増幅器として動作します．

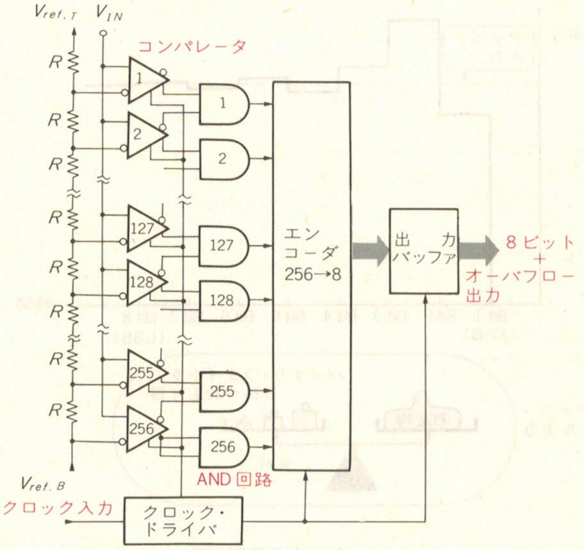
また，CLK 入力が Q_3=OFF，Q_4=ON の状態になると，コンパレータはラッチ・モードになります．この状態では Q_7，Q_8が能動状態になります．サンプル・モードで $V_{IN}>V_{nref}$ とすると $V_{C5}>V_{C6}$ です．この状態でラッチ・モードになると Q_7=OFF，Q_8=ON になります．

このとき，Q_7，Q_8のベース-コレクタ電圧は正帰還モードになり見掛け上非常に大きなゲインをもったコンパレータになり，出力信号が“H”，“L”のいずれかにラッチされます．これが，フラッシュ型 A-D コンバータに使用されているコンパレータの動作です．

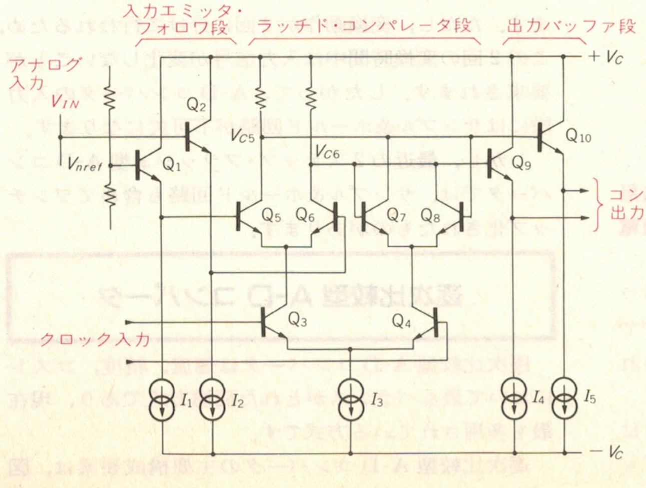
フラッシュ型 A-D コンバータの直線性は，内部トランジスタの V_{be} のバラツキ，基準抵抗のタップ間の比精度誤差などから 8 ビットで±½ LSB，10 ビットでは±1LSB 程度です．

また，入力信号は全コンパレータの入力にパラレルに接続されます．このため，入力容量はかなり大きな値になり，ビデオ帯域を扱う場合のダイナミック特性が劣化する原因にもなります．それでも，最近の IC 化プロセスではパターンが微細化されており以前に比べ大幅に入力容量は低下しています．だいたい，8 ビット・タイプで 20〜50pF，10 ビット・タイプで 100〜150pF 程度です．

〈図 2-1〉フラッシュ型 A-D コンバータ
（8 ビット分解能の場合）



〈図 2-2〉ラッチド・コンパレータの回路構成



2 ステップ・フラッシュ型 A-D コンバータ

最近では，民生用ビデオ機器においてビデオ帯域の A-D コンバータが安価に要求されるようになってきています．

フラッシュ型では 2^N 個のコンパレータが必要になるため，8 ビット以上の A-D コンバータになるとチップ・サイズも大きくなり，価格も安くなりません．

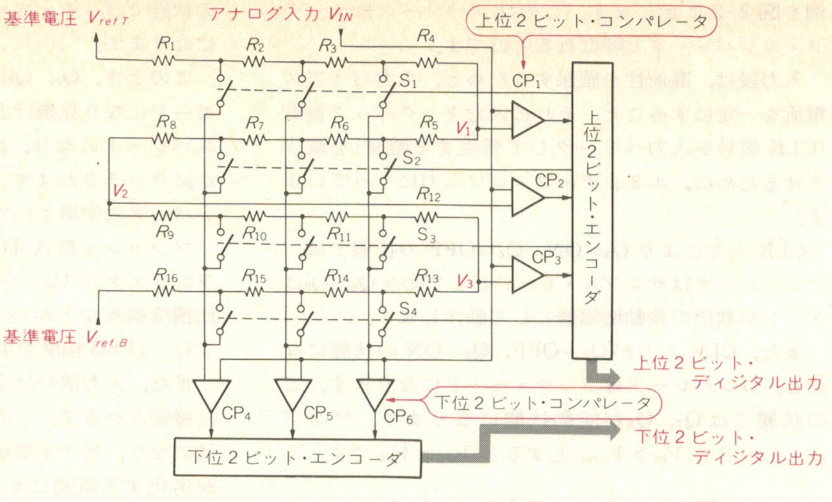
この問題を解決するため，最近になって 2 ステップ・フラッシュ型と呼ばれる変換方式が 8〜10 ビット/20〜30M サンプル/sec の A-D コンバータで採用されるようになっています．

2 ステップ・フラッシュ型は，A-D 変換動作を上位ビットと下位ビットの 2 ステップに分けて行います．こうすることにより，コンパレータの素子数を大幅に減らすことができます．

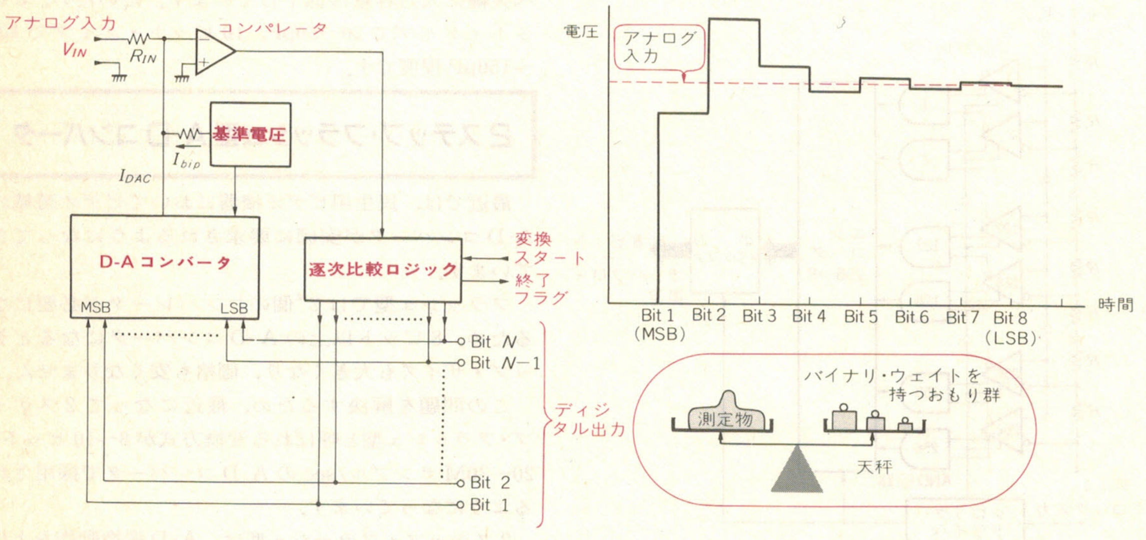
図 2-3 に 2 ステップ・フラッシュ型 A-D コンバータのブロック図を示します．この例では 4 ビットの A-D コンバータで動作原理を説明しています．変換は，上位 2 ビット，下位 2 ビットに分けて行われます．

第一ステップでは，上位コンパレータ CP_1〜CP_3により入力電圧 V_{IN} と参照電圧レベル V_1，V_2，V_3 とが比較されます．今 $V_{IN}>V_1$ とすると，CP_1出力が“H”，CP_2〜CP_3出力が“L”になります．

〈図 2-3〉
2ステップ・フラッシュ型
A-Dコンバータ



〈図 2-4〉 逐次比較型 A-D コンバータの動作原理



(a) ブロック図　　(b) A-D変換手順

第二ステップでは，CP_1～CP_3の出力結果によりスイッチ S_1～S_4がコントロールされます．すなわち，

$V_{IN} > V_1$ なら　S_1スイッチ群が ON

$V_{IN} > V_2$ なら　S_2スイッチ群が ON

$V_{IN} > V_3$ なら　S_3スイッチ群が ON

$V_{IN} < V_3$ なら　S_4スイッチ群が ON

になります．すなわち，上位コンパレータの出力結果により，下位コンパレータ群に供給される比較参照電圧レベルが切り替えられます．

入力信号は上位，下位コンパレータ群すべてにパラレル接続されています．したがって，第2ステップでは CP_4～CP_6の比較動作により下位ビットが求められます．

この2ステップ・フラッシュ方式を採用することにより，素子数を大幅に減らすことができ，8～10ビットのA-Dコンバータも低コストで作れるようになります．ただし，変換動作が2回に分けて行われるため，この2回の変換時間中は入力信号が変化しないことが要求されます．したがって，A-Dコンバータの入力段にはサンプル&ホールド回路が不可欠になります．

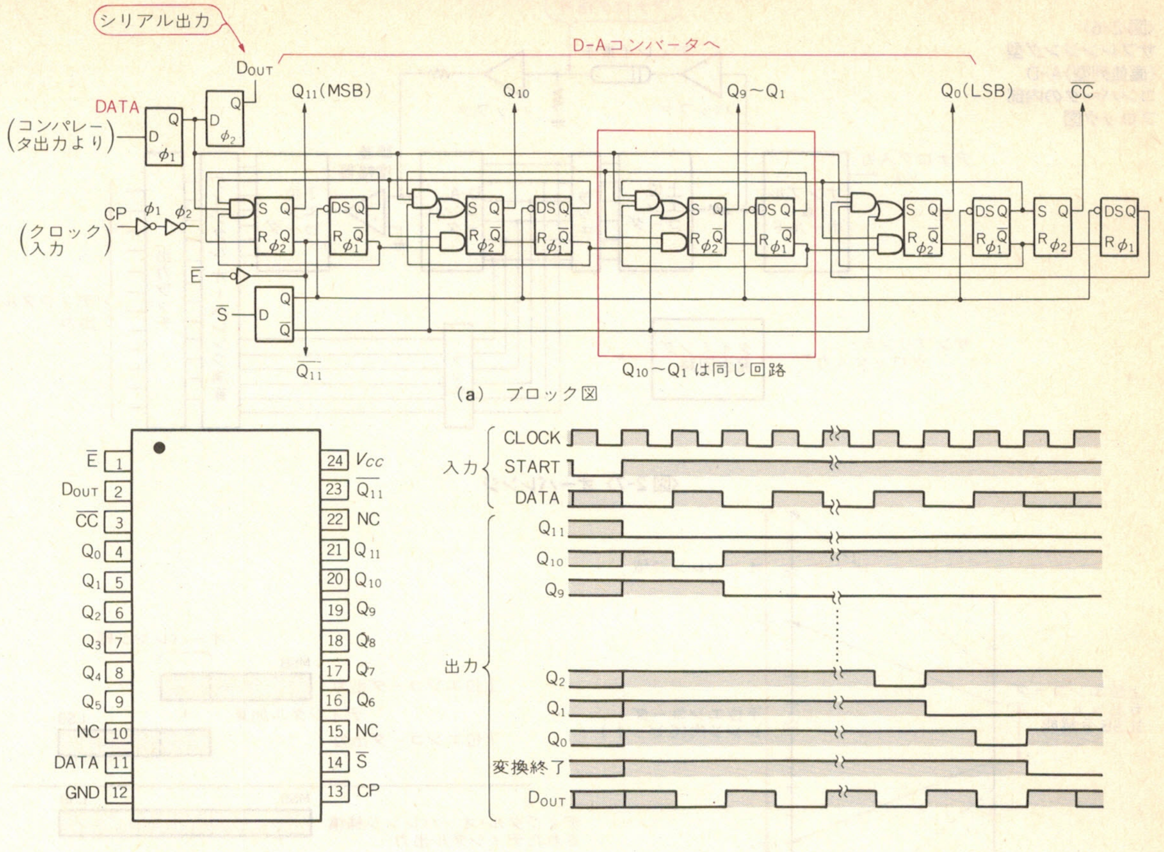
しかし，最近の2ステップ・フラッシュ型 A-D コンバータでは，サンプル&ホールド回路も含めてワンチップ化されたものがあります．

逐次比較型 A-D コンバータ

逐次比較型 A-D コンバータは速度，精度，コストにおいて最もバランスがとれた変換方式であり，現在最も多用されている方式です．

逐次比較型 A-D コンバータの主要構成要素は，図

〈図2-5〉逐次比較論理IC Am2504(AMD社)



(a) ブロック図

(b) 端子配置

(c) タイムチャート

2-4に示したように**D-Aコンバータ**，**コンパレータ**，そして**逐次比較論理回路**からなっています．

逐次比較型の動作を理解するには，化学天秤を用いて重さを測ることを考えてください．そのときの原理そのものです．まず，1g，2g，4gといったバイナリ荷重をもったおもりを用意し，天秤の一方に測定物をのせます．そして，最も重いおもりをもう一方にのせ，比較します．もし，おもりが重すぎたら次に軽いおもりに交換します．これを順々に行い天秤が平衡するおもりの合計を求めます．

逐次比較型A-Dコンバータは，上記と全く同じ動作を電気的に行っているにすぎません．天秤がコンパレータに，D-Aコンバータがおもり群に，そしておもりをのせたり取り除いたりする作業を逐次比較論理回路が行っています．

逐次比較論理回路は，TTL回路，専用ICおよびマイクロプロセッサを用いてソフトウェア制御を行うことも可能です．**図2-5**に，12ビットの逐次比較論理回路のみをIC化したAm2504(AMD社)の内部構成およびタイミングを示します．

Am2504の動作は，まず$\overline{S}$(START)信号により内部レジスタがリセットされます．すると，変換終了フラグ$\overline{CC}$(Conversion Complete)出力は“H”になります．

DATA入力にはコンパレータ出力がつながれ，CLKの立ち上がりエッジに同期して，上位ビットから順番にDATA入力信号が内部レジスタに蓄えられていきます．12ビットの変換終了と共に$\overline{CC}$フラグは“L”になります．

また，D_{OUT}出力を用いることにより，シリアル出力としても使用できます．

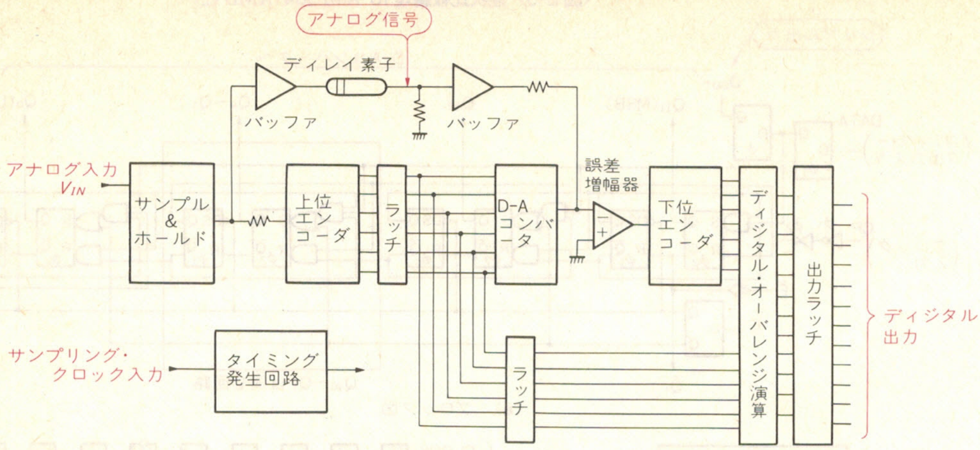
このようなICを用いることによってD-Aコンバータと組み合わせて自分の仕様に合った逐次比較型A-Dコンバータを作ることもできます．

以上の動作を理解すると，逐次比較型A-Dコンバータの変換時間t_{CONV}は，コンパレータによるディレイt_{CP}，D-Aコンバータのセトリング時間t_{DA}，逐次比較論理回路のディレイt_{pd}とすると，

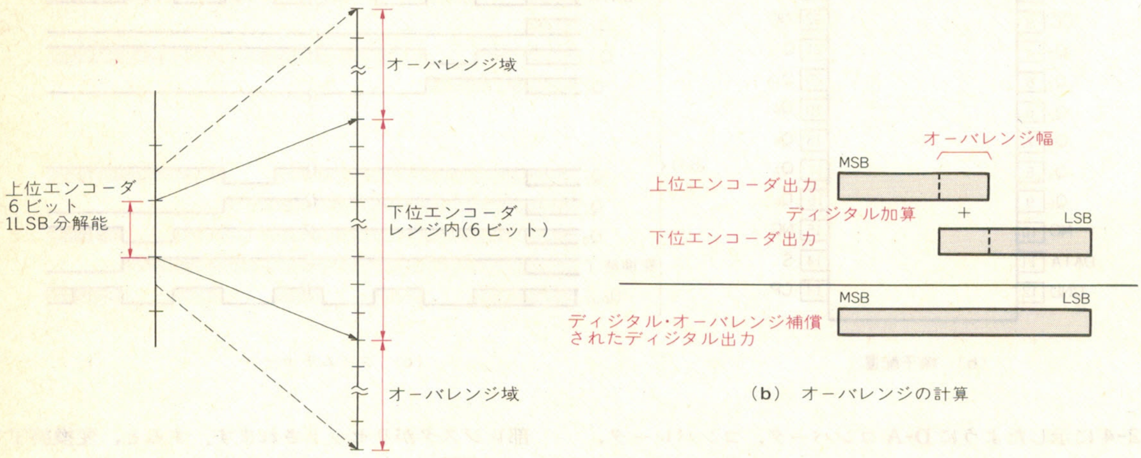
$$t_{CONV} = (t_{CP} + t_{DA} + t_{pd}) \times n \qquad n：ビット数$$

となることがわかります．この中でも特に，コンパレータのディレイおよびD-Aコンバータのセトリング時間が支配項になります．

〈図 2-6〉
サブレンジング型
(直並列型)A-D
コンバータの内部
ブロック図



〈図 2-7〉 オーバレンジ



(a) 下位エンコーダの分解能

(b) オーバレンジの計算

D-A コンバータは電流出力モードで使用されることが多く，D-A コンバータの出力すなわちコンパレータ入力端での等価時定数がセトリング時間を大きく左右します．

逐次比較型 A-D コンバータでは，アナログ入力に流れる電流が逐次比較動作によりパルス的に大きく変化します．これは，逐次比較シーケンスによる D-A コンバータの各ビットへのセット/リセット動作によります．このためアナログ入力をドライブする回路は低インピーダンス(OP アンプ出力)ドライブで，高速な電流変化に追従できる高速電流ドライブ能力が必要になります．

サブレンジング型 A-D コンバータ

精度と速度のバランスが必要な A-D コンバータの変換方式として，サブレンジング型(直並列型)がよく使用されます．

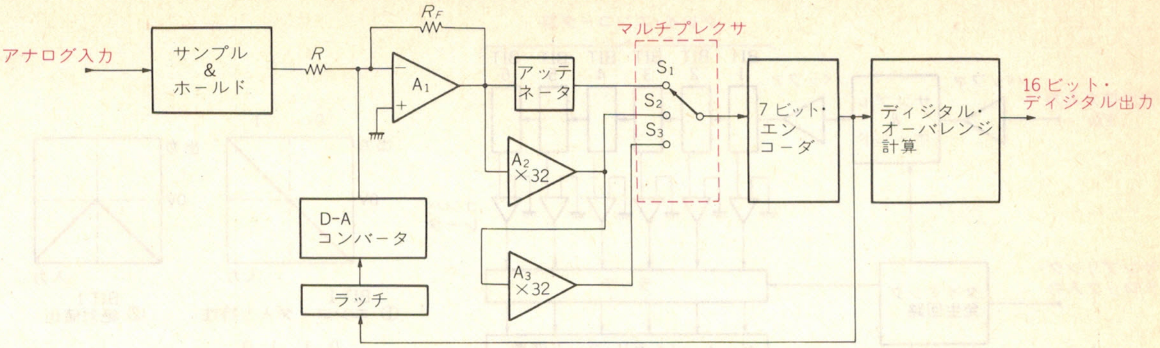
サブレンジング型 A-D コンバータは，n ビットの A-D 変換動作を数ステップに分けて行います．通常，12～16 ビットの A-D コンバータを構成する場合，2～3 段のものが多いようです．

図 2-6 に 12 ビット 20M サンプル/sec の A-D コンバータのサブレンジング方式による構成例を示します．A-D コンバータへの入力信号は，まず上位エンコーダにより上位 6 ビットが A-D 変換されます．この A-D 変換出力は，再度 D-A コンバータによりアナログ・レベルに変換され，入力信号との差分を求めます．この差分(誤差信号)は誤差増幅器で増幅されます．

誤差増幅器からの出力は，下位エンコーダで A-D 変換されます．この下位エンコーダは上位エンコーダにオーバラップ(オーバレンジ域)する入力振幅レンジの幅を持っています．

図 2-7 に示す 12 ビットの A-D 変換では，本来上位エンコーダ 6 ビット＋下位エンコーダ 6 ビットでよいわけですが，下位エンコーダは 7 ビットにしていま

〈図 2-8〉 1 個のエンコーダによるサブレンジング構成



す．サブレンジング型ではこのオーバレンジ域を確保しないと，上位 6 ビット・エンコーダの分解能が 6 ビットであっても精度は 12 ビット ±½ LSB 分が必要になります．そして，バッファ・アンプ，誤差増幅器，D-A コンバータのオフセット電圧，ゲイン係数を厳重に管理調整しないと，上位エンコーダと下位エンコーダの接続部分において，微分直線性の劣化およびミス・コードなどが発生します．

そこで，下位エンコーダにオーバレンジ域を設けることにより，上位エンコーダに要求される精度および各段でのオフセット電圧，ゲイン係数の管理などをしなくても微分直線性の劣化を改善できます．

最近のハイブリッド IC やモノリシック IC によるサブレンジング型 A-D コンバータでは，エンコーダは 1 個だけ用い各変換ステップでマルチプレクサを用いて構成する方式がよく見られます．

図 2-8 には 1 個の 7 ビット・フラッシュ型 A-D コンバータをエンコーダとして用い，3 ステップのサブレンジング型 A-D コンバータを構成した例を示します．

また，前述した 2 ステップ・フラッシュ型 A-D コンバータもサブレンジング型のひとつです．

直列型 A-D コンバータ

フラッシュ（並列）型 A-D コンバータの発達と共に，最近ではあまり見られなくなった変換方式のひとつに直列型 A-D コンバータがあります．

直列型 A-D コンバータは，上位ビットから下位ビットまで“1 ビット・エンコーダ”を直列に並べて変換していく方式です．

過去によく使用されていた直列型 A-D コンバータでは，1 ビット・エンコーダにグレイ・エンコーダを用いていました（図 2-9）．

まず，サンプル&ホールド出力からの信号は，MSB のグレイ・エンコーダに入力されます．グレイ・エンコーダへの入力信号は，ゼロ・クロスのコンパレータにより MSB ビットが判定されます．一方，入力信号は絶対値回路により折り返されたのち，オフセット電圧が加えられ 2 倍に増幅され（MSB−1）ビットのグレイ・エンコーダ回路へ入力されます．

直列に接続された各ビットのグレイ・エンコーダのコンパレータ出力は，一般的なバイナリ・コードではなくグレイ・コードと呼ばれるものです．したがって，グレイ・コードからバイナリ・コードに変換するコード変換器を介して出力されます．コード変換器は EX-OR ゲートにより構成されています．

このタイプの A-D コンバータは，フラッシュ型 A-D コンバータが高価だったころ 8 ビットで 10〜20M サンプル/sec の A-D コンバータの変換方式として採用されていましたが，現在ではあまり使用されていません．

2 重積分型（デュアル・スロープ）A-D コンバータ

2 重積分型はディジタル電圧計やディジタル・パネルメータおよびディジタル表示型テスタなど，高速な変換時間が要求されない用途に多用されている A-D 変換方式です．

2 重積分型は，図 2-10 に示すように，積分器，コンパレータ，基準電圧，アナログ・スイッチおよびカウンタなどで構成されます．

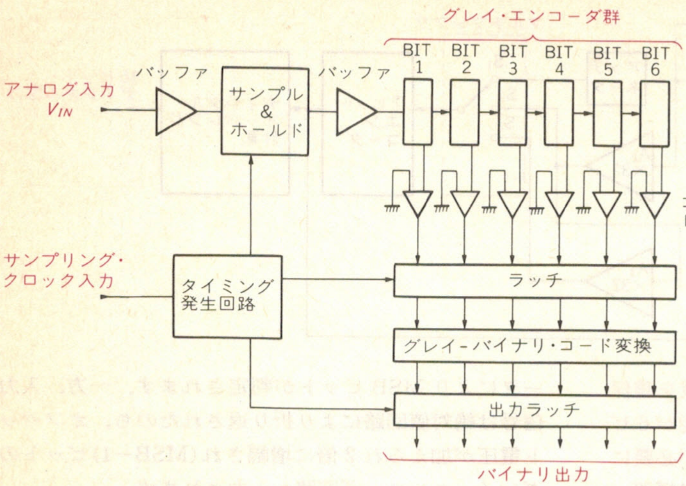
図をみればわかるように，2 重積分型 A-D コンバータでは 2 段階の積分周期があります．第一ステップ（第一積分時間）では，S_1＝ON として入力電圧 V_{IN} を一定時間 T_1 だけ積分します．このときの積分器出力 V_{out} は，

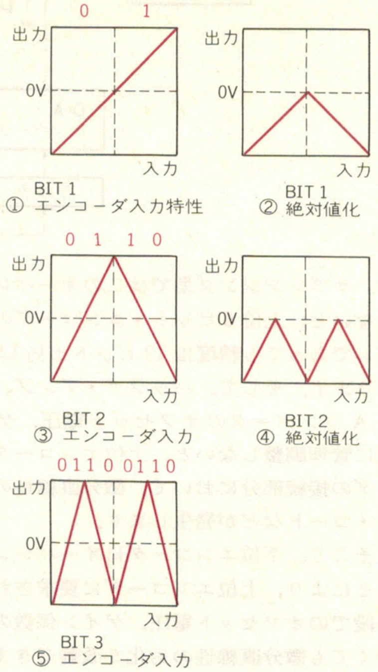
$$V_{out}=\left(\frac{V_{IN}}{R}\times\frac{T_1}{C}\right)$$

となります．

次に，第二ステップ（第二積分時間）では，T_1 経過後 S_1＝OFF として入力電圧 V_{IN} とは逆極性の基準電圧 $-V_{ref}$ を入力に印加します．そして，積分器出力

〈図2-9〉直列型(グレイ・エンコーダ)A-Dコンバータ

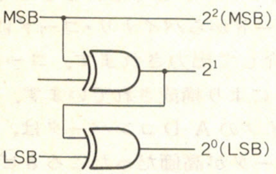




グレイ・コード入力

MSB		LSB
1	0	0
1	0	1
1	1	1
1	1	0
0	1	0
0	1	1
0	0	1
0	0	0

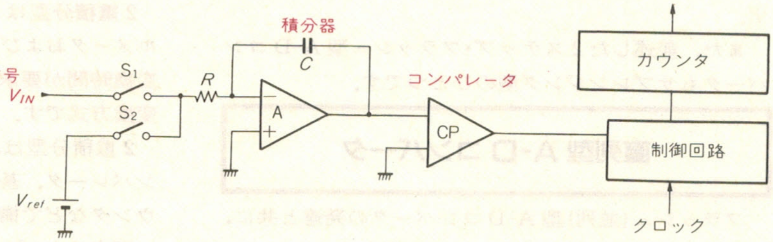
グレイ-バイナリ変換器

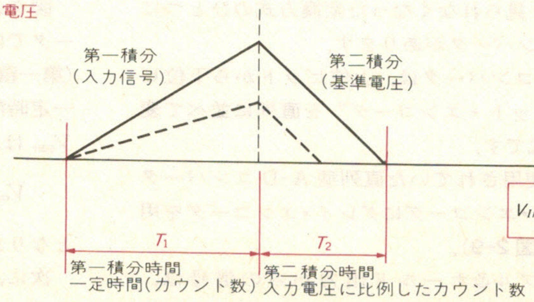


バイナリ・コード出力

MSB		LSB
2^2	2^1	2^0
1	1	1
1	1	0
1	0	1
1	0	0
0	1	1
0	1	0
0	0	1
0	0	0

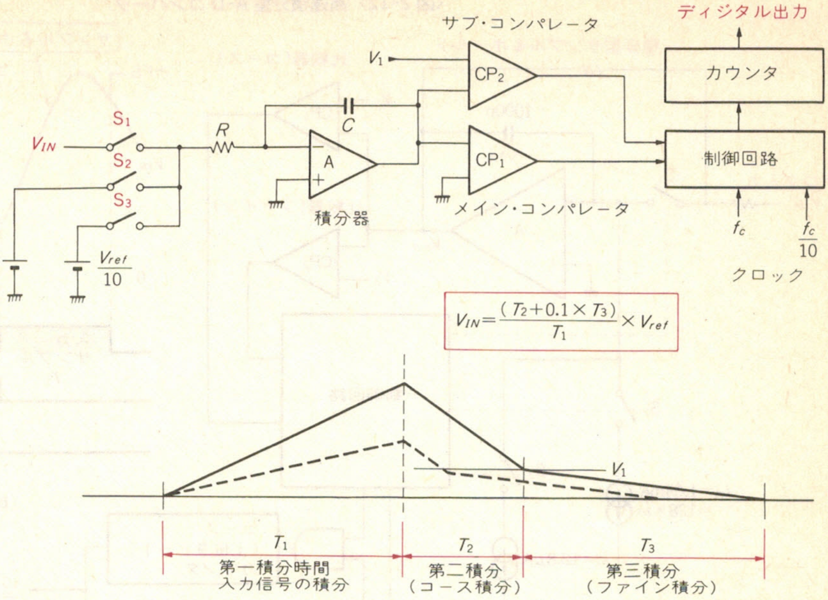
〈図2-10〉
2重積分型(デュアル・スロープ)
A-Dコンバータ





$$V_{IN}=\frac{T_2}{T_1}\times V_{ref}$$

〈図 2-11〉
多重積分型(マルチ・スロープ)A-D コンバータ



が 0 V となる時間 T_2 を求めます．この第二積分時間では，

$$V_{out}=-\left(\frac{-V_{ref}}{R}\times\frac{T_2}{C}\right)$$

が成り立ちます．第一，第二積分時間の式より，

$$\frac{V_{IN}}{R}\times\frac{T_1}{C}=\frac{-V_{ref}}{R}\times\frac{T_2}{C}$$

$$\therefore V_{IN}=-\left(\frac{T_2}{T_1}\times V_{ref}\right)$$

となり，入力電圧 V_{IN} は T_1 と T_2 の時間比と V_{ref} により決まり，積分定数 C，R の誤差は精度に影響しなくなります．

このため，比較的シンプルな構成で高精度の A-D コンバータを実現できます．最近では，3 ½〜4 ½桁用 2 重積分型 A-D コンバータが積分用 C，R を除いて完全ワンチップ化されています．すなわち，CMOS チップ上に入力切り替え回路，バッファ・アンプ，積分器用アンプ，コンパレータ，オート・ゼロ回路，基準電圧回路および全ロジック回路がモノリシック IC として作られています．

多重積分型(マルチ・スロープ) A-D コンバータ

2 重積分型で 4 ½桁以上の精度を実現するには問題があり，多重積分型(マルチ・スロープ，トリプル・スロープとも呼ばれる)が高精度ディジタル電圧計の A-D コンバータとして用いられます．

2 重積分型で分解能を高めるには T_1，T_2 時間を分解能分だけ長くすればよいわけですが，1 桁分解能を上げるためには変換時間が 10 倍長くなってしまいます．

また，クロック・レートを 10 倍速くすれば分解能は高くなりますが，アナログ回路の速度よりクロック・レートはむやみに速くできません．

そこで，変換時間をあまり長くしないで分解能を高めるテクニックとして，2 重積分型における第二積分時間をさらにふたつの積分周期に分割します．

図 2-11 にその原理を示します．第一積分時間では入力電圧 V_{IN} を T_1 時間積分します．第二積分時間では，基準電圧 $-V_{ref}$ を積分して V_{IN} による電荷を放電していきます．

第二積分時間の間に V_1 の比較レベルを設定し，第二積分時間中に積分器出力が V_1 に達すると，基準電圧を $(-V_{ref}/10)$ に切り替え，クロック周波数も 1/10 に下げます．この積分周期が第三積分時間であり，積分器出力がゼロ・クロスするまでを計測します．

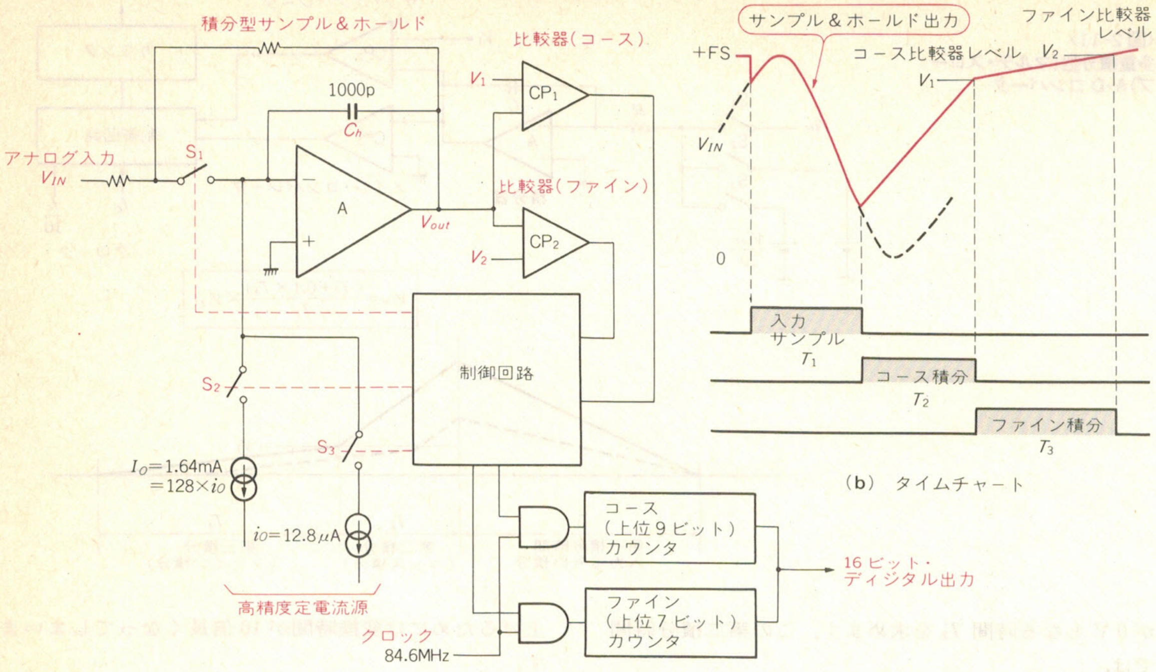
この第三積分周期を加えることにより，比較的簡単に分解能を高めることができます．この他にも，高精度化するために，多重積分型には各社各様にさまざまな方式が考えられ実用化されています．

高速積分型 A-D コンバータ

前述した多重積分型 A-D 変換方式のクロック周波数を非常に高めることによって(50〜100 MHz)オーディオ帯域の高速積分型 A-D コンバータを実現することができます．

この高速積分型 A-D コンバータは，一般に積分型サンプル＆ホールド回路とペアで使用されます．

〈図2-12〉高速積分型A-Dコンバータ



(b) タイムチャート

(a) ブロック図

図2-12に，高速積分型A-Dコンバータの構成とタイムチャートを示します．

第一ステップではS_1=ON，S_2=S_3=OFFとしサンプル&ホールドはサンプル・モードで動作します．そして，出力V_{out}は入力信号V_{IN}に追従します．ホールド・コンデンサC_hに蓄えられる電荷Q_hは，

$$Q_h=C_h\times V_{IN}\ [クーロン]$$

になります．サンプル・モード時間T_1は一定です．

第二ステップでは，S_1=OFF，S_2=ON，S_3=OFFとしサンプル&ホールドは入力信号を切り離し，上位ビットをA-D変換するコース積分周期T_2に入ります．すなわち，サンプル時のホールド・コンデンサの電荷Q_hを定電流源I_oで放電していきます．

比較的電流値の高いI_oにより放電時間T_2を計測したのでは，十分な分解能(精度)が得られません．このため，参照レベルV_1に達したところでステップ3としてS_2=OFF, S_3=ONにして電流源をI_oからi_o(=I_o/128)へ切り替えます．そして，下位ビット分を計測するファイン積分周期T_3に入ります．ファイン積分は参照レベルV_2になるまで行われます．

その結果，コース積分時間T_2，ファイン積分時間T_3より，入力信号V_{IN}に比例した積分コンデンサの電荷Q_hが放電されます．

$$Q_h=V_{IN}\times C_h=I_o\times T_2+i_o\times T_3$$

$$\therefore V_{IN}=\frac{I_o}{C_h}\left(T_2+\frac{T_3}{128}\right)$$

(ただし，$i_o=I_o/128$)

現在，16ビット44.1kHzのA-Dコンバータが同方式で製品化されています．

オーバ・サンプリング・デルタ・シグマ変調型A-Dコンバータ

CMOSモノリシックICに適した通信用/オーディオ用高精度A-D変換方式として，今最も注目されているのが，オーバ・サンプリング・デルタ・シグマ変調型A-D変換方式です．

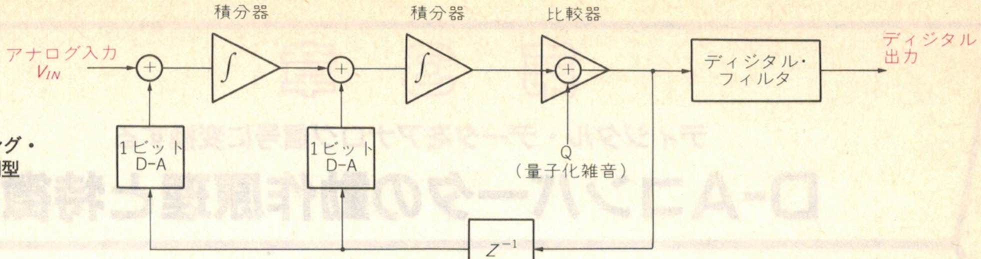
この変換方式の特長は，高精度なアナログ回路なしに(しかもトリミングなし)，ほとんどディジタル回路だけで高精度(12～18ビット)A-Dコンバータを構成できるところにあります．逆に，ディジタル回路は高度なディジタル・フィルタ回路を必要とします．

アナログ回路での技術的なポイントは，オーバ・サンプリング技術とデルタ・シグマ変調器(1ビットA-D変換)にあります．

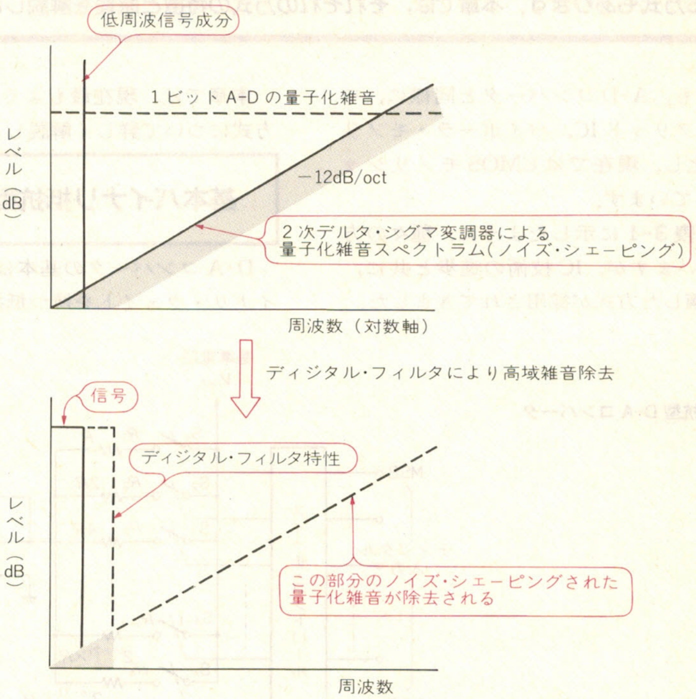
nビットの量子化で得られるSN比は，

$$S/N=6.02\times n+1.76\,(\mathrm{dB})$$

です．量子化による雑音は，サンプリング周波数の½(ナイキスト周波数)帯域に一様に分布します．今までの一般的なオーディオ用途では，16ビットA-Dコンバータを用いて約100dB近いSN比と44.1kHzサンプリングによりほぼナイキスト周波数に近い20



〈図2-13〉
オーバ・サンプリング・デルタ・シグマ変調型A-Dコンバータ



kHz帯域を確保していました．

この変換方式では，20 kHz帯域の信号を扱うのに，1ビットA-Dコンバータを使って，例えば10 MHzという極めて高いサンプリング周波数(オーバ・サンプリング)で量子化を行います．

1ビットの量子化を行うときのSN比は7.8 dBですが，雑音帯域は5 MHzもの広帯域に分散されています．したがって，20 kHz帯域のディジタル・ローパス・フィルタを用いて広帯域雑音を除去します．

また，オーバ・サンプリング率を2倍高くとるごとにSN比は3 dB改善されます．

オーバ・サンプリング技術を用いた1ビットA-Dコンバータで100 dB近いSN比を得るのは困難です．そこで第2の技術ポイントであるデルタ・シグマ変調器(ノイズ・シェーパ)が登場します．

デルタ・シグマ変調器の原理そのものは20数年前に発明されたものです．**図2-13**に示すように積分器，コンパレータ(1ビットA-Dコンバータ)，1ビットD-Aコンバータからなる負帰還回路で構成されています．このデルタ・シグマ変調器における負帰還回路の働きは，OPアンプのそれと基本的に同じです．コンパレータからのディジタル出力は，D-Aコンバータによりアナログ値に戻され，入力信号と引き算されます．そして，差分が積分器を介してコンパレータに入力されます．負帰還系は積分器出力が0 Vになるように働きます．

ここでひとつ注意するところは，コンパレータ部において非常に大きな雑音(量子化雑音)を生じることです．デルタ・シグマ変調器は，コンパレータで発生した大きな量子化雑音の周波数特性(本来は周波数一様性を持っている)を変化させます．低周波域では雑音レベルを低下させ，高周波域で雑音レベルを持ち上げます．ここに示すデルタ・シグマ変調器(2次ノイズ・シェーパ)では12 dB/octの特性を持って高域雑音が上昇します．

高域雑音は高次ディジタル・フィルタにより取り除きます．その後デシメーション・フィルタ(間引き)により，サンプリング周波数を低くします．

第3章

ディジタル・データをアナログ信号に変換する
D-Aコンバータの動作原理と特徴

D-A変換の方式は，*R*-2*R* ラダーと呼ばれる抵抗回路網が基本ですが，それを改良した方式，全く異なる方式もあります．本章では，それぞれの方式の特徴と原理を解説します．

D-A コンバータも，A-D コンバータと同様に，モジュールIC，ハイブリッドIC，バイポーラ・モノリシックICへと進化し，現在ではCMOSモノリシックICが主流になっています．

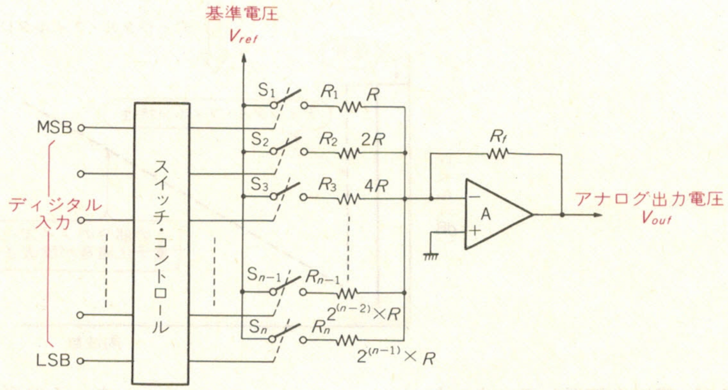
D-A変換方式も**表3-1**に示したように，種々の方式が考え出されていますが，IC技術の進歩と共に，その時代の技術に適した方式が採用されてきました．

本章では，現在最もよく採用されているD-A変換方式について詳しく解説します．

基本バイナリ抵抗型 D-A コンバータ

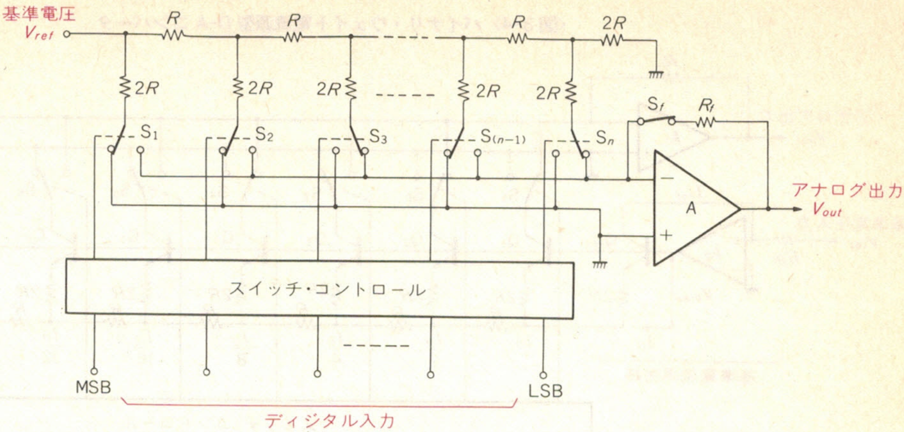
D-A コンバータの基本は，**図3-1**に示すようにバイナリ・ウェイトを持つ抵抗アレイとスイッチの組み

〈図3-1〉
バイナリ・ウェイト抵抗型 D-A コンバータ



〈表3-1〉 D-A コンバータの変換方式

変換方式	精度(ビット)	サンプリング速度(sps)	応用分野	構造	主な特長
R-2*R* ラダー(+CMOSスイッチ)型	8～14	～数100k	産業用 汎用	CMOS モノリシック	8～12ビットのCMOS型D-Aコンバータで最も汎用的に使用される
バイナリ・ウェイト電流源型	8	～数100k	汎用	バイポーラ・モノリシック	バイポーラ型8ビットの汎用D-Aコンバータに使用される
出力分流バイナリ・ウェイト電流源型	8～12	～数100k	汎用	バイポーラ・モノリシック	
等電流源+出力 *R*-2*R* ラダー型	8～12	～数100M	産業用 ビデオ	バイポーラ・モノリシック	ビデオ用によく使われる
セグメント・デコーダ型	12～16	～数100k	産業用	バイポーラ・モノリシック	トリミングなしの12ビットD-Aコンバータに使用される
電圧ポテンショメータ型	8～16	～数10M	ビデオ	CMOS モノリシック	
電流セル・マトリクス型	6～10	～数10M	ビデオ	CMOS モノリシック	ビデオ用として使われ始めた方式
キャパシタ・アレイ型	8～12	～数100k	産業用	CMOS モノリシック	12ビットCMOS型D-Aコンバータに使用される
積分型	16	～数10k	オーディオ	バイポーラ・モノリシック	オーディオ用
オーバ・サンプリング・デルタ・シグマ変調型	12～16	～数10k	通信 オーディオ	CMOS モノリシック	高精度なアナログ素子が不要．これからのオーディオ用D-Aコンバータの主流になりそう



〈図 3-2〉
電流加算 *R*-2*R* ラダー抵抗型 D-A コンバータ

合わせにより構成するものです．出力電圧 V_{out} は，

$$V_{out}=-V_{ref}\times R_f\left(\frac{D_0}{R}+\frac{D_1}{2R}+\cdots\cdots+\frac{D_{(n-1)}}{2^{(n-1)}\times R}\right)$$

D_n：0 または 1（ディジタル入力コードによる）

抵抗にバイナリ・ウェイトを持たせるとすると，抵抗間の比精度は 8 ビットで 0.2 %，10 ビットで 0.05 %，12 ビットでは 0.0125 %が必要になります．

しかも，高分解能になるほど使用する抵抗値の範囲が大幅に広くなります．8 ビットの場合，MSB と LSB の比が 128 倍，10 ビットでは 512 倍，12 ビットでは 2048 倍にもなります．これだけの広い抵抗値範囲で，それぞれの分解能で必要とされる抵抗値の比精度を確保することは大変であり，また要求される高抵抗をモノリシック IC 化することも非現実的です．

R-2*R* ラダー抵抗型 D-A コンバータ

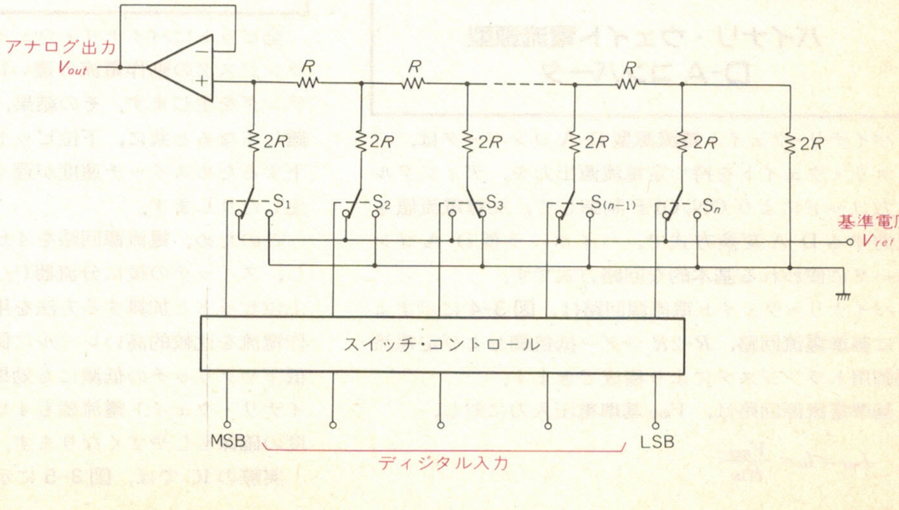
そこで，バイナリ抵抗型の D-A コンバータで問題となる抵抗範囲の広さを回避する方法として，図 3-2 に示すような *R*-2*R* ラダー抵抗網を使う方法があります．

ここで，2*R* 抵抗は，*R* を 2 個直列にして使用すれば，すべての抵抗は同一抵抗値で構成できます．しかも，抵抗の精度は絶対値ではなく比精度を確保するだけで高精度の D-A コンバータを構成できるため，モノリシック IC にとって極めて有利な方式です．

モノリシック IC 化した薄膜抵抗アレイでは，各抵抗の絶対値精度は数 10 %程度ありますが，抵抗間の比精度（レシオ・マッチング）はトリミングなしで 0.05 %（10 ビット精度の場合）程度まで得られます．これ以上の精度が必要な場合は，レーザなどにより抵抗値のトリミングを行います．

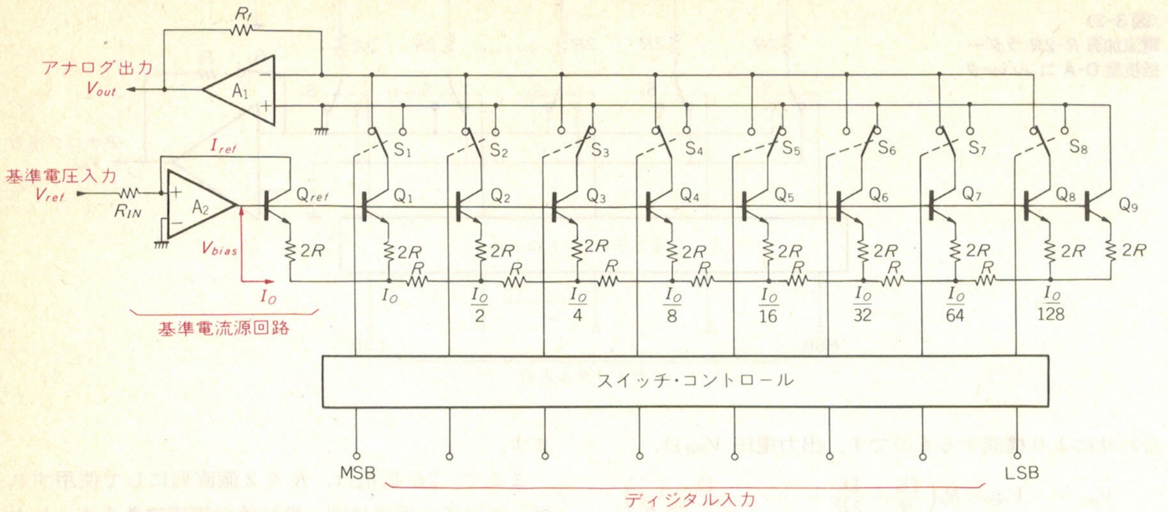
また，OP アンプの帰還抵抗 R_f には *R*-2*R* ラダー抵抗との比精度が求められます．

次に，スイッチ部 S_1～S_n ですが，CMOS スイッチが主に用いられています．ここで CMOS スイッチの ON 抵抗は *R*-2*R* ラダー抵抗値に比べて十分に小さいことが要求されます．また，各ビット間での ON 抵抗のバラツキも十分小さい必要があります．この ON 抵抗の影響を減らす方法として，帰還抵抗 R_f と



〈図 3-3〉
電圧分割 *R*-2*R* ラダー抵抗型 D-A コンバータ

〈図3-4〉 バイナリ・ウェイト電流源型 D-A コンバータ



直列に常時ONするスイッチS_fを付加し，R-$2R$ラダー抵抗部でのスイッチON抵抗をレシオ特性を利用してキャンセルすることができます．

R-$2R$ラダー抵抗方式は，図3-2に示すようにOPアンプを用いて電流－電圧変換する方法の他に，図3-3に示すようにOPアンプを電圧フォロワとして取り出す方法があります．

ディジタル入力が"H"に設定されたビット・スイッチはV_{REF}に接続され，その他のディジタル入力が"L"になるビットのスイッチはGNDに接続されます．

特にこの変換方式では，V_{REF}を低インピーダンスでドライブする必要があります．ドライブ・インピーダンスが高いと直線性が悪くなります．

R-$2R$ラダー抵抗+CMOSスイッチによるD-Aコンバータは，8～12ビットのCMOS汎用D-Aコンバータの変換方式として，現在最も多く使用されている方式です．

バイナリ・ウェイト電流源型 D-A コンバータ

バイナリ・ウェイト電流源型D-Aコンバータは，バイナリ・ウェイトを持つ定電流源出力を，ディジタル入力コードによりON/OFF制御して，加算電流値を出力するD-A変換方式で，バイポーラ型D-Aコンバータに使われる基本的な回路方式です．

バイナリ・ウェイト電流源回路は，図3-4に示すように基準電流回路，R-$2R$ラダー抵抗網および定電流制御用トランジスタにより構成できます．

基準電流源回路は，V_{REF}基準電圧入力に対し，

$$I_{ref}=I_O=\frac{V_{REF}}{R_{IN}}$$

を発生します．

制御アンプの出力はQ_{ref}およびQ_1～Q_nのベースを共通にドライブしているため，各トランジスタのエミッタ電位は一定になり，R-$2R$ラダー抵抗により，I_o，$I_o/2$，$I_o/4$，……，$I_o/2^{(n-1)}$のバイナリ・ウェイトを持つ定電流源が得られます．

Q_1～Q_nのトランジスタは，異なる動作電流によるV_{be}の電圧誤差を少なくするため，エミッタごとに各ビットの最適化などが考慮されますが，高ビットにするには限界があります．

ディジタル入力コードでスイッチされた各ビット電流は，OPアンプの反転入力部で電流加算され，OPアンプの帰還抵抗R_fにより電流－電圧変換されて電圧出力V_{out}が得られます．

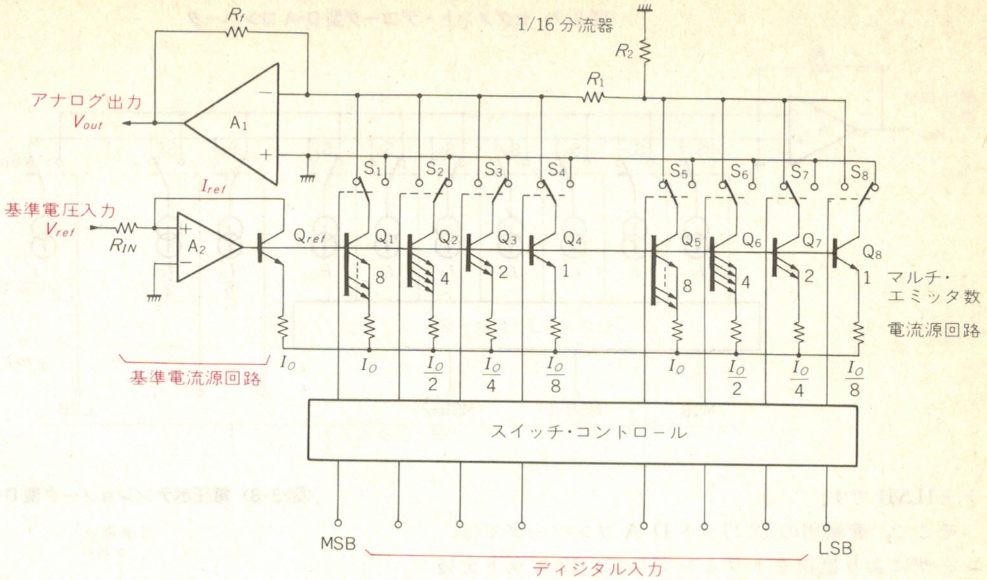
出力分流回路付きバイナリ・ウェイト電流源型 D-A コンバータ

全ビットにバイナリ・ウェイトを持たせると，各トランジスタの動作電流の違いによりV_{be}のミス・マッチングを生じます．その結果，精度を確保することが難しくなると共に，下位ビットにおける動作電流が低下するためスイッチ速度が遅くなったりグリッチが発生したりします．

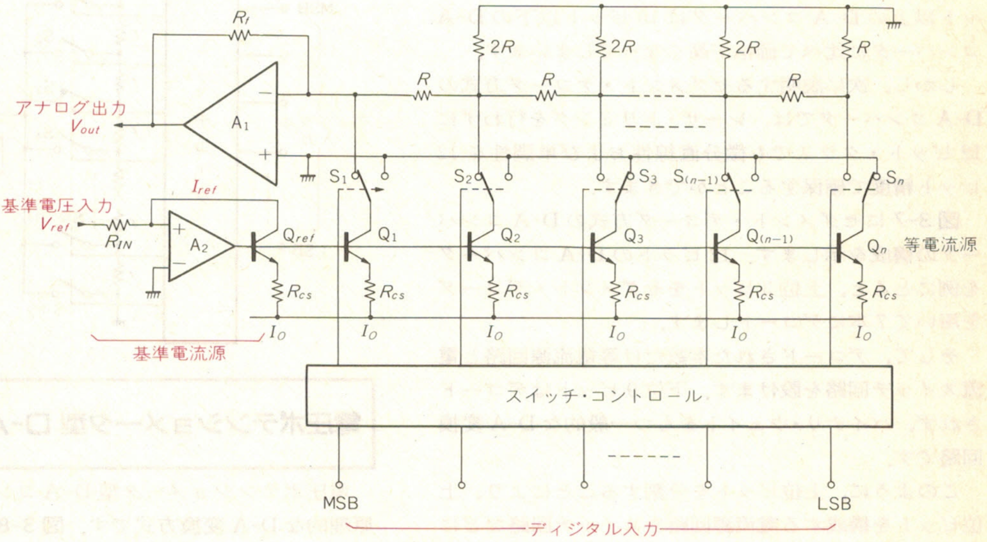
このため，電流源回路を4ビットごとにブロック化し，スイッチの後に分流器（$^1/_{16}$の分流比）を付加して上位ビットと加算する方法を用います．この結果，動作電流を比較的高いレベルに保つことができ，速度の低下やグリッチの低減にも効果があります．また，バイナリ・ウェイト電流源も4ビット程度であるため精度の確保もしやすくなります．

実際のICでは，図3-5に示すようにマルチ・エミ

〈図 3-5〉
出力分流回路付きバイナリ・ウェイト電流源型 D-A コンバータ



〈図 3-6〉
等電流源＋R-$2R$ ラダー型 D-Aコンバータ



ッタ構造にして動作電流に比例してマルチ・エミッタ数を制御し，動作電流密度を等しくして V_{be} も均一にしています．

等電流源＋出力 R-$2R$ ラダー分流型 D-A コンバータ

ビデオ帯域用 D-A コンバータなどで高速性能が重要となる場合には，すべてのビットを等電流源＋差動電流スイッチという構成にして，スイッチ後の出力電流を R-$2R$ ラダー抵抗により分流する回路方式が採用されています．

図 3-6 にこの方式の回路構成を示しますが，電流源回路は全て等電流で動作させるため，電流源部での精度は比較的マッチングしやすくなります．

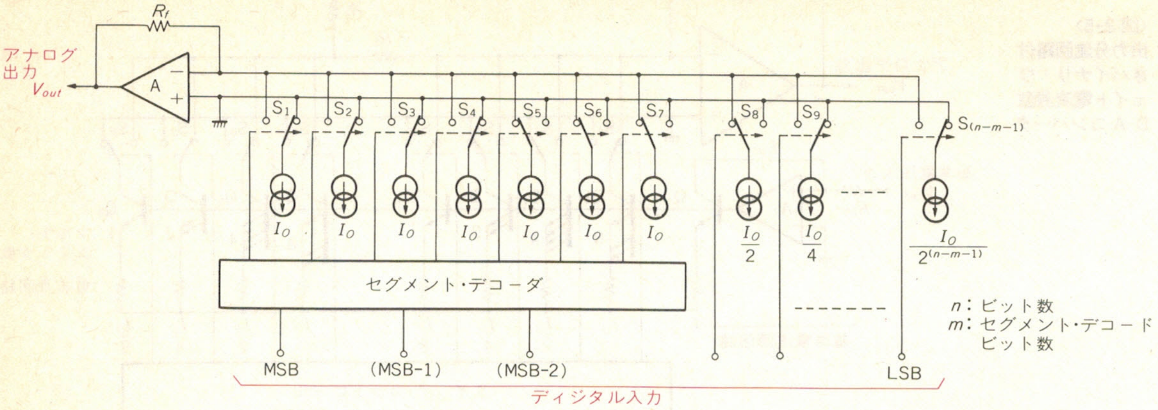
さらに，スイッチ部分についてもすべてのビットを等電流スイッチしているため，スイッチ速度を均一にすることができ，グリッチなどを低減することができます．また，動作電流を高くとり f_t の高いトランジスタを採用することで極めて高速のスイッチングが可能です．

この変換方式は，電流源用と R-$2R$ ラダー用に 2 組の抵抗網を必要とします．

セグメント・デコーダ型 D-A コンバータ

モノリシック・タイプの D-A コンバータでは，普通トリミングなしで得られる精度の限界はほぼ 10 ビッ

〈図 3-7〉 セグメント・デコーダ型 D-A コンバータ



ト±1LSB です.

そこで，産業用の 12 ビット D-A コンバータでは，レーザにより抵抗をトリミングして，12 ビット±½ LSB の精度に合わせ込んでいます．そのため，12 ビット以上の D-A コンバータは 10 ビット以下の D-A コンバータに比べて価格が高くなってしまいます．

しかし，次に説明するセグメント・デコーダ方式の D-A コンバータでは，レーザ・トリミングを行わずに 12 ビット・クラスでも微分直線性および単調性を 12 ビット精度で確保することができます．

図 3-7 にセグメント・デコーダ方式の D-A コンバータの構成を示します．12 ビットの D-A コンバータを例にとると，上位 3 ビットをセグメント・デコーダを用いて 7 本にデコードします．

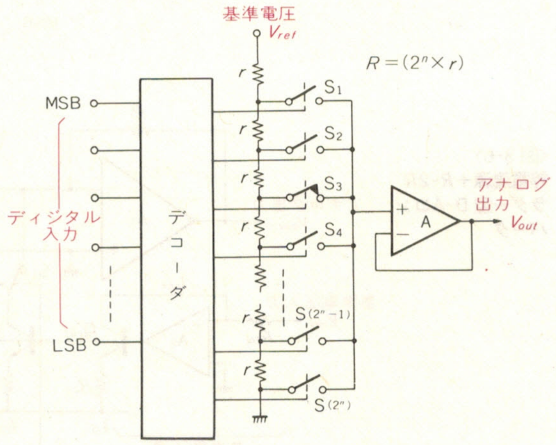
そして，デコードされた本数だけ等電流源回路と電流スイッチ回路を設けます．下位 9 ビットはデコードされず，バイナリ・ウェイトをもつ一般的な D-A 変換回路です．

このように，上位ビットを分割することにより，上位ビットを構成する電流源回路やスイッチ回路などに要求される精度は大幅に低減されます．

例えば，12 ビット±½ LSB の微分直線性を得るためにセグメント化を行わなかった場合，必要とされる IC 内部でのマッチング精度は±0.025 %が必要です．これが上位 3 ビットをセグメント化して分割することにより±0.2 %に軽減されます．

ビデオ用 D-A コンバータとして用いる場合は，セグメント・デコーダの出力に，下位ビットを含めてラッチによりディジタル・データのタイミングを取り直します．こうすると上位ビットが等電流動作となるため，微分直線性の改善，高速スイッチング動作，低グリッチ化などビデオ用コンバータに必要な特性が向上します．

〈図 3-8〉 電圧ポテンショメータ型 D-A コンバータ



電圧ポテンショメータ型 D-A コンバータ

電圧ポテンショメータ型 D-A コンバータは，最も原理的な D-A 変換方式です．**図 3-8** にその回路構成を示します．2^n個(n：ビット数)のタップをもった基準抵抗と同数のスイッチおよびディジタル入力信号のデコード回路により構成されます．

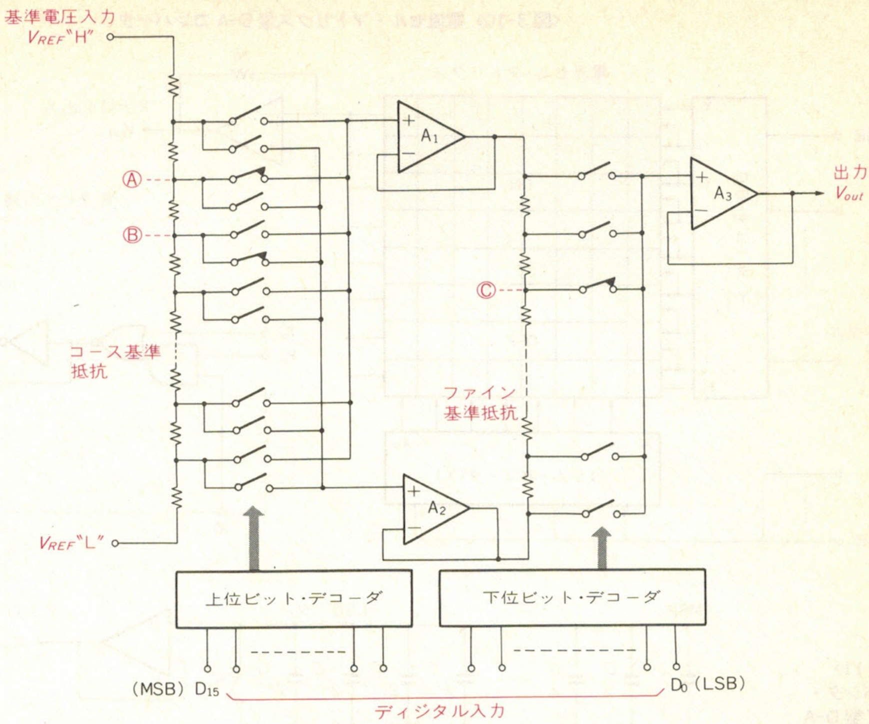
基準抵抗の両端に，フルスケール・レベルに等しい基準電圧が印加されています．ディジタル入力はデコーダ回路により n ビットのバイナリ・データに分割され 2^n個のデコード信号を得ます．

そして，このデコード信号により，入力コードに相当するタップ位置の CMOS スイッチだけが ON となりアナログ信号として出力されます．

最近になり，この D-A 変換技術を拡張して，コース(coarse)とファイン(fine)の 2 ステップ動作に分けて，高精度な D-A コンバータを構成している例があります．

図 3-9 にその回路構成を示しますが，この例では

〈図3-9〉
2ステップ電圧ポテンショメータ型 D-A コンバータ



16ビットのD-Aコンバータを上位8ビットと下位8ビットに分けて2ステップでD-A変換を行っています.

まず,上位8ビットのディジタル入力信号のデコード出力から上位ディジタル入力コードに応じたコース基準抵抗のとなり合うタップ間が選択されます.図3-9に示す例では,Ⓐ点のタップ電圧をスイッチONによって取り出し,バッファ・アンプA_1へ入力します.すると,となり合うⒷ点のタップ電圧がスイッチONになって取り出されバッファ・アンプA_2へ入力されます.

こうして取り出されたコース基準抵抗のタップ間電圧は,バッファ・アンプを介してファイン基準抵抗をドライブします.

また,下位8ビットのディジタル信号はデコード回路を介して,それぞれに相当するファイン基準抵抗のタップ電圧ⒸにつながるスイッチをONにしてバッファA_3を介して出力します.こうして16ビット分解能のD-Aコンバータが得られます.

この2ステップ電圧ポテンショメータ型D-Aコンバータは,バッファ・アンプのオフセット電圧が十分低ければ極めて優秀な微分直線性および単調性が得られます.

ただし,非直線性はコース基準抵抗のタップ間抵抗の比精度により決定されるので,0.01%(typ)程度が限界のようです.

電流セル・マトリクス型 D-A コンバータ

最近のビデオ用CMOS D-Aコンバータでは,電流セル・マトリクス型D-Aコンバータが多くなってきています.

図3-10に電流セル・マトリクス型D-Aコンバータの構成を示します.電流セル・マトリクス型D-Aコンバータは,セグメントを下位ビットまで拡張した変換方式と見ることができます.

例えば,8ビットD-Aコンバータを同方式で実現する場合,1LSBの重みを持つ電流源+電流スイッチを"電流セル"として16×16個のマトリクス状に配置します.

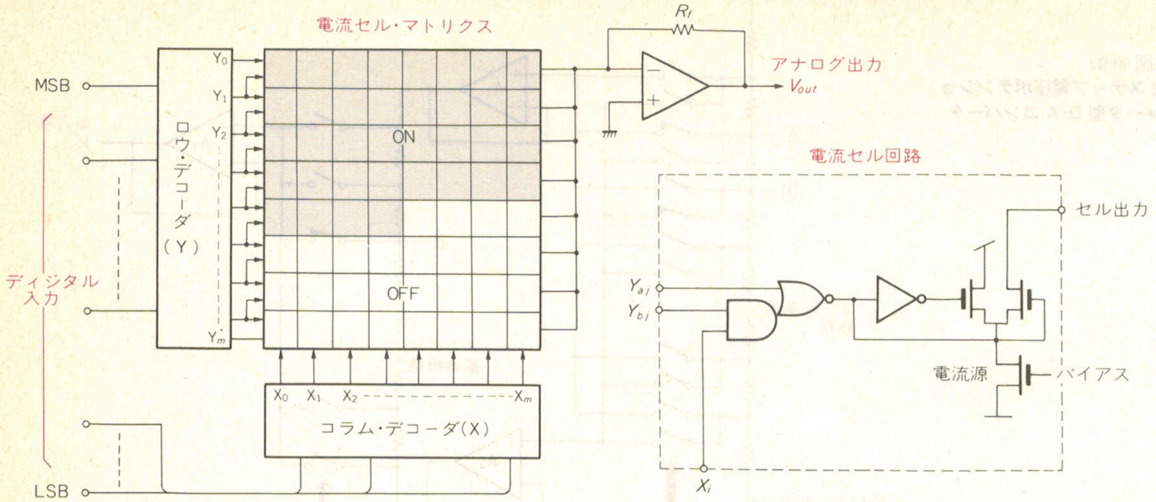
ディジタル入力のうち,上位4ビットをロウ・デコーダで4→16ラインへデコードし,電流セル・マトリクスのロウ(Y)入力をドライブします.

同様に,下位4ビットをコラム・デコーダにより4→16ラインに変換し,電流セル・マトリクスのコラム(X)ラインをドライブします.

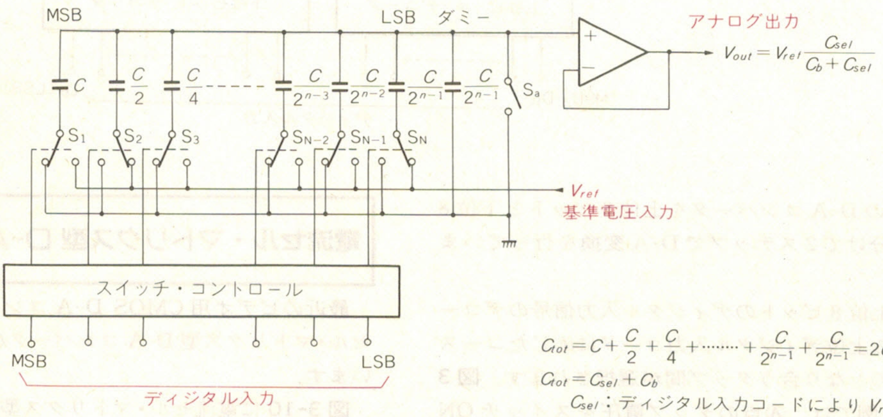
これらのデコード信号により,入力ディジタル・コードに対応した電流セル数がONになり,これらの電流が加算して出力されます.

実際に製品化されるときは,8ビットのD-Aコンバータでは上位7ビットに電流セル・マトリクス型を採用し,LSBのみ½の電流セルを1個設けています.

〈図3-10〉電流セル・マトリクス型D-Aコンバータ



〈図3-11〉
キャパシタ・
アレイ型D-A
コンバータ

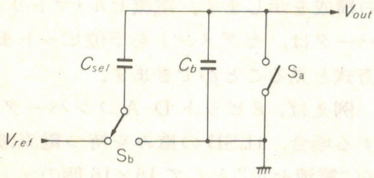


$$C_{tot}=C+\frac{C}{2}+\frac{C}{4}+\cdots\cdots+\frac{C}{2^{n-1}}+\frac{C}{2^{n-1}}=2C$$

$$C_{tot}=C_{sel}+C_b$$

C_{sel}：ディジタル入力コードによりV_{ref}に接続されるキャパシタ・アレイ

C_b ：C_{sel}以外のGNDに接続されるキャパシタ・アレイ



そして，電流セルの数を半分にしています．

また，10ビット・クラスのD-Aコンバータでは，上位7ビットを電流セル・マトリクス構成にし，下位3ビットは½，¼，⅛の電流セルを用意して素子数を減らしているようです．

電流セル･マトリクス型は，従来のD-A変換方式の延長ではなく，CMOSの微細化，高集積化技術のアナログICへの応用といった面が強く，これからのD-Aコンバータの主流のひとつとなりそうです．

電流セル･マトリクス型D-Aコンバータの大きな特長は，微分直線性が極めて優秀なことでしょう．これは，ビデオ用D-Aコンバータとして，最も大きなメリットになります．ただし，非直線性の改善は期待できません．

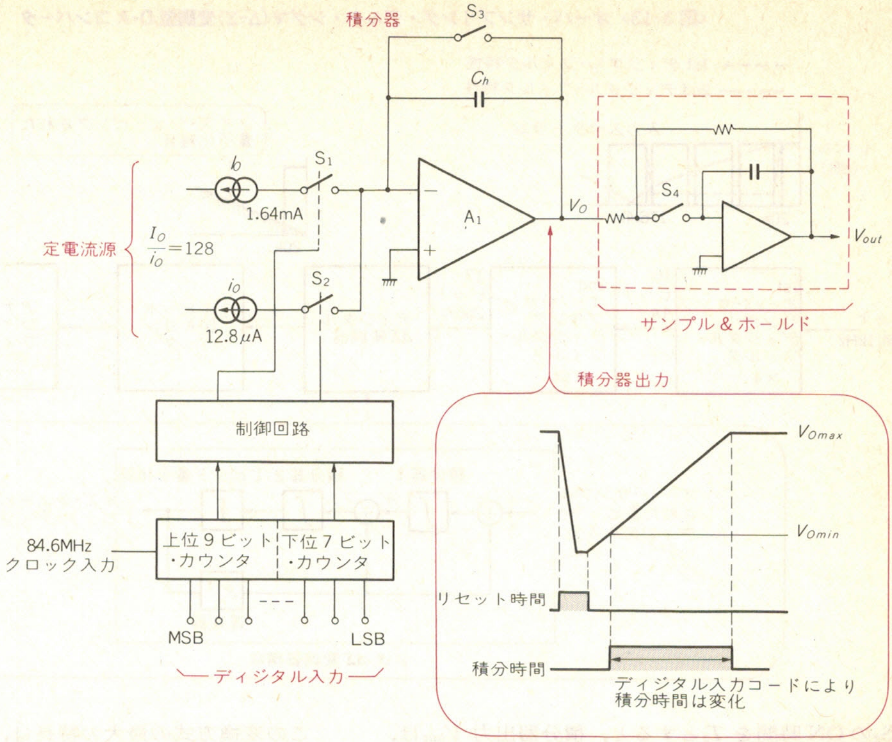
キャパシタ・アレイ型D-Aコンバータ

最近のCMOS ICでは，高精度な抵抗アレイをワンチップ化するよりも，キャパシタ・アレイをワンチップ化する方が適しています．

そこで，D-Aコンバータにおいてもバイナリ比を持つ抵抗の代わりに，バイナリ比を持つキャパシタ・アレイを用いるD-A変換方式が使われるようになってきています．

キャパシタ･アレイ型D-Aコンバータの変換方式の概要を図3-11に示します．変換サイクルは2ステッ

〈図3-12〉
積分型 D-A コンバータ



プで行われます．

キャパシタ・アレイは n ビット分解能に対して($n+1$)個必要です．そして，キャパシタ・アレイは n ビット分の C，$C/2$，$C/4$……$C/2^{(n-1)}$とダミー容量として LSB に相当する $C/2^{(n-1)}$がさらに必要になります．すなわち，トータル容量は 2C です．

変換の第一ステップでは，全キャパシタ・アレイを GND へ接続し，さらにスイッチ S_a=GND として全キャパシタの電荷を放電(リセット)します．

第二ステップでは，ディジタル入力コードにより V_{ref}につながれる C_{sel}を設定します．残りのキャパシタ・アレイは GND へ接続します．そして，S_a=OFF にすると，V_{ref}は，ディジタル入力コードにより C_{sel}と C_bの比により分割され，出力電圧 V_{out}が取り出されます．

このときの出力電圧は，

$$V_{out}=V_{ref}\times\frac{C_{sel}}{(C_{sel}+C_b)}$$

で与えられます．

ただし，現状のキャパシタ・アレイ型 D-A コンバータは，D-A コンバータ単体としてではなく，逐次比較型 A-D コンバータの一部として使われる方が多いようです．現在，12 ビットの CMOS A-D コンバータの中の D-A コンバータとして採用された製品が発表されています．

積分型 D-A コンバータ

ディジタル・オーディオ用の D-A 変換方式として，一部のメーカが採用している方式に積分型 D-A コンバータがあります．

図 3-12 に示すように，積分器，ふたつの定電流源，電流スイッチ，ふたつのカウンタおよびサンプル&ホールド回路などで構成されます．

このふたつの定電流源は，正確な電流比を持つ必要があります．図 3-12 では 16 ビットの D-A コンバータの例を示していますが，電流比 $I_o/i_o=128$ です．

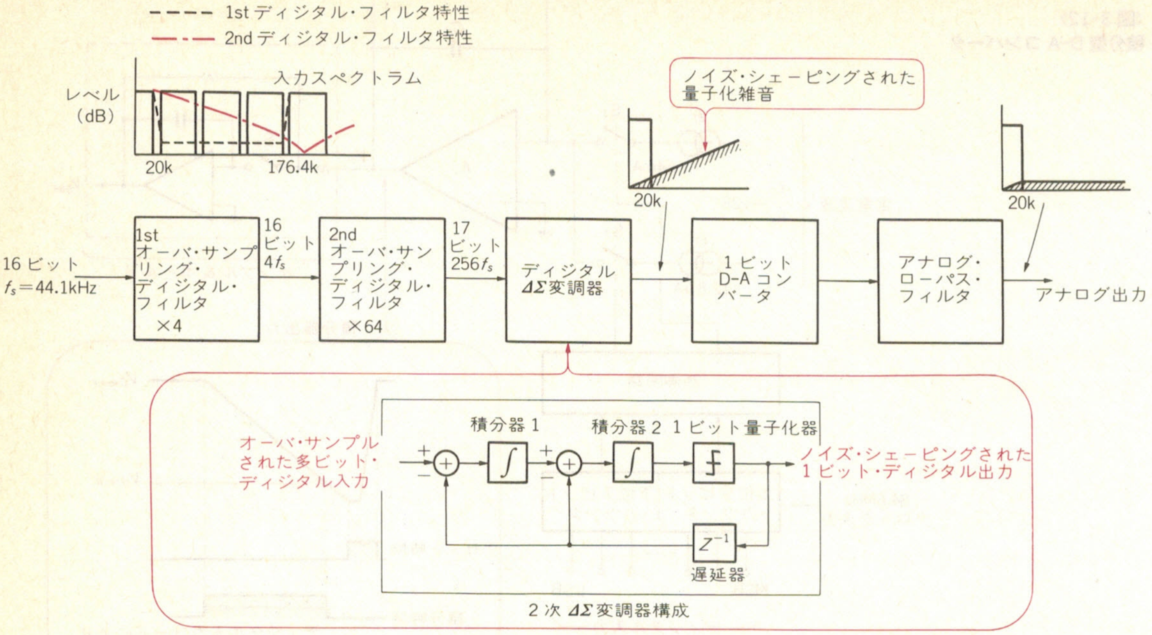
オーディオ帯域で積分型 D-A コンバータを構成するには，100MHz 近いクロック速度が必要になります．

D-A 変換に先だち，まず $S_1=S_2$=OFF，S_3=ON として積分コンデンサ C_hを放電(リセット)します．

ディジタル入力は上位 9 ビット，下位 7 ビット・カウンタへそれぞれロードされます．リセット周期を終了すると $S_1=S_2$=ON，S_3=OFF として上位ビット用定電流源(I_o)，下位ビット用定電流源(i_o)により積分を開始します．

上位ビット・カウンタ/下位ビット・カウンタは，それぞれ同じクロック速度(84.6MHz)でカウント・ダウンされます．そして，それぞれのカウンタがゼロになるまで S_1および S_2を ON にします．S_1の ON 時間を

〈図 3-13〉オーバ・サンプリング・デルタ・シグマ(Δ-Σ)変調型 D-A コンバータ



T_1，S_2の ON 時間を T_2とすると，積分器出力 V_{out}は，

$$V_{out}=-\frac{1}{C}\ (I_o\times T_1+i_o\times T_2)$$

になります．

リセット期間および積分器動作時間中は，後段のサンプル&ホールドはホールド・モードで，前値をホールドしています．そして，積分動作が終了した後，サンプル&ホールド回路はサンプル・モードとなり，新しい D-A 変換によるアナログ出力レベルをサンプルします．

積分型 D-A コンバータは，動作クロック周波数がかなり高速なため，外付け部品(積分用 OP アンプ，積分用コンデンサ，FET スイッチなど)の選択，および部品配置，パターン設計などに十分な注意が必要になります．

積分型は，ふたつの定電流源の電流比精度が得られれば，微分直線性および単調性に優れた D-A コンバータを得られます．ただし，オフセットおよびゲイン誤差についてはホールド・コンデンサの特性(誤差)に大きく左右されます．

オーバ・サンプリング Δ-Σ 変調型 D-A コンバータ

最近，通信用およびディジタル・オーディオ用 D-A コンバータとして注目されている変換方式として，オーバ・サンプリング・デルタ・シグマ(Δ-Σ)変調型 D-A コンバータがあります．

この変換方式の最大の特長は，高精度の D-A コンバータが高精度のアナログ回路をほとんど使わずにディジタル回路主体で構成できるところにあります．

ディジタル回路(ほとんどがディジタル・フィルタ)はかなり高速で高密度を要求されますが，現在のディジタル CMOS IC 技術を使えば問題にはなりません．IC 化するに際して高精度のアナログ回路がなくなることは大変大きなメリットであり，これからの主流となる D-A 変換方式でしょう．

図 3-13 に構成を示しますが，今まで説明してきた他の D-A 変換方式に比べて大変異なっています．

高精度 D-A コンバータにおいて高精度なアナログ回路を減らす最も効果的な方法は，ディジタル・データを時間の情報に変換して，“1 ビット D-A 変換”(基準電圧を時間情報で ON/OFF する)を行うことによりパルス幅に変換したのち，アナログ・フィルタを用いてデータを平均化する方法です．

従来の PWM(パルス幅変調)方式の D-A 変換は，この考え方により高精度な D-A コンバータを実現してきました．ただし，変換速度はかなり遅くなりオーディオ帯域では使用できませんでした．

そこで，“1 ビット D-A コンバータ”を用いてディジタル入力信号に，あるディジタル信号処理(オーバ・サンプリング＋デルタ・シグマ変調処理)を加えることにより高精度＋高速性を両立させた変換方式がオーバ・サンプリング・デルタ・シグマ(Δ-Σ)変調型 D-A コンバータです．

信号帯域のほぼ 2 倍に近い周波数でサンプリングさ

れたディジタル入力信号のサンプリング周波数を，極めて高いところまで持ちあげます(オーバ・サンプリング)．図3-13に示す例ではf_s=44.1kHzを256×f_s(約11MHz)まで，インターポーレーション(補間)ディジタル・フィルタによって持ちあげています．

ディジタル・フィルタは，入力信号のオーバ・サンプリングを行うと共に20kHz以上の不要なスペクトラムを除去する急しゅんなローパス・フィルタ特性をもっています．

極めて高いオーバ・サンプリングされた入力信号は，次に“デルタ・シグマ変調器”により1ビットのディジタル信号に変換します．

デルタ・シグマ変調器では積分器，1ビット量子化器をループ内に含む負帰還回路を構成しています．このデルタ・シグマ変調器では入力信号と1ビット量子化器の出力との差分を，積分器により積分します．そして，この積分器出力がゼロになるように負帰還ループが形成されます．

1ビット量子化器は，非常に大きな量子化雑音を発生します．SN比で考えたとき，量子化雑音によりSN比=6.02n+1.76(dB)(n：ビット数)で制限されてしまいます．そして，量子化雑音には本来周波数一様性があります．

デルタ・シグマ変調器による負帰還ループでは，この周波数一様性である量子化雑音の周波数特性を変えてしまいます(ノイズ・シェーピングという)．

すなわち，低周波ほど量子化雑音レベルを低下させ，ナイキスト周波数に近くなるほど雑音レベルは上昇します．図3-13に示す2次のデルタ・シグマ変調器では，12dB/octの傾きで周波数が上がるほど，雑音レベルが上昇します．

信号帯域20kHzに対してサンプリング周波数を11MHz近くまで持ちあげているため，12dB/octの曲線をもったノイズ・シェーピングの働きで信号帯域内の雑音レベルは−100dB以下を確保できるようになります．

デルタ・シグマ変調器出力は，1ビットD-Aによりアナログ信号に変換したのち低次ローパス・フィルタでフィルタリングします．そして，12dB/oct特性をもった高域雑音を除去します．

▶新しい「実用電子回路ハンドブック」ができました

実用電子回路設計ノート

No.1 アナログ主体の回路集です　トランジスタ技術編集部 編

好評発売中

B5判　172頁　定価1,600円(税込)

本書は月刊誌トランジスタ技術に掲載された膨大な記事の中から実用性の高いアナログ回路に関する部分をまとめなおしたものです．これらの回路情報はいずれも単純なICメーカのアプリケーション・ノートの転載ではなく，現場サイドの技術者の工夫によって完成されたものですから，高い確率で読者のニーズに応えられるものと信じております．キー・ワード索引およびデバイス情報についても完備しましたので，読者の手元に置いてアナログ回路のデータ・ベースとして活用することができます．

なおこの本に類するものとして，小社ではこれまで「実用電子回路ハンドブック」をNo.1～No.5まで発行してまいりましたが，時代事情を考慮して回路技術分野ごとに整理した続編が本書にあたります．

本書の内容は1980年1月号～1987年2月号のトランジスタ技術の記事の中から抽出したものです．

CQ出版社　〒170 東京都豊島区巣鴨1-14-2　☎03-5395-2121(出版部) 03-5395-2141(営業部)　振替東京0-10665

第4章

DC特性とAC特性の仕様を正しく理解するために

A-D/D-Aコンバータのデータの読み方

正確なA-D/D-A変換を行っているかを規定するために，カタログには様々な項目が記載されています．本章では，A-D/D-Aコンバータの仕様を決めるパラメータについて解説します．

A-D/D-Aコンバータを正しく使いこなすためには，データ・シート上に記されている仕様の意味を正しく理解する必要があります．

数年前までは，仕様の表現については各社各様であるところが多かったのですが，最近はかなり統一されてきています．

また，従来はDC特性についての仕様だけしか規定されていませんでしたが，最近はACダイナミック特性の仕様もかなりデータ・シート上に示されるようになってきました．

代表的なA-D/D-Aコンバータの仕様

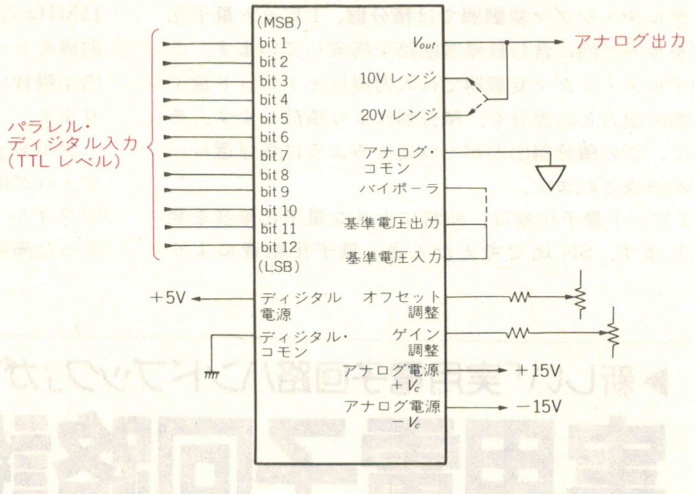
表4-1に代表的な12ビットD-AコンバータDAC80の仕様を，また**表4-2**には代表的な12ビットA-DコンバータADC80(いずれもバーブラウン社)の仕様を示します．

そして，標準的なA-D/D-Aコンバータの入出力ピンの構成例を図4-1に示します．

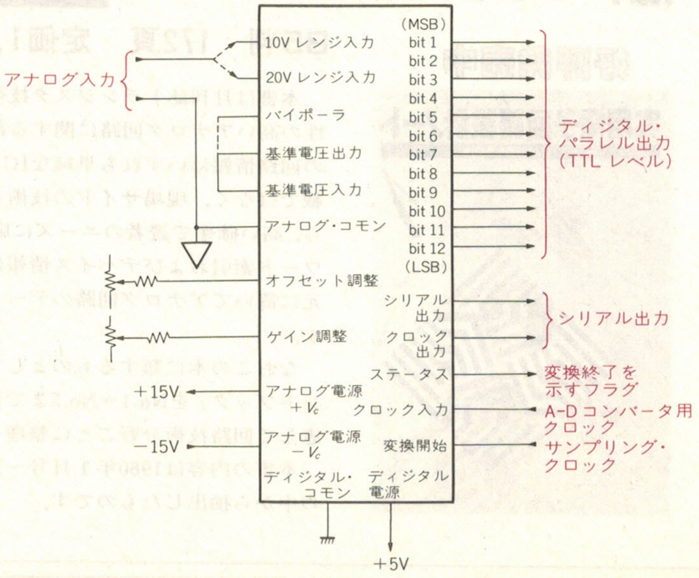
D-Aコンバータでは，ディジタル入力ピン(パラレル/シリアル入力)，アナログ出力ピン，基準電圧入出力ピン，アナログ/ディジタル電源ピンおよびコモン(グラウンド)ピン，オフセット/ゲイン調整ピンなどから構成されます．それぞれのD-Aコンバータによっては，さらにCPUバス・インターフェース用入出力ピン，クロック・ピンなどが付加されます．

A-Dコンバータでは，アナログ入力ピン，ディジタル出力ピン(パ

〈図4-1〉標準的なA-D/D-Aコンバータのピン構成



(a) D-Aコンバータの代表的なピン構成例



(b) A-Dコンバータの代表的なピン構成例

ラレル/シリアル出力)，基準電圧入出力ピン，アナログ/ディジタル電源ピンおよびコモン(グラウンド)ピン，オフセット/ゲイン調整ピンの他に変換開始入力ピン，変換終了フラグ出力ピン(ステータス，EOC：End of Conversion，CC：Conversion Complete，クロック出力など)などから構成されます．

図 4-1 のディジタル入出力ピンにある MSB は最大の重み(フルスケールの 1/2)をもつビットになります．MSB の次に重みをもつビット(フルスケールの 1/4)を(MSB−1)ビットと表現します．

〈表 4-1〉 12 ビット D-A コンバータの仕様(DAC80)

(T_a=25℃，±15V)

項　目	最小	標準	最大	単位
ディジタル入力				
分解能			12	ビット
ロジック・レベル(0℃から+70℃)				
V_{IH}(ロジック"1")	+2		+16.5	V_{DC}
V_{IL}(ロジック"0")	0		+0.8	V_{DC}
I_{IH}(V_{IN}=+2.4V)			+20	μA
I_{IL}(V_{IN}=+0.4V)			−180	μA
精度(+25℃)				
直線性誤差		±1/4	±1/2	LSB
微分直線性誤差		±1/2	±3/4	LSB
ゲイン誤差		±0.1	±0.3	%
オフセット誤差		±0.05	±0.15	% of FSR
ドリフト(0℃から+70℃)				
総合バイポーラ・ドリフト(ゲイン，オフセット，直線性ドリフトを含む)		±10	±25	ppm of FSR/℃
総合誤差(0℃から+70℃)				
ユニポーラ		±0.06	±0.15	% of FSR
バイポーラ		±0.06	±0.12	% of FSR
ゲイン：内部リファレンスを含む		±10	±30	ppm/℃
内部リファレンスを含まず		±5	±10	ppm/℃
ユニポーラ・オフセット		±1	±3	ppm of FSR/℃
バイポーラ・オフセット		±7	±15	ppm of FSR/℃
微分直線性(0℃から+70℃)		±1/2	±3/4	LSB
直線性誤差(0℃から+70℃)		±1/4	±1/2	LSB
単調性保証	0		±70	℃
変換速度，V_{OUT}モデル				
セトリング・タイム，±0.01%FSR				
FSR 変化(2kΩ∥500pF 負荷)				
10kΩ 帰還		3	4	μs
5kΩ 帰還		2	3	μs
1LSB 変化		1		μs
スルーレート	10			V/μs
変換速度，I_{OUT}モデル				
セトリング・タイム，±0.01%FSR				
FSR 変化：10Ω から 100Ω 負荷		300		ns
1kΩ 負荷		1		μs
アナログ出力，V_{OUT}モデル				
範囲	±2.5, ±5, ±10, +5, +10			V
出力電流	±5			mA
出力インピーダンス(DC)		0.05		Ω
コモンへの短絡時間		無制限		
アナログ出力，I_{OUT}モデル				
範囲：バイポーラ	±0.96	±1.0	±1.04	mA
ユニポーラ	−1.96	−2.0	−2.04	mA
出力インピーダンス：バイポーラ	2.6	3.2	3.7	kΩ
ユニポーラ	4.6	6.6	8.6	kΩ
コンプライアンス	−2.5		+2.5	V
リファレンス電圧出力	+6.23	+6.30	+6.37	V
外部電流(一定負荷)			2.5	mA
温度ドリフト		±10	±20	ppm/℃
出力インピーダンス		1		Ω
電源除去比				
V_{CC}=±12V_{DC}から±15V_{DC}		±0.002	±0.006	%FSR/% V_{CC}
電源				
±V_{CC}	±11.4		±16.5	V_{DC}
電源電流(無負荷)：+V_{CC}		8	12	mA
−V_{CC}		15	20	mA
消費電力(V_{CC}=±15V_{DC})		345	480	mW

また，LSB とは最小の重みを示すビットになります．分解能が n ビットの A-D/D-A コンバータでは，

$$\frac{1}{2^n}\times \mathrm{FS}(\text{フルスケール})$$

が 1LSB の重みになります．

ただし，±出力のバイポーラ・モードの A-D/D-A コンバータでは MSB ビットは極性ビットになっているので注意してください．

次に，すべての A-D/D-A コンバータに共通する仕様について説明します．

● 分解能(ビット)

分解能は，A-D/D-A コンバータに許容される最大振幅(フルスケール)をどれだけの細かさで分解できるかを示すためのものです．

通常の A-D/D-A コンバータでは**表 4-3** に示したように $1/2^n$(n：ビット数)の分解能を持ちます．分解能の高い A-D/D-A コンバータは，一般的には高い精度をもっているものですが，必ずしも分解能＝精度の関係にあるとは限りません．

● 絶対精度

A-D/D-A コンバータにおける絶対精度とは，オフセット誤差/ゲイン誤差/非直線性誤差/量子化誤差および雑音に起因する精度のことをいいます．絶対精度は，国際標準に基づいた信号源と測定系を用いた標準体系のもとで規定されます．

● 相対精度

相対精度は，ゼロ-フルスケール間を較正した後に理想直線と比較して A-D/D-A コンバータがもっているアナログ・レベルの偏差のことをいいます．相対精度は，A-D/D-A コンバータでは直線性と同じ意味で使われます．

● オフセット誤差とゲイン誤差

A-D/D-A コンバータでは，ディ

ジタル入出力においてゼロ・コードが入力あるいは出力されるとき，アナログ信号はゼロでなければなりません．しかし，実際にはOPアンプなどと同様にオフセット誤差が生じます．

アナログ信号が正電圧のみのユニポーラ・モードのA-D/D-Aコンバータでは，ゼロ・コード時のアナログ信号レベルがオフセット誤差になります．

また，±入出力となるバイポーラ・モードのA-D/D-Aコンバータでは，FS/2(FS：フルスケール)コードにおけるアナログ信号レベルがオフセット誤差になります．

ゲイン誤差は，ゼロとフルスケール間を結ぶ直線の傾き誤差として規定されます．

● 直線性誤差

A-D/D-Aコンバータにおける直線性誤差は最も重要な仕様のひとつです．

直線性誤差には，非直線性誤差(積分直線性誤差)と微分直線性誤差があります．

▶非直線性誤差(積分直線性誤差)

非直線性誤差は，ゼロ-フルスケール間を結ぶA-D/D-A変換の理想直線(エンド・ポイント・ライン)に対して実際のA-D/D-Aコンバータの入出力曲線がどれくらいの差をもっているか(LSBまたは% of FS)で表します．

メーカによっては，非直線性誤差を図4-2(a)のゼロ-フルスケールの理想直線に対してではなく，図4-2(b)の最大直線性誤差が±に等しく分散するようにオフセットおよびゲインを調整して得られるベスト・ストレート・ラインに対して規定するところもあります．

▶微分直線性誤差

微分直線性誤差はディファレンシャル・エラーともいい，次に説明する単調性と重要な関連があります．

D-Aコンバータを例にとると，ディジタル入力コードがひとつ増加するにつれて，アナログ出力が1LSBの変化幅で増加するのが理想です．ちょうど1LSB増えたとき誤差は0ですが，図4-3に示した例では“1”から“2”のとき2.5LSB増えていますから，1.5LSBの誤差があります．

微分直線性誤差は，LSBまたは% of FSで表しま

〈表4-2〉12ビットA-Dコンバータの仕様(ADC80)

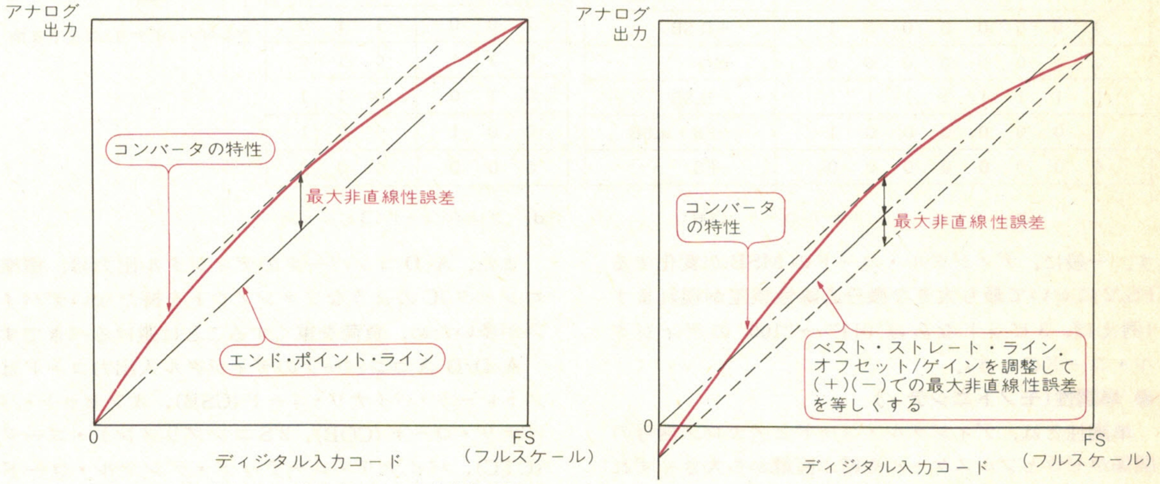
(T_a=25℃，V_{CC}=±12Vまたは±15V，V_{DD}=5V)

項　　目	最小	標　　準	最大	単　　位
分解能			12	ビット
入力				
アナログ				
電圧範囲：ユニポーラ		0～+5,0～+10		V
バイポーラ		±2.5, ±5, ±10		V
インピーダンス：0～+5V, ±2.5V	2.45	2.5	2.55	kΩ
0～+10V, ±5V	4.9	5	5.1	kΩ
±10V	9.8	10	10.2	kΩ
ディジタル				
ロジック特性				
V_H(ロジック“1”)	2.0		5.5	V
V_{IL}(ロジック“0”)	−0.3		+0.8	V
I_{IH} (V_{IN}=+2.7V)			20	μA
I_{IL} (V_{IN}=+0.4V)	−20			μA
コンバート・コマンド・パルス幅	100ns		20	μs
伝達特性				
精度				
ゲイン誤差		±0.1	±0.3	% of FSR
オフセット誤差：ユニポーラ		±0.05	±0.2	% of FSR
バイポーラ		±0.1	±0.3	% of FSR
直線性誤差			±0.012	% of FSR
微分直線性誤差		±1/2	±3/4	LSB
量子化誤差		±1/2		LSB
電源除去				
11.4V≦±V_{CC}≦16.5V		±0.003	±0.009	% of FSR/% V_{CC}
+4.5V≦V_{DD}≦+5.5V		±0.002	±0.005	% of FSR/% V_{DD}
ドリフト				
総合精度，バイポーラ		±10	±23	ppm/℃
ゲイン		±15	±30	ppm/℃
オフセット：ユニポーラ		±3		ppm of FSR/℃
バイポーラ		±7	±15	ppm of FSR/℃
直線性誤差ドリフト		±1	±3	ppm of FSR/℃
微分直線性(全温度範囲)			±3/4	LSB
ノー・ミッシング・コード温度範囲	−25		±85	℃
単調性(全温性範囲)		保証		
変換時間		22	25	μs
出力				
ディジタル				
出力コード				
パラレル：ユニポーラ		CSB		
バイポーラ		COB,CTC		
シリアル(NRZ)		CSB,COB		
ロジック・レベル：ロジック“0”			+0.4	V
：ロジック“1”	+2.4			V
内部クロック周波数		520		kHz
内部リファレンス電圧				
電圧	+6.28	+6.3	+6.32	V
外部負荷に対するソース電流	200			μA
温度ドリフト		±10	±30	ppm/℃
電源				
定格電圧		+5, ±12or±15		V
電圧範囲：±V_{CC}	±11.4		±16.5	V
V_{DD}	+4.5		+5.5	V
電源電流：+I_{CC} (±V_{CC}=15V)		8.5	11	mA
−I_{CC} (−V_{CC}=15V)		21	24	mA
I_{DD} (V_{DD}=5V)		30	36	mA
消費電力(±V_{CC}=15V，V_{DD}=5V)		593	705	mW
熱抵抗，θ_{JA}		50		℃/W

〈表 4-3〉
ビット数と分解能/精度/ダイナミック・レンジ

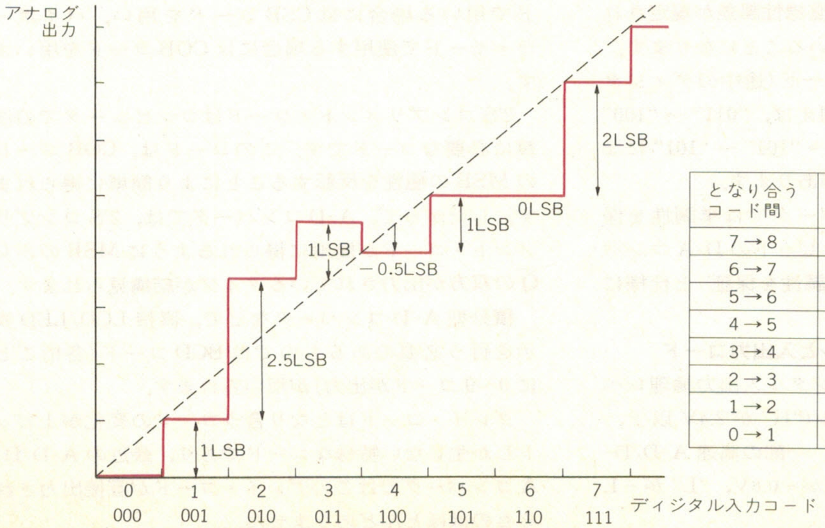
ビット数〔ビット〕	分解能	1LSB 分解能	±½ LSB 精度	ダイナミック・クレンジ〔dB〕
20	$\frac{1}{1,048,576}$	0.954ppm/LSB	±0.477ppm	122.2
18	$\frac{1}{262,144}$	3.81ppm/LSB	±1.91ppm	110.1
16	$\frac{1}{65,536}$	15.3ppm/LSB	±7.63ppm	98.1
14	$\frac{1}{16,384}$	61.0ppm/LSB	±30.5ppm	86.0
12	$\frac{1}{4,096}$	0.0244%/LSB	±0.0122%	74.0
10	$\frac{1}{1,024}$	0.0977%/LSB	±0.0488%	62.0
8	$\frac{1}{256}$	0.391%/LSB	±0.195%	49.9
6	$\frac{1}{64}$	1.56%/LSB	±0.781%	37.9
4	$\frac{1}{16}$	6.25%/LSB	±3.125%	25.8

〈図 4-2〉 非直線性誤差規定



(a) エンド・ポイント誤差規定による非直線性誤差　(b) ベスト・ストレート・ライン規定による非直線性誤差

〈図 4-3〉 D-A コンバータの微分直線性誤差および単調性



となり合うコード間	変化分(LSB)	微分直線性(LSB)誤差	単調性
7→8	+1.0	0.0	あり
6→7	+2.0	+1.0	限界
5→6	0.0	−1.0	限界
4→5	+1.0	0.0	あり
3→4	−0.5	−1.5	なし
2→3	+1.0	0.0	あり
1→2	+2.5	+1.5	なし
0→1	+1.0	0	あり

〈図4-4〉ディジタル入出力コード

MSB　　ディジタル入力　　LSB	アナログ出力
1　1　1　1　1　1　1　1	+FS−1LSB
1　0　0　0　0　0　0　1	$+\frac{FS}{2}+1LSB$
1　0　0　0　0　0　0　0	$+\frac{FS}{2}$
0　1　1　1　1　1　1　1	$+\frac{FS}{2}-1LSB$
0　0　0　0　0　0　0　1	LSB
0　0　0　0　0　0　0　0	ゼロ

(a)　ストレート・バイナリ・コード（CSB）

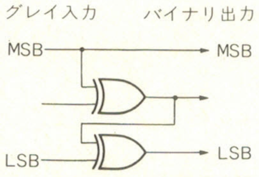
MSB　　ディジタル入力　　LSB	アナログ出力
0　1　1　1　1　1　1　1	+FS−1LSB
0　0　0　0　0　0　0　1	+1LSB
0　0　0　0　0　0　0　0	ゼロ
1　1　1　1　1　1　1　1	−1LSB
1　0　0　0　0　0　0　1	−FS+1LSB
1　0　0　0　0　0　0　0	−FS

(c)　2'S コンプリメント・コード（CTC）

MSB　　ディジタル入力　　LSB	アナログ出力
1　1　1　1　1　1　1　1	+FS−1LSB
1　0　0　0　0　0　0　1	+1LSB
1　0　0　0　0　0　0　0	ゼロ
0　1　1　1　1　1　1　1	−1LSB
0　0　0　0　0　0　0　1	−FS+1LSB
0　0　0　0　0　0　0　0	−FS

(b)　オフセット・バイナリ・コード（COB）

バイナリ・コード MSB　LSB	グレイ・コード MSB　LSB
1　1　1	1　0　0
1　1　0	1　0　1
1　0　1	1　1　1
1　0　0	1　1　0
0　1　1	0　1　0
0　1　0	0　1　1
0　0　1	0　0　1
0　0　0	0　0　0



グレイ・バイナリ・コード変換

(d)　グレイ・コード（3ビット例）

す．一般に，ディジタル・コードのMSBが変化するFS/2において最も大きな微分直線性誤差が現れます（例えば，3ビットならば"011"→"100"のディジタル・コードのとき）．

● **単調性（モノトニシティ）**

単調性とは，ディジタル・コードとアナログ信号の関係がゼロとフルスケールを結ぶ直線から大きくずれていかないことを保証するものです．単調性を保証するには，微分直線性誤差が1LSB（±1/2 LSB）を越えないことが条件になります．

逆に，±1/2 LSB以内の微分直線性誤差が規定されていれば，単調性は保証されていることになります．

単調性がなくなるとミス・コード（途中のディジタル・コードがなくなること．例えば，"011"→"100"→"101"となるところが"011"→"101"→"101"になってしまう）が発生する可能性があります．

高分解能のA-D/D-Aコンバータでは単調性を保証することが難しく，実際に16ビットのD-Aコンバータであっても"14ビットの単調性を保証"と仕様に書かれているものもあります．

● **ディジタル入出力論理レベルと入出力コード**

A-D/D-Aコンバータのディジタル入出力論理レベルは，ほとんどがTTLレベル（"H"が2.4V以上，"L"が0.8V以下）です．ただし，一部の高速A-D/D-AコンバータではECL（"H"が−0.8V，"L"が−1.8V）レベルが使用されています．

また，A-Dコンバータのディジタル出力は，標準ロジックICのようなファンアウトを持たないデバイスが多いため，負荷を重くすることは避けるべきです．

A-D/D-Aコンバータのディジタル入出力コードは，ストレート・バイナリ・コード（CSB），オフセット・バイナリ・コード（COB），2'Sコンプリメント・コード（CTC），バイナリ・コーデッド・デシマル・コード（BCD），まれにグレイ・コードなどが使われます．図4-4にそれらの例を示します．

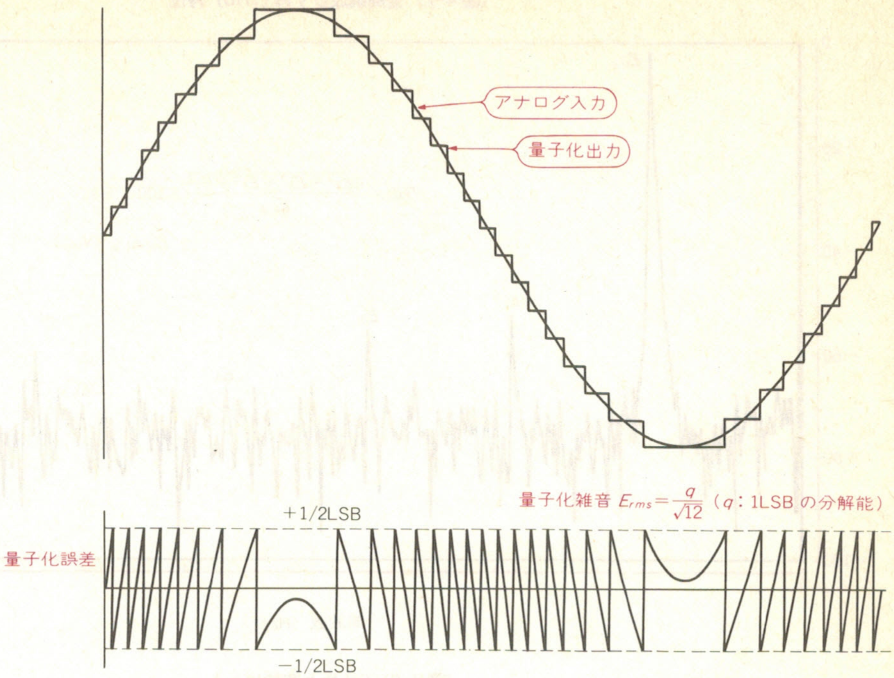
一般に，A-D/D-Aコンバータをユニポーラ・モードで用いる場合にはCSBコードを用い，バイポーラ・モードで使用する場合にはCOBコードを用います．

2'Sコンプリメント・コードはコンピュータでの演算に必要なコードです．このコードは，COBコードのMSBの極性を反転することにより簡単に得られます．したがって，A-Dコンバータでは，2'Sコンプリメント・コードが簡単に得られるようにMSBのみQ，$\overline{Q}$の双方が出力されているタイプが結構見られます．

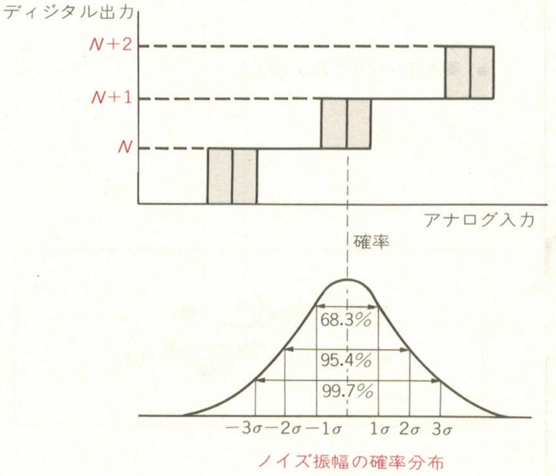
積分型A-Dコンバータなどで，直接LCD/LED表示を行う必要のあるものではBCDコード（各桁ごとに0〜9コードが出力）が用いられます．

グレイ・コードはとなり合うコードの変化が1ビットしか生じない特殊なコードであり，最近のA-D/D-Aコンバータではこのグレイ・コードが直接出力されるものはほとんどありません．

〈図 4-5〉
量子化と量子化誤差(雑音)



〈図 4-6〉 **A-D/D-A コンバータの雑音**(ガウス分布雑音)



グレイ・コードとバイナリ・コードの変換は**図 4-4** に示したように Ex-OR ゲートにより行うことができます．

● 量子化誤差(雑音)

連続するアナログ量を有限の分解能をもつディジタル値に変換(量子化)するとき，分解能 n ビットの±1/2LSB 幅で量子化誤差(雑音)を生じます．

量子化誤差により生じる雑音は，周波数スペクトラムが一様性をもつ白色雑音です．n ビットの量子化で生じる雑音 E_{rms}は 1LSB 分解能を q とすると，

$$E_{rms}=\frac{q}{\sqrt{12}}$$

になります．

量子化誤差のようすを**図 4-5** に示します．

● ダイナミック・レンジ

量子化雑音 E_{rms}とフルスケール信号レベル S_{rms}の比が，n ビットの A-D/D-A コンバータにおける理想のダイナミック・レンジになります．n ビットの A-D/D-A コンバータの理想的なダイナミック・レンジは，

ダイナミック・レンジ(dB)＝$6.02n+1.761$

によって計算されます(**表 4-3** 参照)．

● 雑音

高精度の A-D/D-A コンバータでは，コンバータ自身が発生する雑音により SN 比が低下してしまいます．

A-D/D-A コンバータの雑音は，周波数帯域を規定した rms 値か 1Hz あたりの電圧/電流雑音密度(V/$\sqrt{\mathrm{Hz}}$，A/$\sqrt{\mathrm{Hz}}$)で表現されます．

雑音がガウス分布とすると，P-P 値が上記 rms 値の 7 倍を越える確率は 0.1 %以下です．

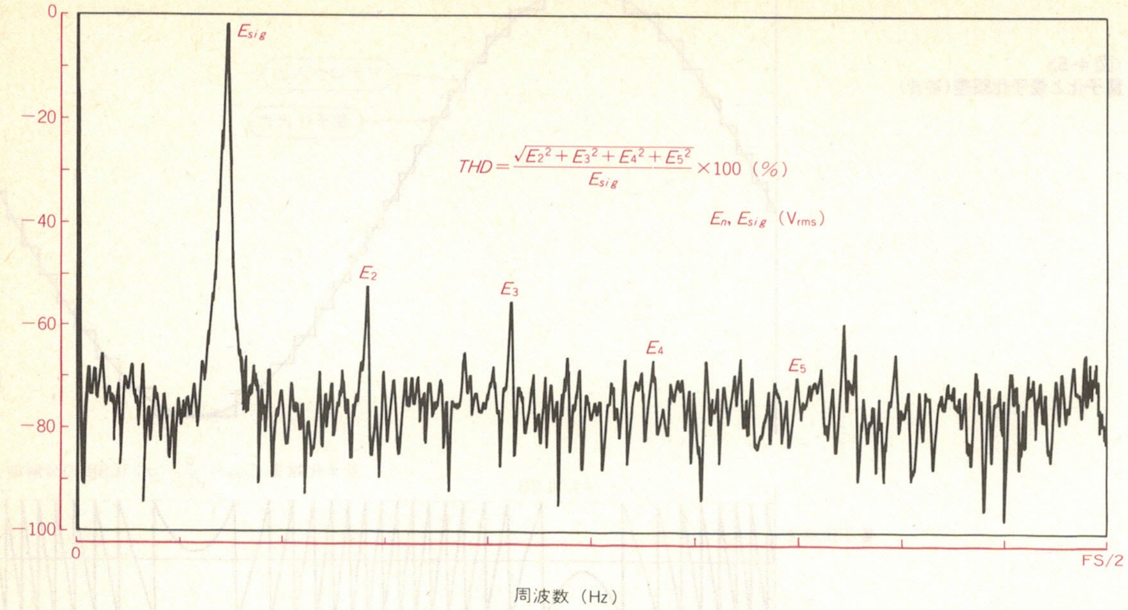
また，最近の A-D/D-A コンバータでは雑音を示すのに**図 4-6** に示す±3σ の確率を，LSB または% of FS 単位で規定する例も多くなってきています．

● *THD*(全高調波ひずみ率)と SN 比

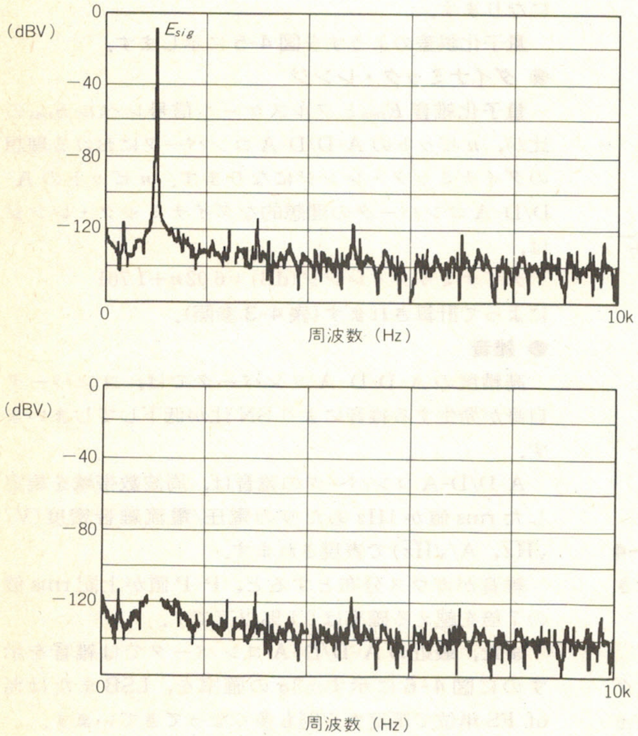
A-D コンバータに純粋な正弦波を信号源として印加し，出力をスペクトラム解析して得られる AC ダイナミック特性に全高調波ひずみ率(*THD*)があります．

THD は，スペクトラムの解析結果から得られる 2 次，3 次……n 次の高調波ひずみレベルを E_nとし，基

〈図 4-7〉 全高調波ひずみ（*THD*）特性



〈図 4-8〉 SN 比と有効ビット



（a） 基本波レベル：E_{sig}（V_{rms}）

▶SN比$=20\log\frac{E_{sig}}{E_{noise}}$（dB）

▶有効ビット$\approx\frac{\text{SN 比}-1.76}{6.02}$（bit）

（b） 基本波および DC 成分を除いてパワー加算する

雑音レベル：$E_{noise}(V_{rms})=\sqrt{E_{n1}{}^2+E_{n2}{}^2+\cdots+E_{nn}{}^2}$

本波レベルを E_{sig} とすると，次式により求めることができます．

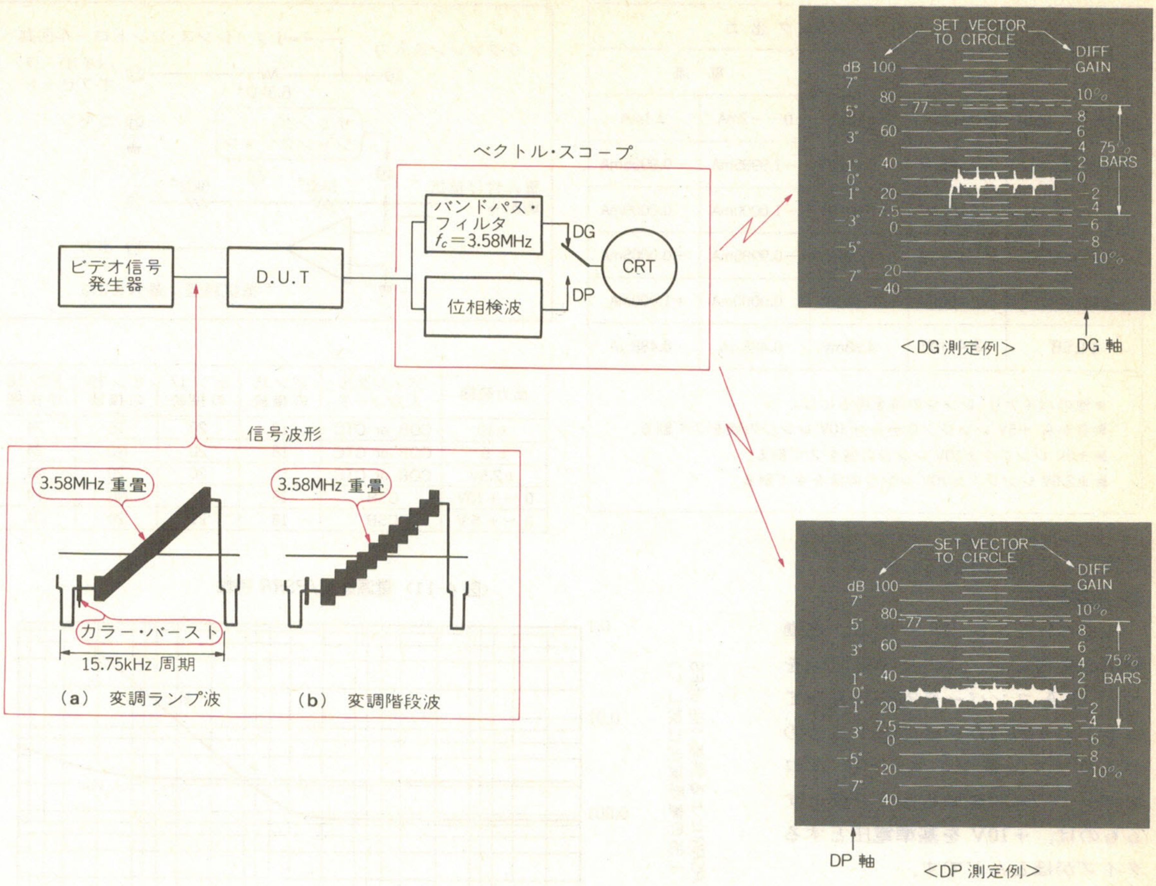
$$THD=\frac{\sqrt{E_2{}^2+E_3{}^2+\cdots\cdots+E_n{}^2}}{E_{sig}}\times 100 \quad [\%]$$

図 4-7 に全高調波ひずみ特性の例を示します．

SN 比は，A-D コンバータに純粋な正弦波を信号源として印加し，出力に現れる基本信号レベル E_{sig} と，その他の雑音レベル E_{noise} との比で計算される AC ダイナミック特性です．

図 4-8 にも示しましたが，SN 比は，

〈図 4-9〉 微分利得/位相(DG/DP)



$$\text{SN 比} = 20\log\left(\frac{E_{sig}}{E_{noise}}\right) \text{ (dB)}$$

で計算できます．

ただし，メーカによってはSN比の雑音成分に高調波ひずみ成分を含まないで計算する場合もあります．

● 微分利得/微分位相(DG/DP)

微分利得/微分位相は，本来はテレビやビデオなどの性能評価に用いられるものですが，A-D/D-A コンバータがビデオ用に多用されるようになったために必要となった仕様です．

これらを測定するために，低周波(15.75kHz)のランプ波または階段波(Y：輝度信号相当)に 3.58MHz の小振幅正弦波(C：カラー信号相当)を重畳した合成信号を信号源として用います．

DG(Differential Gain)とは，低周波のレベル値(Y信号)により 3.58MHz の高周波信号(C 信号)のゲインがどれだけ影響されるかを基準信号(バースト信号)レベルと比較し［%］で表します．

DP(Differential Phase)とは，低周波のレベル値により 3.58MHz の高周波信号の位相がどれだけ影響されるかを基準信号の位相と比較して［deg］で表します．図 4-9 に微分利得と微分位相の測定法と測定例を示します．

● ユニポーラ/バイポーラ・モード

A-D/D-A コンバータのアナログ・レベルを＋極性だけ，または－極性だけで使用するのがユニポーラ・モードです．

汎用の A-D/D-A コンバータでは，0～＋10V，0～＋5V，0～＋2.5V フルスケールのものが多いようです．

また，A-D/D-A コンバータのアナログ・レベルを正，負の両極性で使用するのがバイポーラ・モードです．汎用の A-D/D-A コンバータでは，±10V，±5V，±2.5V フルスケールが多いようです．

図 4-10 に，DAC80 のユニポーラ・モードとバイポーラ・モードの接続例を示します．

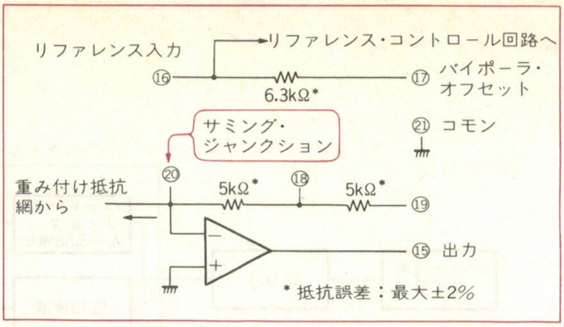
● ドリフト(安定度)

一般に，A-D/D-A コンバータのデータ・シート上で，精度に関する仕様は＋25°Cで規定されています．精度は温度，経時で変動(ドリフト)します．そこで，A-D/D-A コンバータでは，オフセット誤差/ゲイン誤差/直線性誤差などが，温度および経時に対する安

〈図 4-10〉 ユニポーラ/バイポーラ・モード接続(DAC80)

ディジタル入力	アナログ出力			
	電　圧*		電　流	
MSB　　LSB	0〜+10V	±10V	0〜−2mA	±1mA
000000000000	+9.9976V	+9.9951V	−1.9995mA	−0.9995mA
011111111111	+5.0000V	0.0000V	−1.0000mA	0.0000mA
100000000000	+4.9976V	−0.0049V	−0.9995mA	−0.0005mA
111111111111	0.0000V	−10.0000V	0.0000mA	+1.000mA
1 LSB	2.44mV	4.88mV	0.488μA	0.488μA

*他のバイナリ・レンジの値を得るには：
▶0 から +5V レンジ：0 から +10V レンジの値を 2 で割る.
▶±5V レンジ：±10V レンジの値を 2 で割る.
▶±2.5V レンジ：±10V レンジの値を 4 で割る.



出力範囲	ディジタル入力コード	ピン 15 の接続	ピン 17 の接続	ピン 19 の接続	ピン 16 の接続
±10	COB or CTC	19	20	15	24
± 5	COB or CTC	18	20	NC	24
±2.5V	COB or CTC	18	20	20	24
0〜+10V	CSB	18	21	NC	24
0〜+ 5 V	CSB	18	21	20	24

定度として規定されています.

● **基準電圧**

A-D/D-A コンバータでは，基準電圧が必要です．この基準電圧源を A-D/D-A コンバータ内部にもっているものと外付けを必要とするものがあります．汎用の A-D/D-A コンバータで外部基準電圧を必要とするものは，+10V を基準電圧とするタイプがほとんどです．

また，基準電圧源を内蔵する A-D/D-A コンバータでは，この基準電圧が外部にも出力されています．そして，この基準電圧単体の電圧精度，ドリフトおよび出力許容電流などが規定されています．また，A-D/D-A コンバータとしての特性は，内蔵の基準電圧を用いた状態で規定されます．

● **電源感度(*PSRR*)**

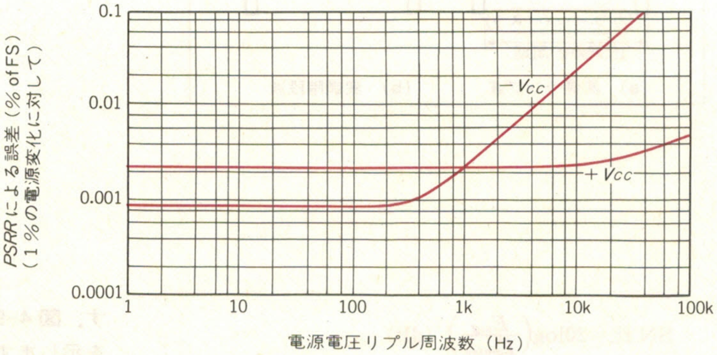
A-D/D-A コンバータでは，電源電圧の変動により精度が影響を受けます．

オフセット誤差/ゲイン誤差/直線性誤差が，電源電圧を 1 %変えるとどのくらい影響されるかを ppm または% of FSR/%で規定しています．

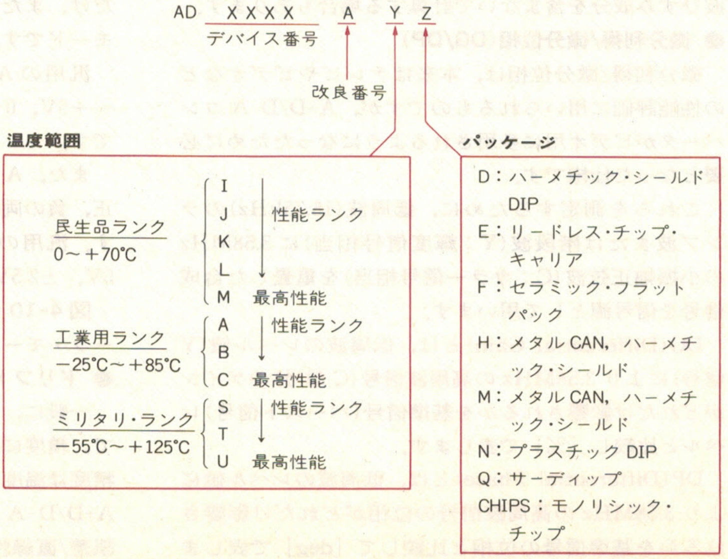
● **電源**

汎用の A-D/D-A コンバータでは±15V，+5V 電源を使用します．CPU コンパチブルの CMOS コンバータでは，+5V 単一電源で動作す

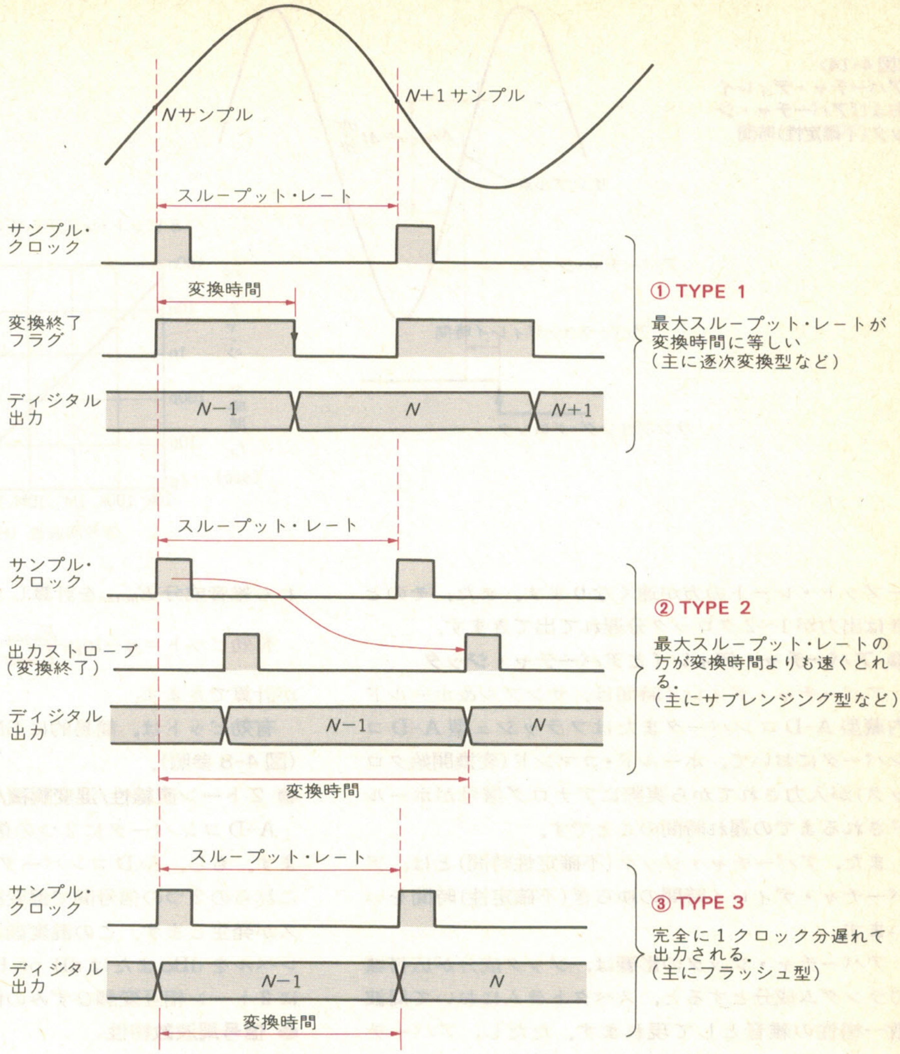
〈図 4-11〉 電源感度/*PSRR* 特性



〈図 4-12〉 A-D/D-A コンバータの動作温度範囲による分類例(アナログ・デバイセズ社)



〈図4-13〉
A-Dコンバータの変換時間とスループット・レート



るものが多くなっています.

高速または高精度A-D/D-Aコンバータでは，GNDと電源について，アナログとディジタルとを分離しているタイプが多くあります．図4-11にDAC80の場合の電源変動による誤差を示します．

● **ウォームアップ(予熱時間)と温度範囲**

高精度のA-D/D-Aコンバータでは，データ・シート上の精度に関する仕様を保証するため，パワー・オン後のウォームアップ(予熱)時間を規定しています．

また，A-D/D-Aコンバータは，使用温度範囲と保存温度範囲により細かく分類されているのが普通です．図4-12に，アナログ・デバイセズ社の分類例を示します．

データ・シート上における仕様は，25°Cでの値であり，使用温度範囲で保証されているわけではありませんので注意してください．

A-Dコンバータのみに関する仕様

これまでは，A-D/D-Aコンバータに共通する仕様について説明してきましたが，ここではA-Dコンバータのみに関する仕様について説明することにします．

● **変換時間とスループット・レート**

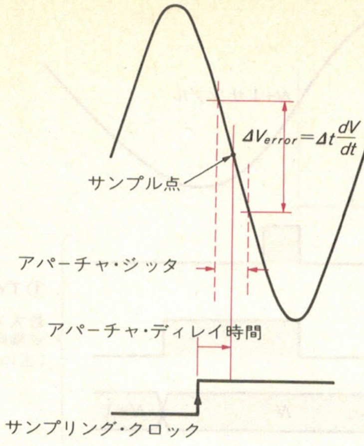
A-Dコンバータにおける変換時間は，変換開始命令(クロック)を与えてから，実際にディジタル出力が現れるまでの時間をいいます．通常，A-Dコンバータからは変換終了を示すフラグが出力されています．

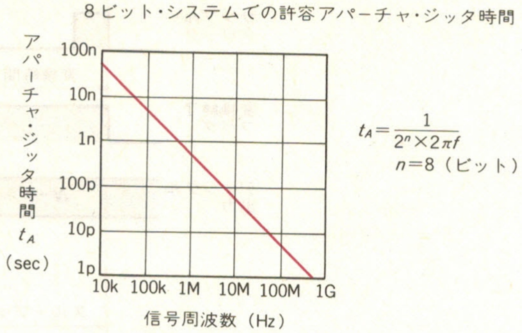
スループット・レートは，A-Dコンバータを連続して動作させる場合の最大変換レートです．

図4-13に示したように，変換時間とスループットの関係は，A-D変換方式によって変わります．

変換動作がパイプライン化されているものは，スループット・レート=1/変換時間にはなりません．スル

〈図 4-14〉
アパーチャ・ディレイおよびアパーチャ・ジッタ(不確定性)時間





ープット・レートの方が速くなります．また，そのときは出力が1～2クロック分遅れて出てきます．

● **アパーチャ・ディレイとアパーチャ・ジッタ**

アパーチャ・ディレイ時間は，サンプル&ホールド内蔵型A-Dコンバータまたはフラッシュ型A-Dコンバータにおいて，ホールド・コマンド(変換開始クロック)が入力されてから実際にアナログ信号がホールドされるまでの遅れ時間のことです．

また，アパーチャ・ジッタ(不確定性時間)とは，アパーチャ・ディレイ時間のゆらぎ(不確定性)時間をいいます．

アパーチャ・ジッタの影響は，ジッタ成分が広帯域のランダム成分とすると，スペクトラムにおいて周波数一様性の雑音として現れます．ただし，アパーチャ・ジッタによる雑音レベルは，信号周波数が高いほどまた信号レベルが高いほど大きくなる性質(信号依存性)を持っています．

図4-14にアパーチャ・ディレイ時間およびアパーチャ・ジッタ時間を示します．

● **有効ビット**

A-Dコンバータでは，信号周波数が高くなるほどACダイナミック精度は低下していきます．有効ビットは，“この信号周波数では，このビット精度(有効ビット)しかありません”という表現です．

有効ビットは純粋な正弦波を信号源として，A-Dコンバータ出力を信号処理することにより求められます．

すなわち，A-Dコンバータ出力より，最小2乗法などを用いて出力波形に最も近い理想正弦波を計算します．この理想正弦波をnビットで量子化したときの理想量子化雑音E_{ideal}を求めます．

次に，出力波形と計算された理想正弦波の差，すなわち雑音成分E_{noise}を計算します．これから，

$$\text{有効ビット}=n-\log_2\frac{E_{noise}}{E_{ideal}}\ \text{(dB)}$$

が計算できます．

有効ビットは，簡易的にSN比からも計算できます．(**図4-8**参照)．

● **2トーン直線性/混変調積/相互変調ひずみ**

A-Dコンバータに2つの信号の加算信号を印加します．もし，A-Dコンバータに非線形要因があると，これらの2つの信号間で混変調が起こり不要スプリアスが発生します．この混変調に起因するスプリアス・レベルをdBcまたはdB of FSで示します．**図4-15**に2トーン相互変調ひずみの例を示します．

● **信号周波数特性**

信号周波数特性は，アナログ入力の周波数特性について－3dB帯域で規定されます．最近のビデオ用A-Dコンバータではよく規定されている項目です．

● **キックバック雑音**

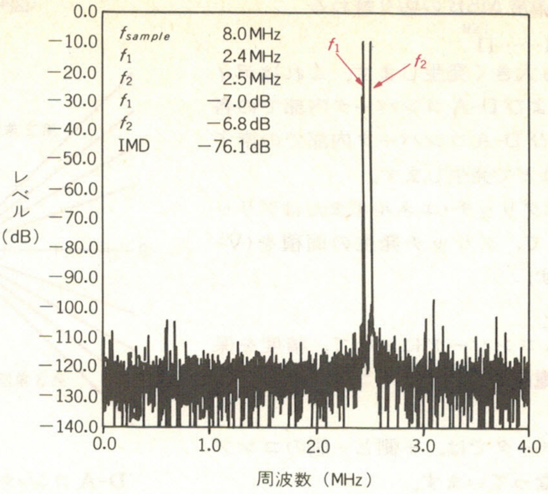
フラッシュ型A-Dコンバータにおいて，サンプリング・クロックのアナログ入力への漏れをキックバック雑音といいます．

フラッシュ型A-Dコンバータでは，2^n個のコンパレータをサンプリング・クロックに同期して同時にストローブ(ラッチ)させるため，非常に大きな雑音が発生しアナログ入力に漏れてきます．

この雑音成分は，高い周波数成分をもっているので，入力部のドライブ回路での共振特性によってはセトリング特性に大きな影響を及ぼします．

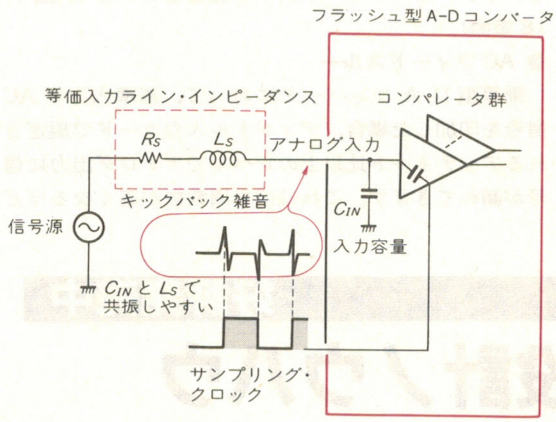
図4-16にフラッシュ型A-Dコンバータのアナログ入力部を示します．

〈図 4-15〉
2 トーン相互変調ひずみ (IMD)の例

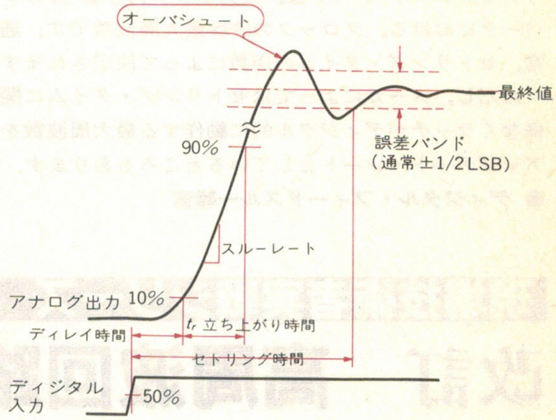


IMD
2nd order : f_1+f_2
2nd order : f_2-f_1
3rd order : $2f_1-f_2$
3rd order : $2f_1+f_2$
3rd order : $2f_2-f_1$
3rd order : $2f_2+f_1$
4th order : $3f_1-f_2$
4th order : $3f_1+f_2$
4th order : $2f_2-2f_1$
4th order : $2f_2+2f_1$
4th order : $3f_2-f_1$
4th order : $3f_2+f_1$

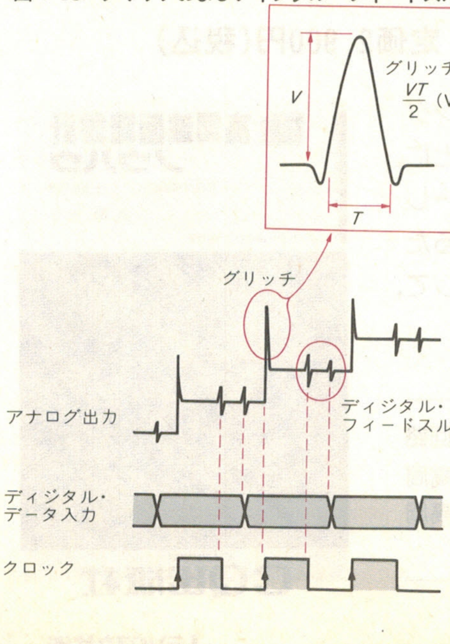
〈図 4-16〉 キックバック雑音



〈図 4-17〉 D-A コンバータのセトリング時間



〈図 4-18〉 グリッチおよびディジタル・フィードスルー雑音



D-A コンバータのみに関する仕様

● セトリング時間

D-A コンバータにディジタル・コードを与えてから，アナログ出力が規定の精度(通常±1/2LSB)に収まるまでの時間をセトリング・タイムといいます．

図 4-17 に D-A コンバータのセトリング特性を示しますが，セトリング・タイムの規定は各社各デバイスにより異なるところが多く注意が必要です．例えば，入力データ・ラッチ内蔵型の高速 D-A コンバータでは，アナログ出力の 10 %(あるいは 50 %)点から，規定精度までに収まる時間をセトリング・タイムとしているところもあります．

● グリッチ

D-A コンバータにおいてディジタル・コードが変化するとき，本来発生してはいけない雑音がアナログ出力にスパイク的に発生します．これがグリッチ雑音です(図 4-18)．

グリッチ雑音は，通常MSBの切り替わる

MSB 100……00 LSB ↔ MSB 011……11 LSB

FS/2のところで最も大きく発生します．これはディジタル入力コードおよびD-Aコンバータ内部での各ビット間スキュおよびD-Aコンバータ内部での素子のON/OFF時間差などで発生します．

データ・シートではグリッチ・エネルギまたはグリッチ・インパルスとして，グリッチ発生の面積を(V-sec)で規定しています．

● **コンプライアンス**

電流出力型のD-Aコンバータにおいて，精度を保証して得られる出力電圧の最大範囲をコンプライアンス電圧といいます．

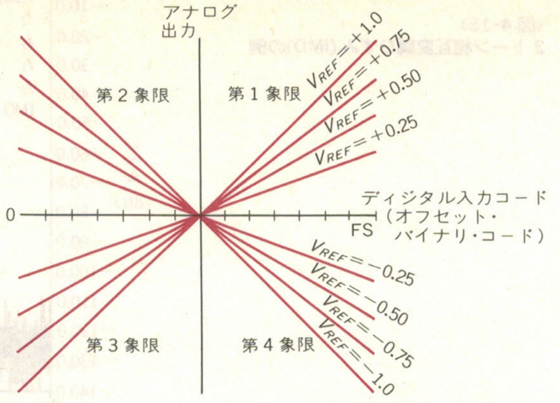
通常のD-Aコンバータでは，＋側と－側のコンプライアンス電圧は異なっています．

● **アップデート・レート**

アップデート・レートは，入力ラッチ付きD-Aコンバータにおける，クロックの許容最大周波数です．通常，セトリング・タイムの逆数によって決定されます．ただし，メーカによってはセトリング・タイムに関係なくラッチがディジタル的に動作する最大周波数をアップデート・レートとしているところもあります．

● **ディジタル・フィードスルー雑音**

〈図4-19〉 4象限乗算型D-Aコンバータ



D-Aコンバータのディジタル入力およびクロック入力のエッジ成分がアナログ出力に影響します．これをディジタル・フィードスルー雑音といいます(図4-18参照)．

● **ACフィードスルー**

乗算型D-Aコンバータにおいて，基準入力にAC信号を印加した場合，ディジタル入力コードで規定されるアッテネート比以上のレベルでアナログ出力に信号が漏れてきます．これは信号周波数が高くなるほど

現場技術者実戦シリーズ　好評発売中

改訂　高周波回路設計ノウハウ

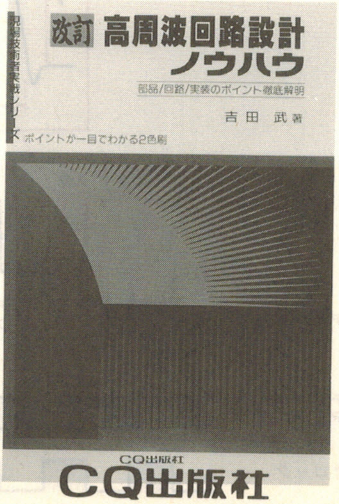
——部品/回路/実装のポイント徹底解明——

吉田　武著　2色刷　A5判　304頁　定価2,900円(税込)

本書は，1985年に初版を発行して以来，今日までロングセラーを博してきた「高周波回路設計ノウハウ」をもとに，最新の技術動向を考慮し，大幅に改訂を加え再デビューしたものです．内容は次のとおり，広範囲にわたっているため，高周波回路に従事するエンジニアには座右の書として，十分活用できるものと思われます．

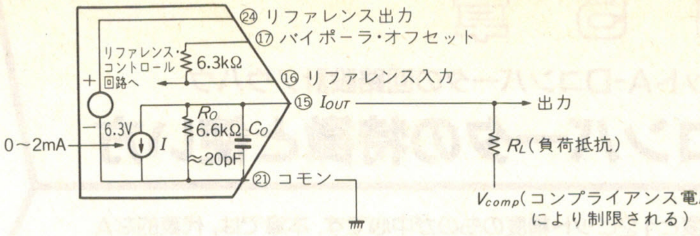
〈内容〉

第1章；高周波部品の知識と実装のノウハウ，第2章；高周波回路の実験・試作のノウハウ，第3章；高周波増幅回路，第4章；高周波発振回路，第5章；フィルタ／トラップ回路，第6章；各種高周波回路．

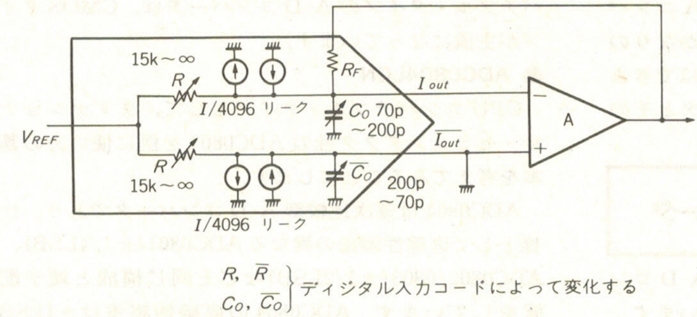


CQ出版社

〈図 4-20〉 D-A コンバータの出力抵抗/容量



(a) 12 ビット・バイポーラ D-A コンバータの出力抵抗/容量



(b) 12 ビット CMOS D-A コンバータの出力抵抗/容量

顕著に現れてきます．これを AC フィードスルーまたは単にフィードスルーといいます．

● **チャネル間アイソレーション(クロストーク)**

マルチチャネル型の D-A コンバータにおいて，チャネル間に信号がクロストークします．このクロストーク量を信号周波数/レベル条件下で規定します．

● **乗算型(マルチプライング型)D-A コンバータ**

基準電圧が固定されている D-A コンバータに対して，基準電圧に変化する AC 信号として印加できるタイプの D-A コンバータが乗算型と呼ばれます．

乗算型 D-A コンバータでは，信号入力がディジタル・コードにより乗算されます．

一般的に，薄膜抵抗＋CMOS スイッチ構成の D-A コンバータは乗算型として適していますが，バイポーラ・タイプの D-A コンバータは乗算型としては適していません．

バイポーラ D-A コンバータでは，基準電圧源外付けタイプを単にマルチプライング D-A コンバータと称しているところがあります．

● **4 象限乗算型 D-A コンバータ**

乗算型 D-A コンバータで，基準入力とディジタル入力の双方に対して極性を持ち，数学演算と同様な乗算(極性を含んで)動作を許容する D-A コンバータです．**図 4-19** に示すような入出力特性をもちます．

CMOS タイプの D-A コンバータはほとんど 4 象限乗算が可能です．

● **スルーレート**

スルーレートとは，アナログ出力電圧の時間に対する最大変化率であり(V/sec)で規定されます(**図 4-17** 参照)．

電流-電圧変換用出力アンプの内蔵された電圧出力型 D-A コンバータでは，スルーレートは D-A コンバータではなくアンプのスルーレートが支配項になります．

● **出力抵抗/容量**

電流出力型の D-A コンバータでは，アナログ出力の抵抗値および容量値が規定されます．

出力抵抗/容量は D-A 変換方式およびプロセスにより大きく異なります．この出力抵抗/容量を意識して外部電流-電圧変換アンプの位相補償値を決定しないと安定性に影響を与えます．

出力容量は思った以上に大きいもので，8〜12 ビット CMOS D-A コンバータでは 100pF を超えるものもあり，しかもディジタル入力コードにより出力容量値が大きく変化します．

図 4-20 に 12 ビットのバイポーラ D-A コンバータと CMOS D-A コンバータの出力抵抗と出力容量を示します．

第5章

汎用8ビット/12ビットA-Dコンバータの回路設計ノウハウ

代表的なA-Dコンバータの特徴と使い方

汎用のA-Dコンバータは8ビット精度と12ビット精度のものが中心です．本章では，代表的なA-Dコンバータを取り上げて，その特徴ならびに回路設計の際に留意すべきことを解説します．

現在，ICとして販売されているA-D/D-Aコンバータの種類は，セカンド・ソースも含めるとかなりの数になります．それらをすべて紹介することはできません．本章では代表的な汎用A-Dコンバータとその使い方について紹介します．

8ビットCMOS A-Dコンバータ

CPUの急速な普及に伴って，8ビットのA-Dコンバータの市場も大きく拡大し品種も増加しています．最近では，8ビット・クラスのA-D/D-AコンバータはCPUに組み込まれてワンチップ化される傾向が強いようです．

また，CPUに直接つなぐことのできるCPUコンパチブル・タイプのA-Dコンバータは，CMOSタイプが主流になっています．

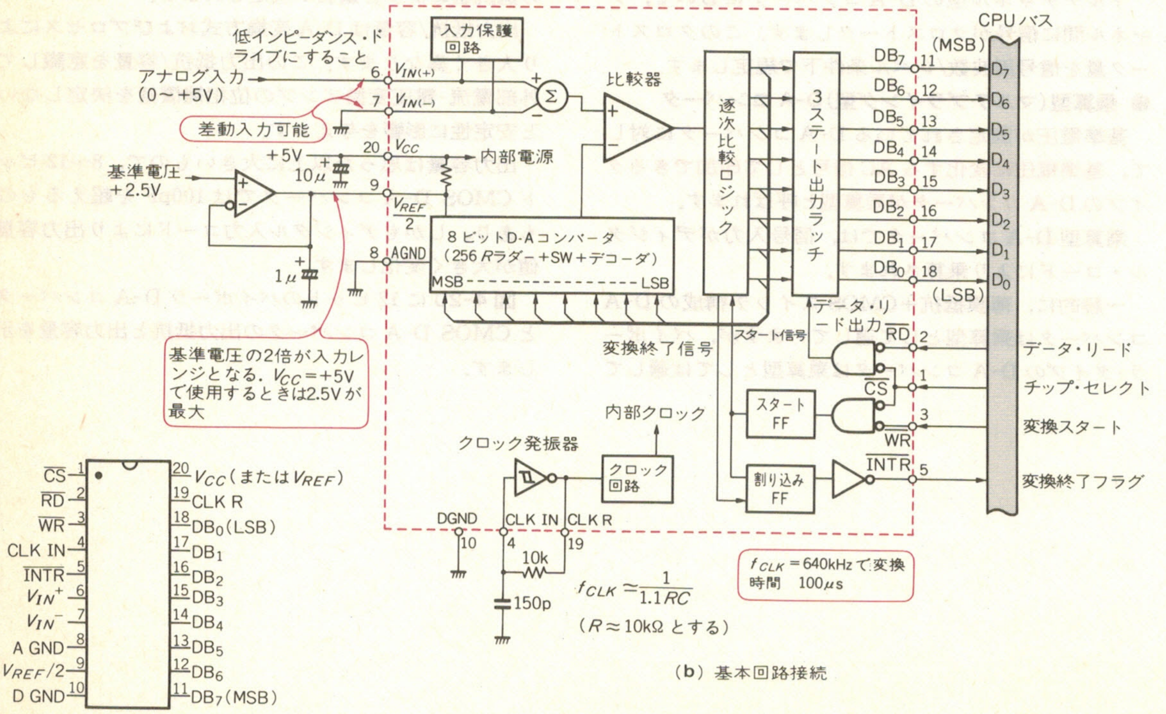
● ADC0804LCN

CPUコンパチブル・タイプとして，まずナショナル・セミコンダクタ社のADC0804を例に使い方の基本を考えてみることにします．

ADC0804は逐次比較型A-Dコンバータであり，仕様として直線性誤差の異なるADC0801(±1/4LSB)，ADC0802/0803(±1/2LSB)などと同じ構成と端子配置をしています．ADC0804の直線性誤差は±1LSBであり，このシリーズの中では最下位バージョンになります．

図5-1にADC0804の端子配置と内部ブロック図，基本接続などを示します．図をみればわかるように，

〈図5-1〉ADC0804の端子配置と基本回路



(a) 端子配置

(b) 基本回路接続

内部にD-Aコンバータ，コンパレータ，逐次比較ロジックおよびCPUインターフェースのための3ステート出力バッファなどがワンチップで組み込まれています．

ADC0804はクロック周波数を640kHzとしたとき，約100μsの変換時間が得られます．ADC0804とCPUとのインターフェースはいたって簡単に行うことができます．すなわち，DB_7〜DB_0にデータ・バスをつなぎ，$\overline{CS}$にアドレス・デコード信号を入力すると，$\overline{WR}$パルスでA-D変換が開始され，$\overline{RD}$パルスにより変換データがデータ・バスへ出力されます．

そして，A-D変換の終了は，$\overline{INTR}$端子からの出力により割り込み(またはポーリング)でCPUが検知することになります．このようなディジタル・インターフェースの構成は，どのCPUコンパチブルなA-Dコンバータでも似たような扱いになっています．ただし，CPUバスの負荷が重い場合には，直接バスをドライブするのが難しい場合もあります．そのようなときはCPUとA-Dコンバータの間にバッファが必要です．

また，ADC0804は，＋5V単一電源で動作します．標準的な使い方は，$V_{REF}/2$端子(9番ピン)に2.5Vの基準電圧を加えます．このとき，アナログ入力レンジは0〜＋5Vフルスケールになります．

もちろん，基準電圧を2.5V以下にして使用することもでき，例えば1.5Vにすると入力レンジは0〜＋3Vフルスケールになります．

このA-Dコンバータの入力は差動入力方式であるため，V_{IN}^-端子(7番ピン)にオフセット電圧を印加し，ゼロ・レベルを＋側にシフトする使い方もできます．例えば，2〜5Vレンジにすることもできます．

アナログ入力端子および$V_{REF}/2$端子は，内部クロックでスイッチングされています．このため，高インピーダンス(1kΩ以上)で使用する場合，容量が加わると時定数によりセトリングしなくなる場合もあります．

また，アナログ入力端子は，OPアンプによる低インピーダンス・ドライブを行うことを基本に考えてください．

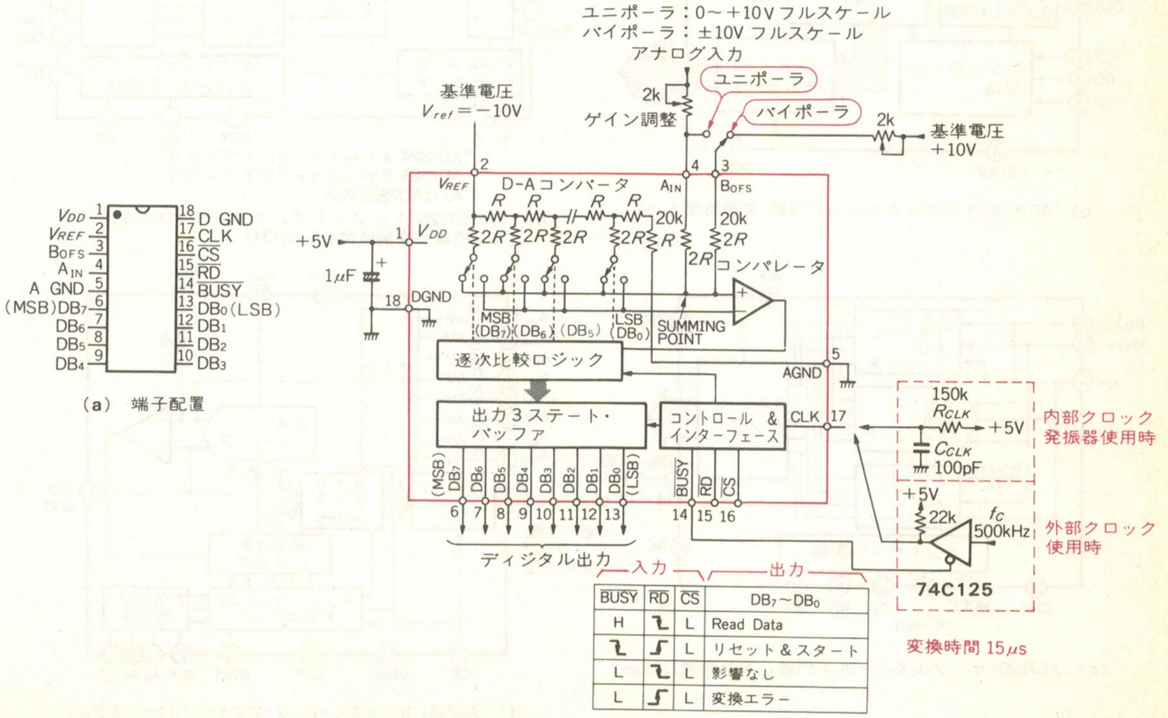
このADC0804に使用されているD-Aコンバータは，R-$2R$ラダー方式ではありません．256個の直例抵抗とCMOSスイッチ群によって構成されています(ちなみにアナログ・デバイセズ社のAD7000シリーズはR-$2R$ラダー方式が採用されている)．

また，ADC0804では精度の仕様も一般的なA-Dコンバータでの表示と異なっています．すなわち，ゲイン誤差，オフセット誤差および直線性誤差を含んだトータル誤差として規定されています．

● AD7574JN

アナログ・デバイセズ社のAD7574は，逐次比較型の

〈図5-2〉AD7574の端子配置と基本回路



入力			出力
$\overline{BUSY}$	$\overline{RD}$	$\overline{CS}$	DB_7〜DB_0
H	↓	L	Read Data
↓	↑	L	リセット&スタート
L	↓	L	影響なし
L	↑	L	変換エラー

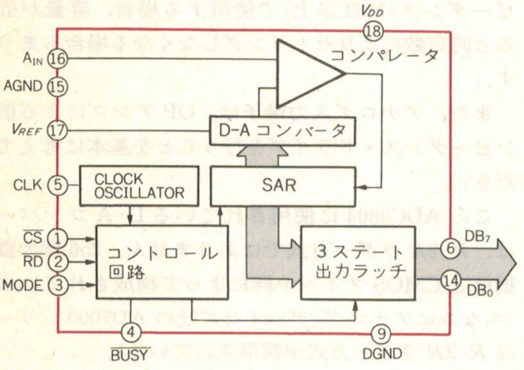
(a) 端子配置　(b) 基本回路接続

A-D 変換方式を用いた CMOS タイプの 8 ビット A-D コンバータとして，最もポピュラなものです．したがって，マキシム社，マイクロ・パワー・システムズ社，PMI 社などからセカンド・ソースが供給されています．

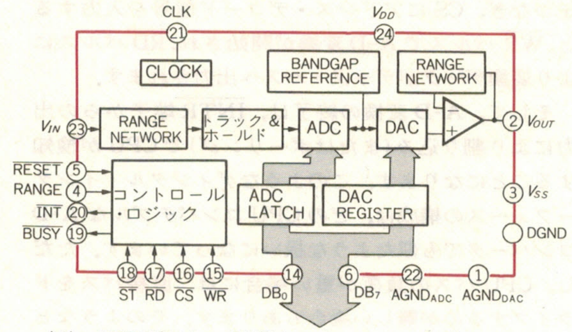
アナログ・デバイセズ社の AD7574 の変換時間は 15 μs ですが，ピン・コンパチブルでより高速な製品(変換時間 6μs)が PMI 社より ADC908 として販売されています．

AD7574 の D-A コンバータ部は一般的な R-$2R$ ラダー抵抗＋CMOS スイッチ構成になっています．図 5-2 に AD7574 の端子配置と内部ブロック図，基本回

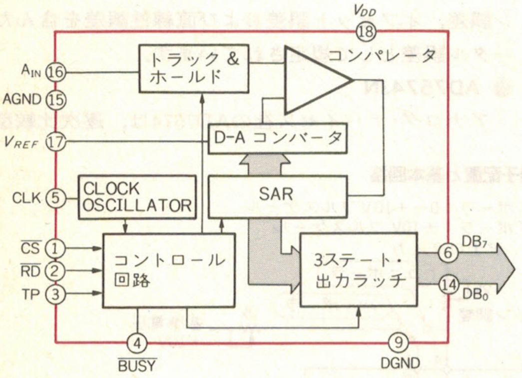
〈図 5-3〉 アナログ・デバイセズ社の 8 ビット A-D コンバータ・ファミリ



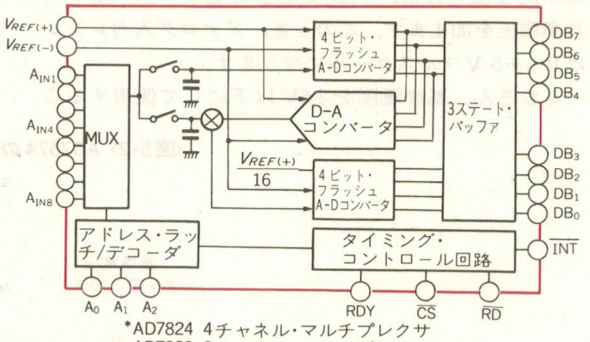
(a) AD7576(変換時間 10μs)



(d) AD7569(アナログ I/O システム．サンプル&ホールド，基準電圧，A-D コンバータ，D-A コンバータ内蔵．A-D 変換時間 2μs)

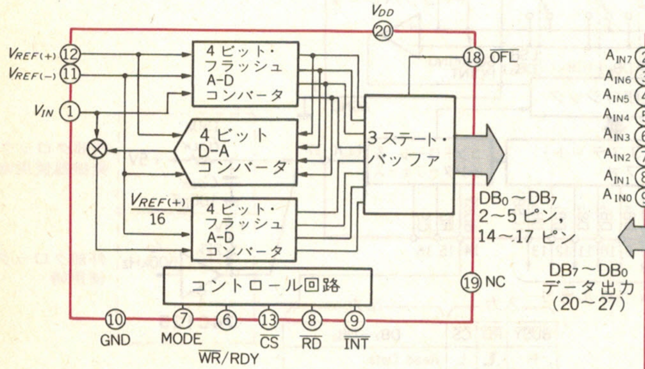


(b) AD7575(サンプル & ホールド内蔵，変換時間 5μs)

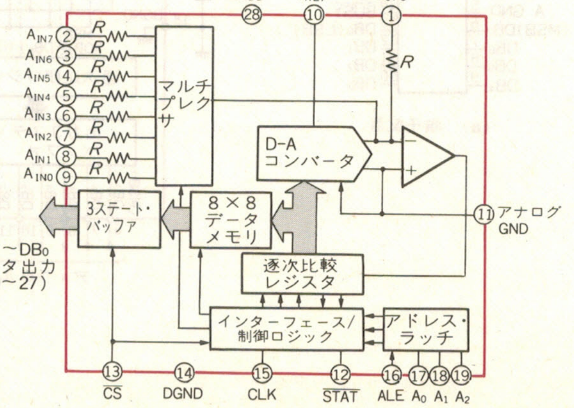


*AD7824 4 チャネル・マルチプレクサ
AD7828 8 チャネル・マルチプレクサ
**A_2 は AD7828 のみ

(e) AD7824/28(入力マルチプレクサ，サンプル&ホールド内蔵．変換時間 2.5μs/CH)



(c) AD7820(サンプル & ホールド内蔵，変換時間 1.35μs)



(f) AD7581(8 チャネル・データ・アクイジション・システム)

路例などを示します．

AD7574の基準電圧は−10Vです．−10Vの基準入力に対してユニポーラ・モードで0〜+10Vフルスケール・レンジ，バイポーラ・モードで±10Vフルスケール・レンジになります．

電源は+5V単一電源です．逐次比較用クロックは，外部クロックとして500kHzを入力するかまたはR=180kΩ，C=100pFを外付けして内部発振器を動作させます．このクロック周波数での変換時間は15μsになります．

精度的には，ゲイン誤差3LSB，オフセット誤差±30mV，非直線性誤差±1/2LSB，微分直線性誤差±3/4LSBです．

AD7574は，マイコン・システムにおいてメモリ・マップト方式に使うデバイスとして機能するように設計されており，スタティックRAMモード，ROMリード・モード，低速メモリ・モードのいずれかを選択できます．すなわちどのようなマイコン・システムのメモリ構成にも対応することができます．

アナログ・デバイセズ社の8ビットA-Dコンバータには，AD7574の他にも**図5-3**に示したようにいろいろとシリーズ化されています．

すなわち，サンプル&ホールド回路を内蔵して，しかも変換時間5μsを達成したAD7575，2ステップ・フラッシュ型A-D変換方式を採用して1.35μsの高速変換時間を得たAD7820，アナログI/Oとしての全機能を内蔵させたAD7569，8チャネルのマルチプレクサを内蔵したデータ・アクイジション・システムAD7581など多種多様です．アプリケーションに応じて最適なデバイスを選択すれば，周辺回路を大幅に減らすことができます．

12ビットA-Dコンバータ

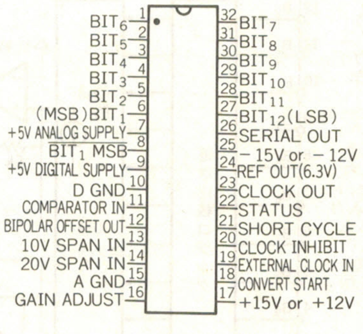
● ADC80

計測機器などによく使用され，最も有名な12ビットA-Dコンバータといえば ADC80(バーブラウン社)です．

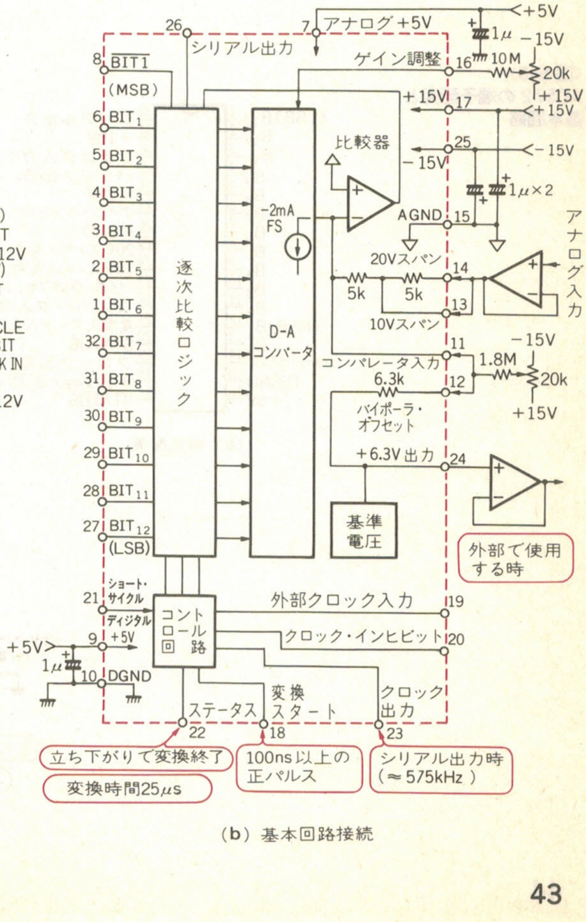
図5-4にADC80の端子配置，内部ブロック図，基本回路接続例などを示します．ADC80は，基準電圧源を含むすべてのA-D変換機能を32ピンのパッケージに，ハイブリッド構成で納められています．

ADC80は逐次比較型のA-Dコンバータで，変換時間は25μsですが，この高速版としてADC84/85(変換時間10μs)があります．ただし，ピン・コンパチブルではありません．むしろ，ADC84/85のピン配置は

**〈図5-4〉
ADC80の端子配置と基本回路**



(a) 端子配置



(b) 基本回路接続

次に説明するAD572にほぼ一致します.

● **AD572**

AD572はアナログ・デバイセズ社の製品で,25μsの変換時間,3電源必要なことなどADC80とほぼ同じ機能をもったA-Dコンバータです.**図5-5**にAD572の端子配置,内部ブロック図,基本回路接続などを示します.

バーブラウン社のA-Dコンバータの基準電圧が6.3Vなのに対し,アナログ・デバイセズ社のものは10Vになっています.

● **AD574A**

マイコンが普及したおかげで,12ビット・タイプのA-DコンバータにもCPUバス・コンパチブルの製品が要求されるようになっています.したがって,バス負荷が重い場合にはバス・バッファを外部に必要としますが,小規模なシステムでは出力をCPUバスに直結できるものが増えています.

ここではAD574Aを例に使い方を紹介します.

AD574Aは逐次比較型のA-D変換方式であり,A-D変換機能の他にCPUバスとのインターフェース用として3ステート出力バッファおよび制御回路などを内蔵しています.

図5-6にAD574Aの端子配置,基本接続例などを示します.AD574Aの最大変換時間は35μs,電源は+5V,±15Vの3電源が必要です.アナログ入力レンジは,0〜+20V,0〜+10V,±10V,±5Vのいずれかで使用できます.

精度は,非直線性誤差±1/2LSB,微分直線性誤差±1LSBです.

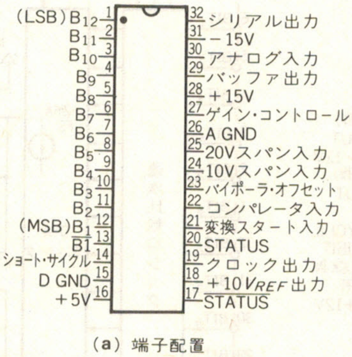
AD574Aを使用するときに注意することは,アナログ・グラウンド(9ピン)とディジタル・グラウンド(15ピン)の処理です.理想的には9ピンを“メッカ点”とする一点アースにしてください.また,電源ラインへのバイパス・コンデンサも必ずつけてください.タンタル・コンデンサ+セラミック・コンデンサにするのが最も理想的です.

8番ピンからの基準電圧出力は,出力電流をあまり取り出せないため,もし外部回路で基準電圧を使用するときはバッファ・アンプを付け加えて取り出します.

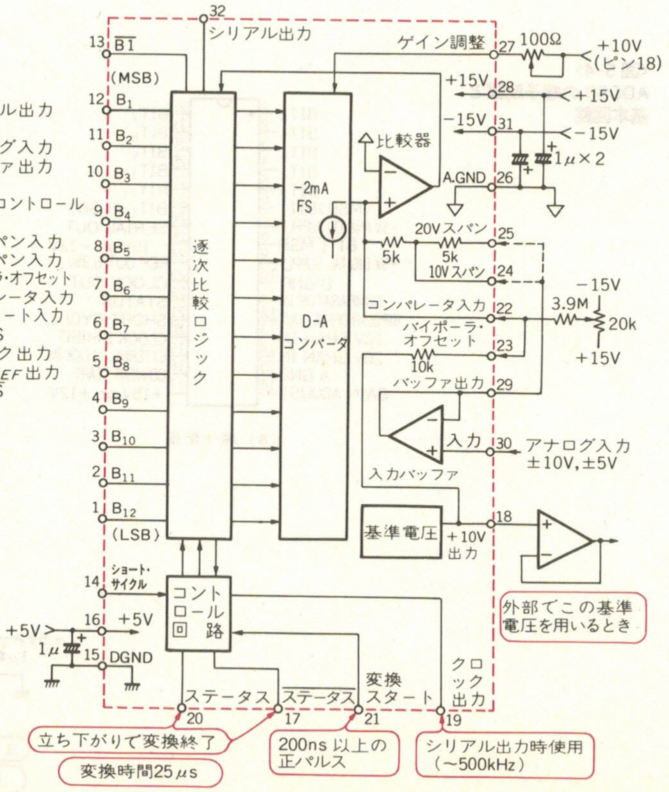
また,アナログ入力は,必ずOPアンプを用いて低インピーダンス・ドライブにし,配線も短くすることが大切です.

次に,AD574Aのディジタル・インターフェースについて考えてみましょう.8ビットのCPUバスに接続するときは,12ビットを2回に分けてバイト分割出力にしなければなりません.そこで,12/$\overline{8}$端子(2

〈図5-5〉AD572の端子配置と基本回路



(a) 端子配置



(b) 基本回路接続

番ピン)を GND へつなぎます．

AD574A の変換スタートは，CPU の $\overline{WR}$ 信号により $R/\overline{C}$ 端子(5 番ピン)を制御します．そして，CE 端子(6 番ピン)には $R/\overline{C}$ 端子に加えるパルスより 250ns 以上ディレイさせた信号を加えます．

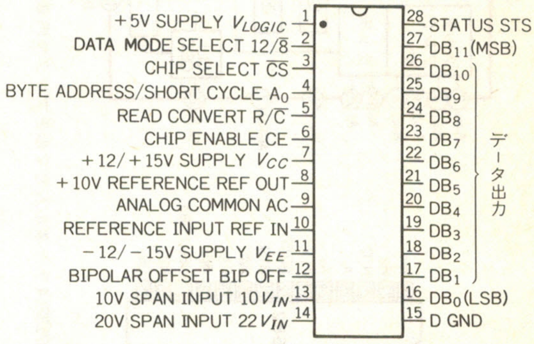
変換中は STS(ステータス)端子が“H”になり，立ち下がりエッジで変換終了を示します．この端子からの信号で割り込みを行うか，またはポーリングによって CPU は A-D 変換終了を確認します．

AD574A の変換データの読み出しは，CE 端子を“H”にします．このとき，$R/\overline{C}$ 端子は“H”になっています．A_0端子を“L”にすると，上位 8 ビットがバスへ出力され，A_0端子を“H”にすると下位 8 ビット(上位 4 ビット・データ＋下位 4 ビット“ゼロ”)がバスに出力されます．

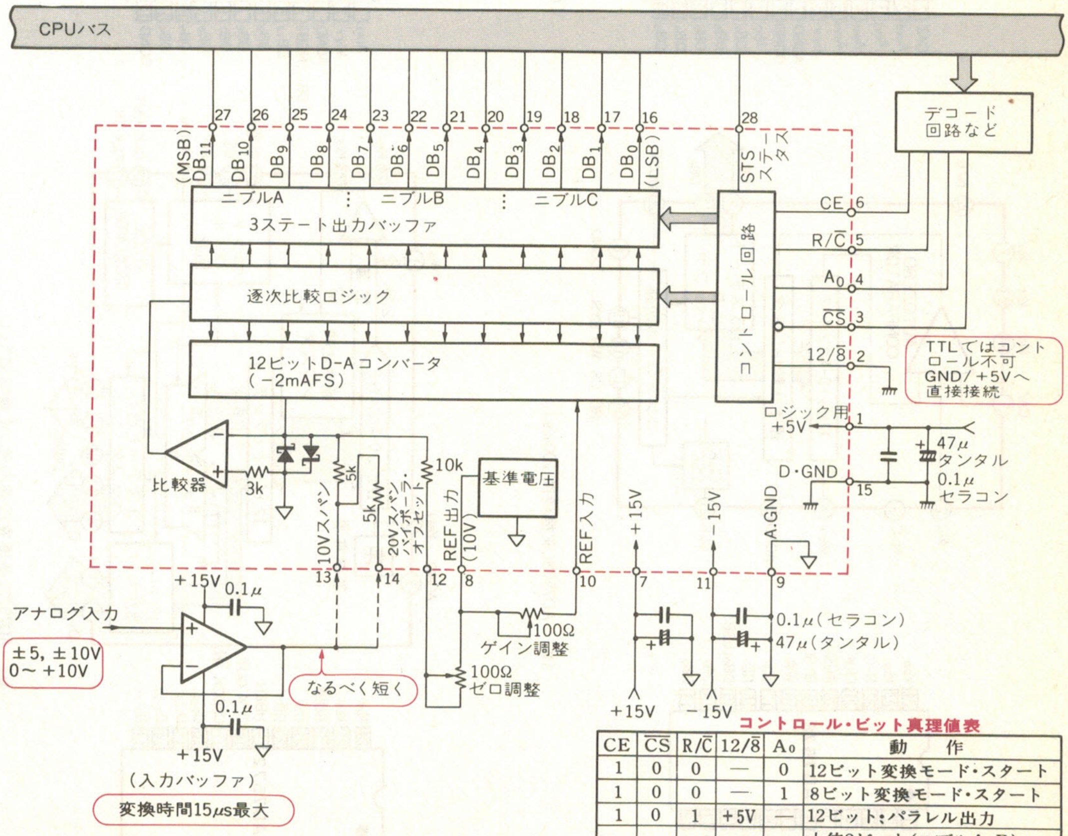
● **CMOS12 ビット A-D コンバータ**

アナログ・デバイセズ社には CMOS 構成の A-D コンバータが各種そろっています．この中で 12 ビット

〈図 5-6〉 AD574A の端子配置と基本回路



(a) 端子配置

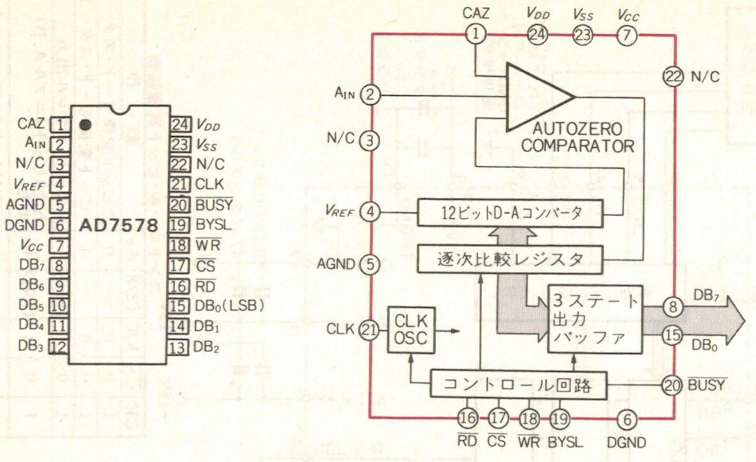


(b) 基本回路接続

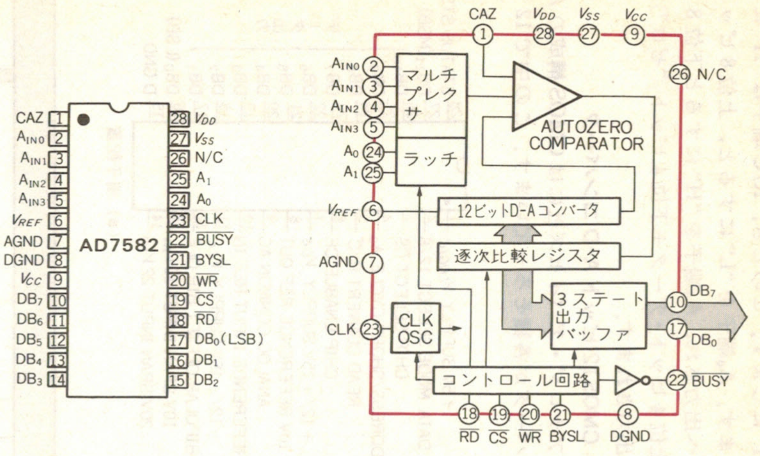
コントロール・ビット真理値表

CE	$\overline{CS}$	$R/\overline{C}$	$12/\overline{8}$	A_0	動作
1	0	0	—	0	12ビット変換モード・スタート
1	0	0	—	1	8ビット変換モード・スタート
1	0	1	+5V	—	12ビット・パラレル出力
1	0	1	GND	0	上位8ビット(ニブルA,B)出力
1	0	1	GND	1	下位4ビット(ニブルC)出力，ニブルB=0

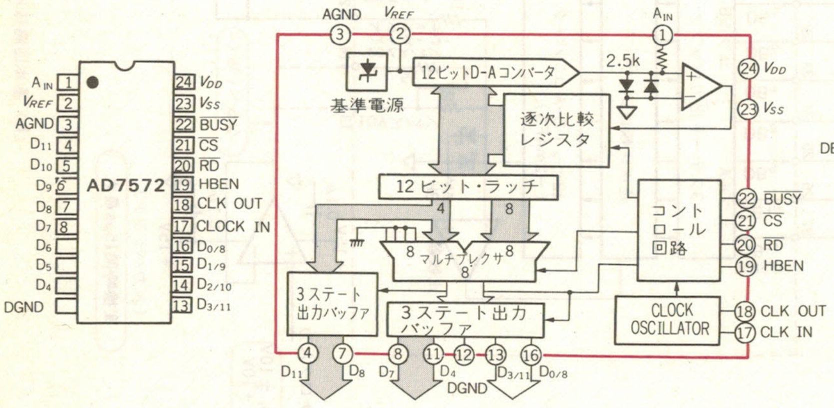
〈図5-7〉 CMOS12ビットA-Dコンバータ



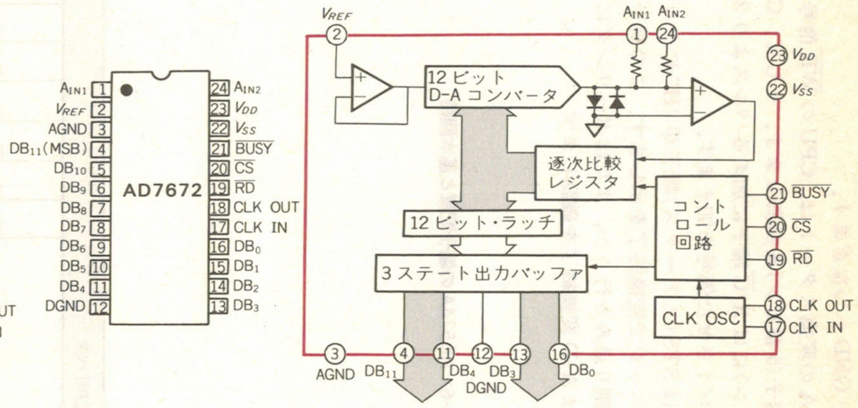
(a) AD7578(変換時間 100μs)



(c) AD7582(4チャネル入力マルチプレクサ内蔵, 変換時間100μs/チャネル)

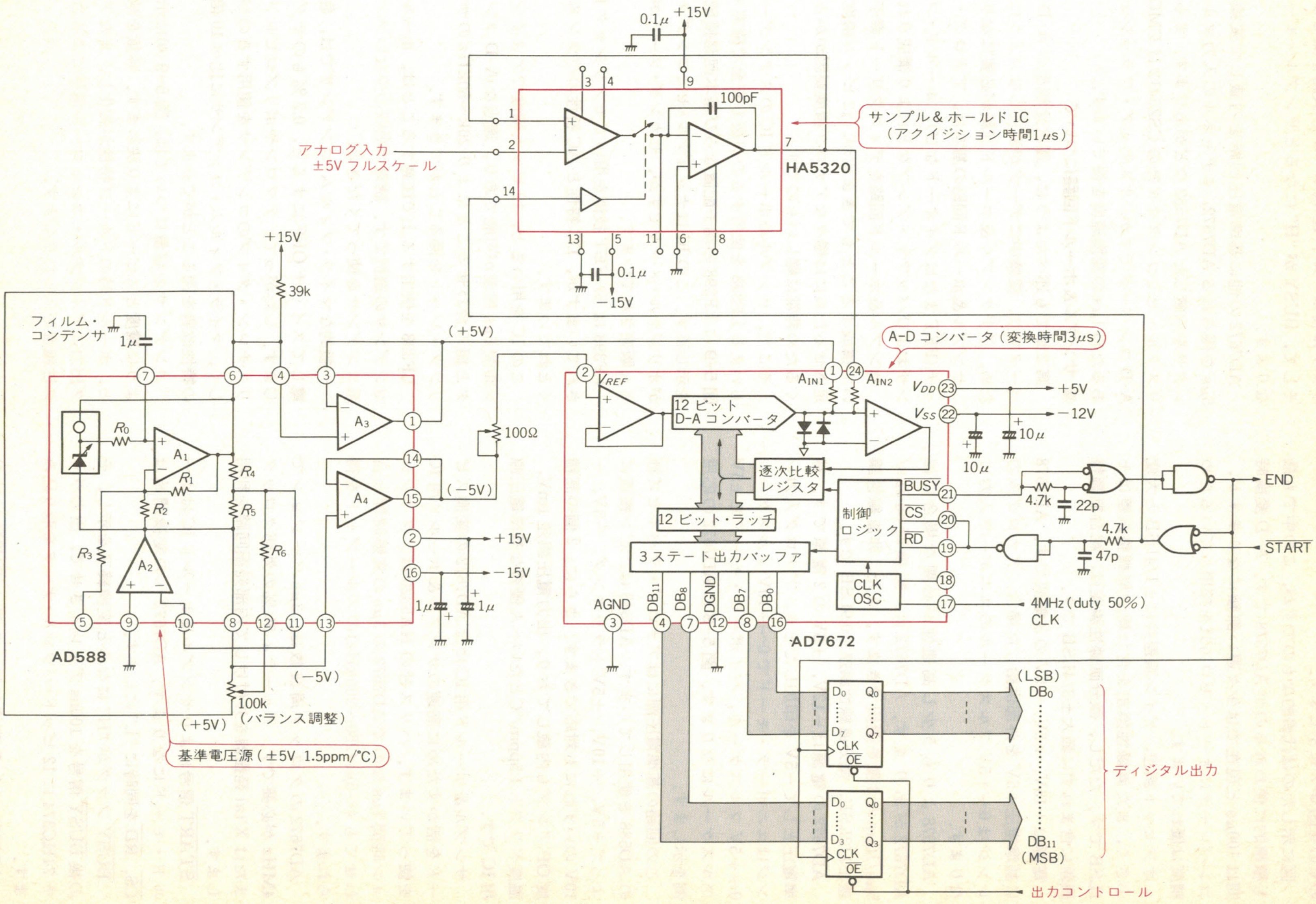


(b) AD7572(基準電圧源内蔵, 変換時間 5μs)



(d) AD7672(高速タイプ, 変換時間3μs)

〈図 5-8〉 AD7672 の応用回路例



のものを図5-7に示します．

図に示したのは代表的なものですが，この中でも最も標準的に使われるのがAD7578です．A-D変換時間は100μsと現在では少々遅い部類になりますが，コンパレータにオート・ゼロ方式を採用しているため精度は優れています．

オフセット誤差，ゲイン誤差共に±1/4LSBと大変小さく，また直線性誤差を含む総合無調整誤差は±1LSBです．ただし，微分直線性誤差は，総合無調整誤差に含まれずに最大±3/4LSBです．

電源は+15V，+5V，−5Vの3電源です．AD7578に基準電圧+5Vを外部供給した場合，アナログ入力レンジは0〜+5Vフルスケールのユニポーラ入力になります．

AD7578よりもう少し高速性が必要な場合にはAD7672があります．AD7672は，変換時間3μs/5μs/10μsの3種を選択できます．また，非直線性誤差±1/2LSB，微分直線性誤差±0.9LSBです．

AD7672の電源は−12V，+5Vの2電源です．基準電圧として−5Vを印加したとき，アナログ入力レンジはユニポーラ・モードで0〜+10Vフルスケール，0〜+5Vフルスケール，バイポーラ・モードで±5Vフルスケールになります．図5-8にAD7672の応用例を示します．

この回路の基準電圧源にはアナログ・デバイセズ社のAD588を使用しています．AD588は，ピン接続によって+5V，+10V，±5Vトラッキング，−5V，−10Vのいずれにも対応できます．さらに，2個の高精度OPアンプも内蔵しており，出力電圧誤差1mV，温度ドリフト1.5ppm/°Cとたいへん優秀な基準電圧源用ICです．

サンプル&ホールド用ICにはAD7672の変換スピードを活かすために高速のサンプル&ホールド用ICを使っています．ハリス社のHA5320はアクイジション時間1μsなのでAD7672の3μsの変換時間と合わせても4〜5μs(250〜200kHz)のスループットを得られます．

AD7672のクロック周波数は，3μsバージョンで4MHzが必要です．デューティ50%の外部クロックまたはX'tal発振器を外付けして内部発振回路を利用します．

$\overline{\text{START}}$信号によりサンプル&ホールドICはホールド・モードになります．AD7672への変換開始は$\overline{\text{CS}}$，$\overline{\text{RD}}$を同時に“L”にします．

$\overline{\text{BUSY}}$フラグが“H”になると変換終了を示し，その後$\overline{\text{BUSY}}$信号を100nsディレイさせて，出力ラッチ74HC374に12ビット・パラレル・データを取り込みます．

AD7672がA-D変換している間は($\overline{\text{BUSY}}$が“L”)サンプル&ホールドICはホールド状態を保ちます．そして，BUSYが“H”になるとサンプル・モードになります．

AD7672の他に基準電圧回路を内蔵して変換時間5μsを得られるAD7572，4チャネルの入力マルチプレクサを内蔵したAD7582などがあります．さらにクリスタル・セミコンダクタ社のCSZ5412はCMOSのA-Dコンバータですが，2ステップ・フラッシュ型であるため1μsの変換速度を得ています．

● **サンプル&ホールド回路について**

第2章でも述べたように，逐次比較型のA-Dコンバータでは，変換中にデータが変化しないようにするため，必ずサンプル&ホールド回路が必要になります．

サンプル&ホールド回路の基本は，アナログ・スイッチ(FETまたはダイオードなど)，ホールド・コンデンサおよびバッファ・アンプなどにより構成されます．

サンプル&ホールド回路をディスクリート素子を用いて構成することもできますが，12ビット精度を満足させるためには様々なアナログ精度要因がからんでくるため非常に難しいものです．

そこで，サンプル&ホールドICのスタンダードともいえるLF398を使用するのが最も安全で確実です．図5-9にLF398の端子配置ならびに基本回路接続などを示します．このICはナショナル・セミコンダクタ社がオリジナル・メーカですが，セカンド・ソースがたくさん販売されています．

LF398はBi-FET技術を用いてモノリシックIC化されていますが，DC特性とAC特性のバランスがよくとれています．

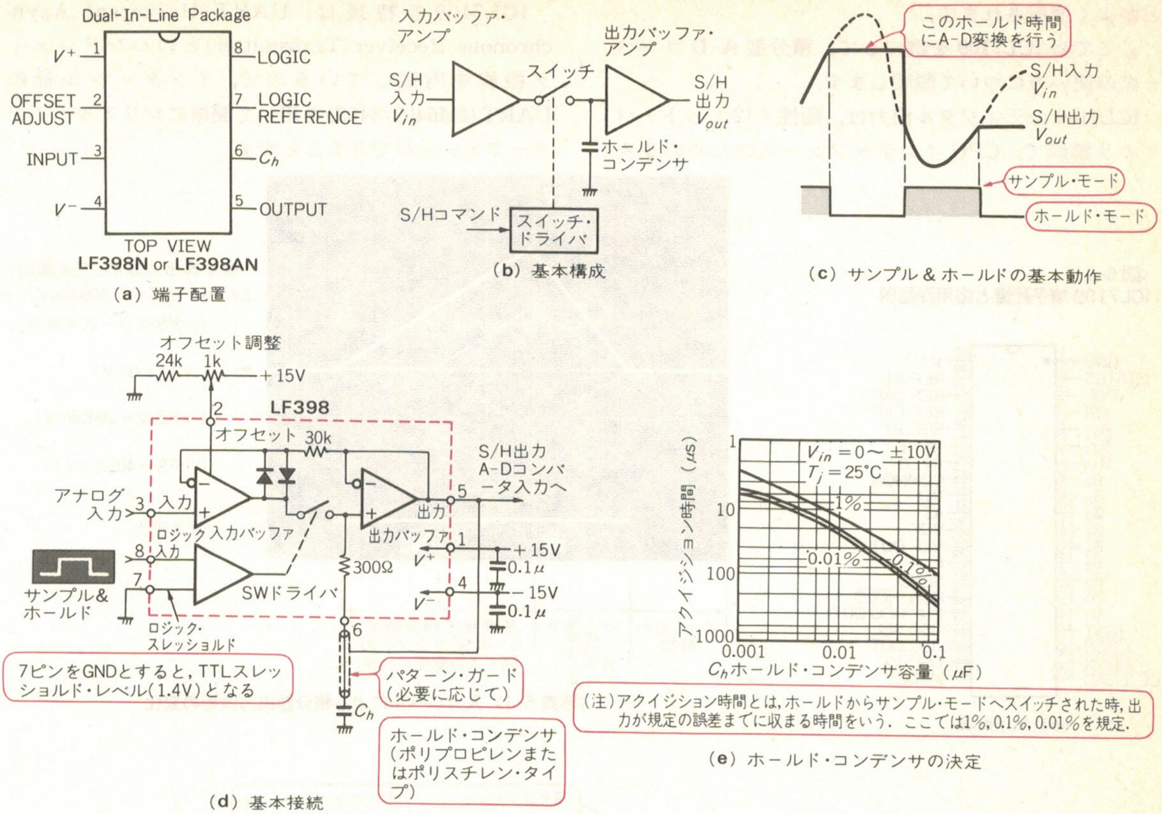
このICを用いると，12ビット精度でアクイジション時間6μs程度が可能であり，適当なA-Dコンバータと組み合わせることにより20k〜50kHzのサンプリング・レートを得ることができます．

LF398を使用する上で注意することは，ホールド・コンデンサの選択です．誘電体吸収の少ないフィルム系コンデンサを使ってください．

一般的なマイラ・フィルム・コンデンサでは，急速充電してスイッチOFFにすると，0.2%ものサグを生じます．したがって，テフロンやポリプロピレン，ポリスチレン・タイプのコンデンサを使用するのが望ましく，マイラ・フィルム・コンデンサに比べ10倍程度の特性改善を図ることができます．

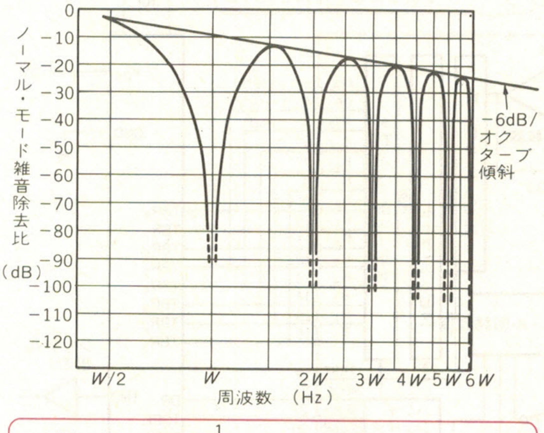
コンデンサの容量については，図5-9(e)に示したように精度とスピードにより決めます．容量を減らすと，ホールド時のドループ特性が劣化し，またアナログ出力にディジタル・コントロール信号によるスパイク性雑音が入ったりします．

〈図 5-9〉代表的なサンプル&ホールド IC LF398 の使い方



(a) 端子配置　(b) 基本構成　(c) サンプル&ホールドの基本動作　(d) 基本接続　(e) ホールド・コンデンサの決定

〈図 5-10〉ノーマル・モード雑音除去特性



$W(\text{Hz}) = \dfrac{1}{\text{入力積分時間(sec)}}$

例えば，W = 10Hz（入力積分時間を100ms）にとると，10Hz，20Hz，……50Hz，60Hz，…(n×10)Hz成分に対しノーマル雑音成分が除去（フィルタ）される

積分型 A-D コンバータ

ディジタル・マルチメータなど比較的スピードが必要でない用途には積分型 A-D コンバータが使われます．特に，ディジタル表示用の A-D コンバータは需要も多いので価格的には非常に有利です．

また，積分型は入力電圧を一定時間積分（平均化）する方式であるため，逐次比較型 A-D コンバータよりも雑音特性に優れているという特長があります．

したがって，高感度測定をする場合や測定点までの距離が長い場合など雑音を受けやすい応用に対して効果があります．

特に，50/60Hz の誘導雑音はコモン・モードおよびノーマル・モードで信号に重畳してきます．コモン・モード成分は，アナログ部をフローティング（ガード方式）にしたり，差動入力にすることで除去できます．しかし，ノーマル・モード成分については 50/60Hz 成分を除去するフィルタでしか対応できません．

積分型 A-D コンバータは，入力の積分時間を誘導雑音成分の周期の整数倍に設定することにより，図 5-10 に示すように誘導雑音周波数成分を鋭くノッチさせることができます．50Hz 地域では 20ms，60Hz 地域では 16.7ms の整数倍にします．なお，共用する場合の最小公倍数は 100ms になります．

● ICL7109

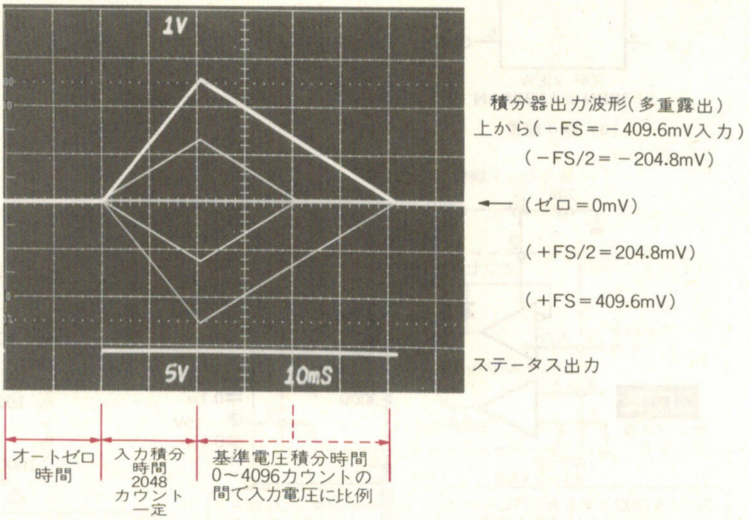
CPU バスに直接つなぐことができ，バイナリ出力が可能な積分型 A-D コンバータとしてインターシル

社の ICL7109 やアナログ・デバイセズ社の AD7552 などがよく使用されます．

ここでは ICL7109 を例にして，積分型 A-D コンバータの使い方について説明します．

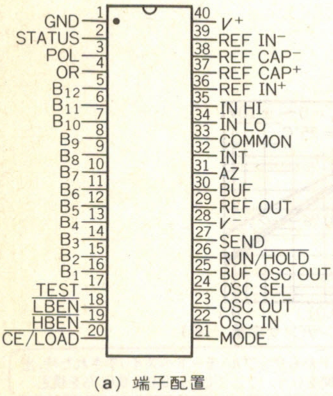
ICL7109 のディジタル出力は，極性＋12 ビット・バイナリ構成で，CPU インターフェースのための 3 ステートの出力バッファが内蔵されています．

ICL7109 の特長は，UART(Universal Asynchronous Receiver Transmitter) とのハンドシェイク機能を内蔵しているので，インターシル社の UART (IM6402/6403) を用いて簡単にシリアル・インターフェースができることです．

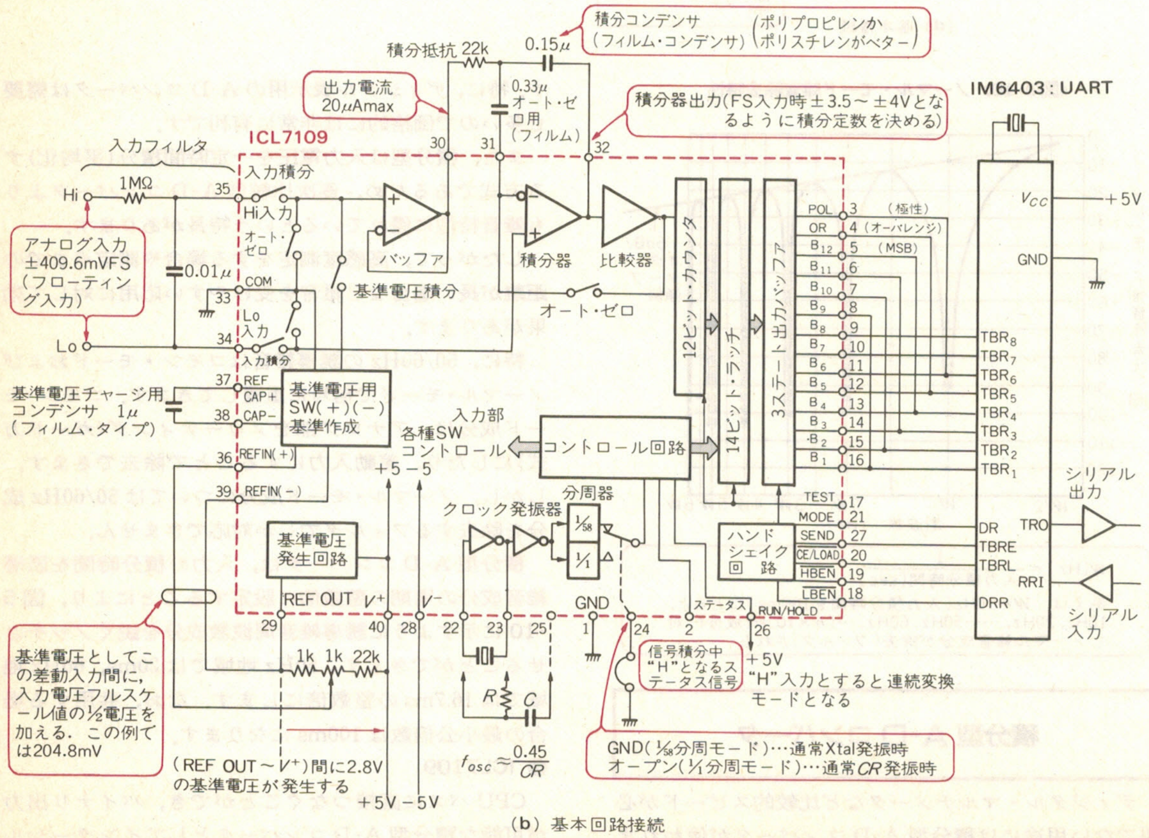


〈写真 5-1〉入力レベルによる積分器出力波形の変化

〈図 5-11〉
ICL7109 端子配置と応用回路例



(a) 端子配置



(b) 基本回路接続

ICL7109は±5V動作で，基準電圧源も内蔵しています．ただし，内蔵されている基準電源の精度はあまりよくないため，高精度が要求されるときは外部基準電源を用意する必要があります．

主な外付け部品としては，フィルム・コンデンサ3個，積分用抵抗，X'tal(*CR*発振でもよい)程度です．

±409.6mVフルスケール(100μV分解能のとき)とした応用回路を**図5-11**に示します．変換時間は(オート・ゼロ＋入力積分時間＋基準電圧逆積分)時間が必要であり，**写真5-1**に示すように入力レベルにより変化します．

ICL7109の最大変換時間は，±FS入力時で入力積分時間の4倍かかります．

クロック周波数f_cは，入力積分時間Tから次式で決定します．

$$f_c\ [\mathrm{Hz}] = \frac{2048 \times n}{\text{入力積分時間 } T\ [\mathrm{sec}]}$$

ただし，$n=1$…*CR*発振器(24ピン：オープン)

$n=58$…X'tal発振器(24ピン：GND)

60Hz地域では3.58MHzのテレビ用X'talを使用することができます．

*CR*発振器を用いる場合には，24ピンをオープンにして$f=(0.45/CR)$で決定します．Rの値は100kΩ前後に設定するのがよいでしょう．

基準電圧はREF IN(＋)とREF IN(－)間に加えます．そして，±409.6mVの入力レンジに対して，204.8mVを供給します．内部基準電圧は，V^+をV_{REFOUT}間に25kΩの抵抗を介したとき，2.8Vを発生します．したがって，REFOUTをREF IN(－)端子へつなぎV^+～REFOUT間の分割電圧をREF IN(＋)へつなぎます．

積分定数は，積分器出力の最大振幅が3.5～4V程度となるように設定します．まず，積分抵抗に最大20μA流れる値をとります．したがって，ここでは22kΩにします．

次に積分容量は，

$$C = \frac{\text{入力積分時間} \times 20\mu\mathrm{A}}{\text{積分器出力最大振幅電圧}(3.5\sim4\mathrm{V})}$$

で決めます．実用範囲では0.1μF(16.7ms)～0.47μF(100ms)程度になります．

オート・ゼロ用，基準電源用コンデンサについては，一般的なマイラ・フィルム・タイプで十分ですが，積分用のみポリプロピレン・タイプなどの誘電体吸収の少ないものを選びます．誘電体吸収はA-Dコンバータの直線性を悪化させます．

前にも述べたように，ICL7109のディジタル・イン

▶新しい「実用電子回路ハンドブック」ができました

実用電子回路設計ノート

No.1 アナログ主体の回路集です　**トランジスタ技術編集部 編**

好評発売中

B5判　172頁　定価1,600円(税込)

本書は月刊誌トランジスタ技術に掲載された膨大な記事の中から実用性の高いアナログ回路に関する部分をまとめなおしたものです．これらの回路情報はいずれも単純なICメーカのアプリケーション・ノートの転載ではなく，現場サイドの技術者の工夫によって完成されたものですから，高い確率で読者のニーズに応えられるものと信じております．キー・ワード索引およびデバイス情報についても完備しましたので，読者の手元に置いてアナログ回路のデータ・ベースとして活用することができます．

なおこの本に類するものとして，小社ではこれまで「実用電子回路ハンドブック」をNo.1～No.5まで発行してまいりましたが，時代事情を考慮して回路技術分野ごとに整理した続編が本書にあたります．

本書の内容は1980年1月号～1987年2月号のトランジスタ技術の記事の中から抽出したものです．

CQ出版社　〒170 東京都豊島区巣鴨1-14-2　☎03-5395-2121(出版部) 03-5395-2141(営業部)　振替東京0-10665

ターフェースにUARTを接続することにより，外部回路を必要とせずにシリアル・インターフェースを行うことができます．A-Dコンバータ，UART共にCMOSで低消費電力であるため，データ送受用フォト・カプラ2個と，簡易DC-DCコンバータを用いてアイソレーションをすることが可能です．

● DVM用A-Dコンバータ

最近では，ディジタル・テスタ，ディジタル電圧計，ディジタル・パネル・メータ用に3½～4½桁BCD出力積分型A-Dコンバータが数多く製品化されています．特に，マキシム社にはインターシル社のセカンド・ソースも含めて豊富な製品があります．**表5-1**にマキシム社のDVM用積分型A-Dコンバータを示します．

3½桁(±2,000カウント)A-DコンバータICL7126/36は基準電圧を内蔵し，+9V電源において電源電流60μA(typ)と極めて低消費電力です．

MAX138～140のA-Dコンバータは，基準電圧を内蔵しており電源電圧2.5Vから動作します．電源電流は5V使用時200μA(typ)です．

4½桁(±20,000カウント)が必要な場合は，ICL7129Aがあり，LCDディスプレイに直結することができます．

外付け部品は積分用*CR*，基準電源などですみます．

ICL7129Aは，9V単一電源で動作し，電源電流は1mAと低消費電力です．

入力レンジは2V，200mVを切り替えて使用できます．0.005％のフルスケール精度，10μVの分解能，0.5μV/°Cのゼロ・ドリフト，10pAの入力バイアス電流と大変すぐれたDC特性をもっています．

図5-12にICL7129Aの端子接続，アナログ部の内部ブロックおよび基本回路接続などを示します．

ICL7129Aは2重積分型ではなく，マルチスロープ型を用いて分解能を高めています．

また，オート・ゼロ用コンデンサは不要です．入力を切り離して，IC内部でCOMMON接続し，オフセット分を測り，次ステップで入力信号電圧を測定した値から，ディジタル演算によりオート・ゼロを行って

折り返し誤差

“折り返し誤差”という言葉を聞いたことがあると思います．連続するアナログ量を瞬時にサンプリングしてディジタル化する場合，基本となるのはナイキストのサンプリング定理です．

これは，扱う最大周波数の2倍以上でサンプリングしなければ，折り返し誤差を生じることを示しています．では実際に，折り返し誤差とはどのようなものなのか簡単に説明します．

図1のように，周波数を横軸に，レベルを縦軸にとった横長の“紙”を考えます．この紙をサンプリング周波数をf_Cとしたとき，$(f_C/2)\times n$のサンプル点をそれぞれの折り目として交互に折り返していきます．そして③のように重ね合わせます．

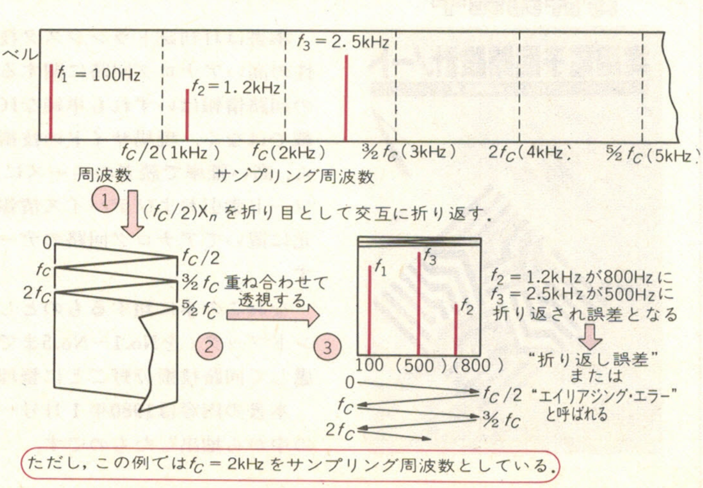
今，f_1=100Hz，f_2=1.2kHz，f_3=2.5kHzなる周波数成分を含む信号を2kHzでサンプリングすると③に示すように，あたかもf_1=100Hz，f_2=800Hz，f_3=500Hzにある信号成分のように観測されます．

このf_2，f_3がサンプリングによる“折り返し誤差”と呼ばれるものなのです．

すなわち，信号をサンプリングする場合，$(f_C/2)$以上の成分をカット(フィルタ)しなければなりません．しかし，フィルタでは無限大の傾斜特性を得ることはできません．このため，普通はフィルタの特性を考慮し，サンプリング・レートを2倍以上に設定します．

例えば，ディジタル・オーディオでは20kHz帯域に対し，44.1kHzでサンプリングを行います．このとき，フィルタ(アンチ・エイリアシング・フィルタと呼ぶ)として，約11次もの高次連立チェビシェフ・ローパス・

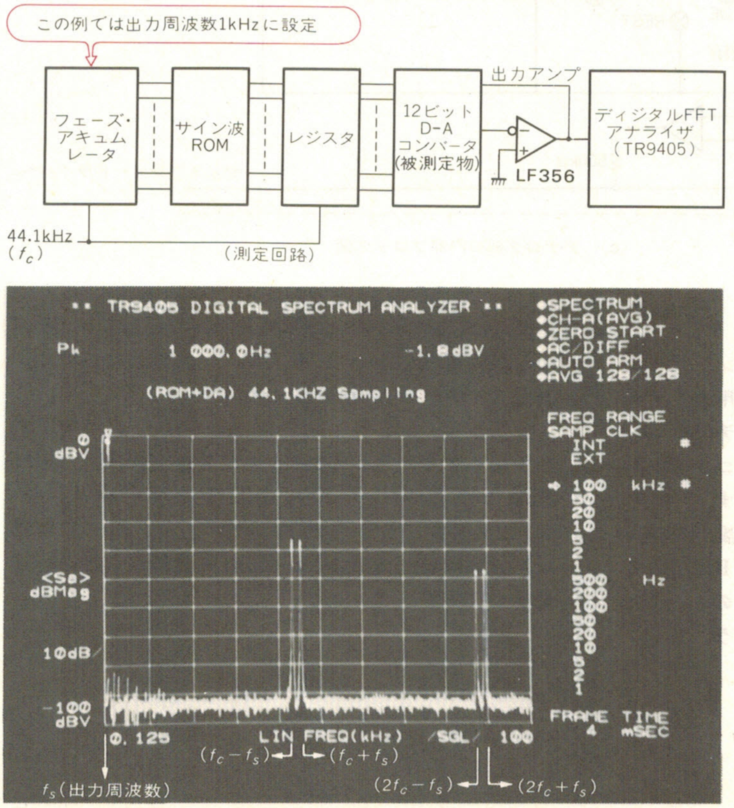
〈図1〉折り返し誤差(エイリアシング・エラー)



〈表5-1〉積分型A-Dコンバータ・ファミリ

形名	分解能	電源電圧(V)	電源電流(μA)	基準電圧	パッケージ	特長
ICL7106	±2,000	9	600	内蔵	40ピンDIP	ノンマルチプレクスLCDドライブ
ICL7107	±2,000	9	600	内蔵	40ピンDIP	コモン・アノードLEDドライブ
ICL7109	4,096	±5	±700	内蔵	40ピンDIP	CPU，UARTコンパチブル
ICL7116	±2,000	9	600	内蔵	40ピンDIP	7106＋ホールド機能付き
ICL7117	±2,000	9	600	内蔵	40ピンDIP	7107＋ホールド機能付き
ICL7126	±2,000	9	60	内蔵	40ピン	低消費電力
ICL7129A	±20,000	9	1,000	外付け	40ピン	4½ A-Dコンバータ
ICL7135	±20,000	±5	+1,000 −800	外付け	28ピンDIP	CPU，UARTコンパチブル
ICL7136	±2,000	9	60	内蔵	40ピンDIP	低消費電力
ICL7137	±2,000	9	60	内蔵	40ピンDIP	低消費電力
MAX130	±2,000	9	60	内蔵	40ピンDIP	7106のアップ・グレード
MAX131	±2,000	9	60	内蔵	40ピンDIP	7136のアップ・グレード
MAX133	±4,000	9	100	外付け	40ピンDIP	CPUバス・コンパチブル
MAX134	±4,000	9	100	外付け	40ピンDIP	CPUバス・コンパチブル
MAX136	±2,000	9	80	内蔵	40ピンDIP	ディスプレイ・ホールド機能付き
MAX138	±2,000	5	200	内蔵	40ピンDIP	低電圧動作(2.5V以上)LCDドライブ用
MAX139	±2,000	5	200	内蔵	40ピンDIP	低電圧動作(2.5V以上)LEDドライブ用
MAX140	±2,000	5	200	内蔵	40ピンDIP	低電圧動作(2.5V以上)MAX139の低セグメント電流用

〈図2〉D-Aコンバータによる高周波スプリアスの発生



フィルタを使用することになります。

D-Aコンバータにより，ディジタル-アナログ変換する場合には，A-Dコンバータとは逆の現象が起こります。

例えば，44.1kHzのサンプリング周波数(f_C)で，1kHzのサイン波(f_S)をD-Aコンバータにより発生させた場合，

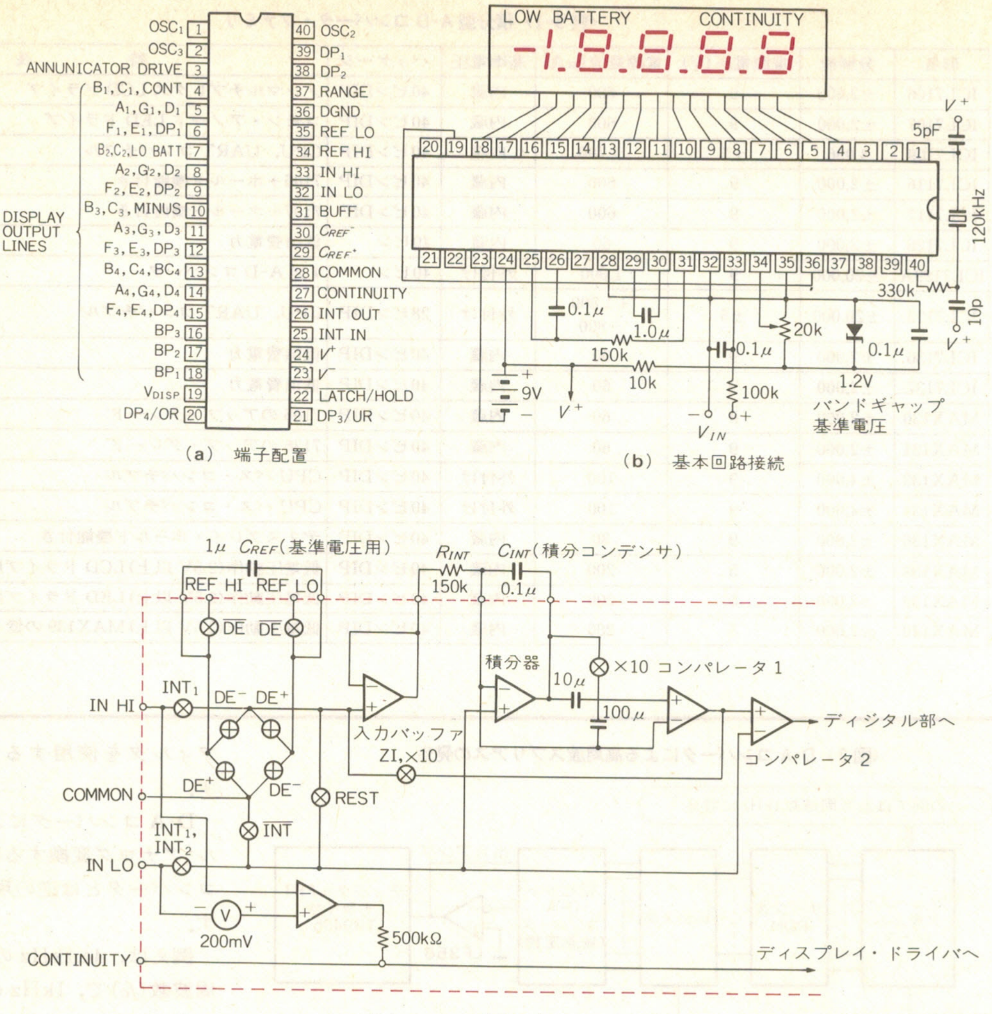
$(f_C \pm f_S)$，$(2f_C \pm f_S)$ … $(nf_C \pm f_S)$

なるスプリアス成分を誘起します。このようすを**図2**に示します。

これらのスプリアスを除去するため，**D-Aコンバータ出力に(f_C/2)以下を通過させ，(f_C/2)以上を急激に減衰させるローパス・フィルタが必要**になります。

(*) $2f_C$以上に対しても，$n \cdot f_C$に対してレベルは下がりながらも($n \cdot f_C \pm f_S$) 周波数でスプリアスを生じている。

〈図 5-12〉
ICL7129A
の端子配置
と基本接続



(a) 端子配置

(b) 基本回路接続

(c) アナログ部の内部ブロック図

います．

使用部品で注意が必要なのは，積分用コンデンサの選択および基準電圧素子の選択です．積分用コンデンサは，4½桁と分解能(精度)が高いため，テフロン，ポリプロピレン，ポリスチレンなど良質なコンデンサを選択することが極めて重要になってきます．

基準電圧素子についてもできる限り，温度ドリフトの小さいものを選ぶ必要があります．REF Lo と REF Hi 間には 1V を供給するため，1.2V のバンド・ギャップ基準電圧を用いるのがよいでしょう．

例えば，基準電源に LM385 を使った場合では 10μA の低動作電流において，1.235V(typ)を出力します．温度ドリフトは 20ppm/°C(typ)です．

発振器は，50/60Hz の誘導雑音を除去できる周波数を用いてください．50Hz 地域では 100kHz，60Hz 地域では 120kHz の X'tal 発振器を用います．50/60Hz 共用で，しかも 2V/200mV レンジ双方で最適な周波数はありませんが，200kHz が最も良好な特性を得られます．

第 6 章

汎用8ビット/12ビットD-Aコンバータの回路設計ノウハウ

代表的なD-Aコンバータの特徴と使い方

汎用のD-Aコンバータは8ビット精度と12ビット精度のものが中心です．本章では，代表的なD-Aコンバータを取り上げて，その特徴ならびに回路設計の際に留意すべきことを解説します．

前章では，代表的な逐次比較型 A-D コンバータ，積分型 A-D コンバータの使い方について説明しました．本章では代表的な D-A コンバータの使い方について説明します．

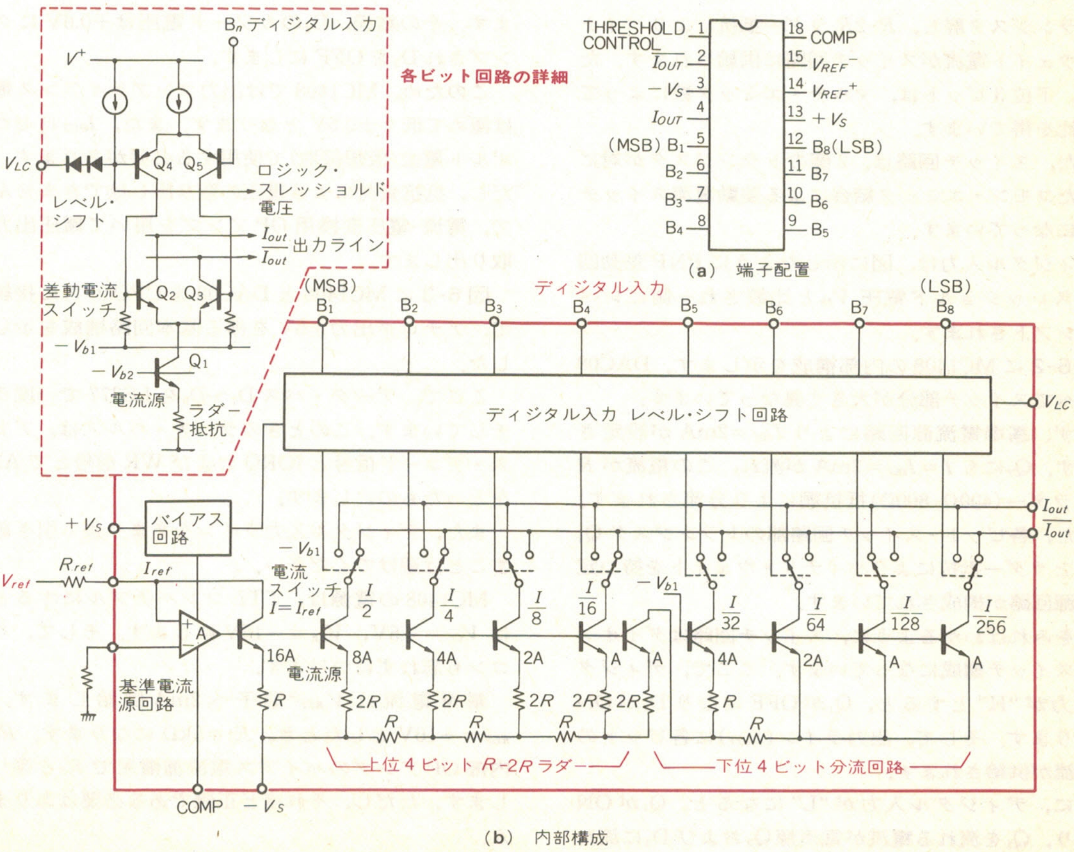
バイポーラ 8 ビット D-A コンバータ

バイポーラ型 8 ビット D-A コンバータで，最もポピュラなのは PMI 社の DAC08 とモトローラ社の MC1408 の 2 種類です．これらについては，各社からセカンド・ソースが多数供給されています．例えば，ナショナル・セミコンダクタ社では前者が DAC0800，後者が DAC0808 に相当し，日本電気からは DAC08 相当品として μPC624 があります．

このふたつのタイプの D-A コンバータを比べると，DAC08 のほうが I_{OUT}，$\overline{I_{OUT}}$ のコンプリメンタリ出力が可能であること，入力スレッショルド電圧を可変できること，高速であることといった点で MC1408 よりも優れています．

図 6-1 に DAC08 の端子配置と内部構成を示します．まず，基準電流源回路により I_{ref}=2mA の基準電流が設定されます．そして，コモン接続された定電流源

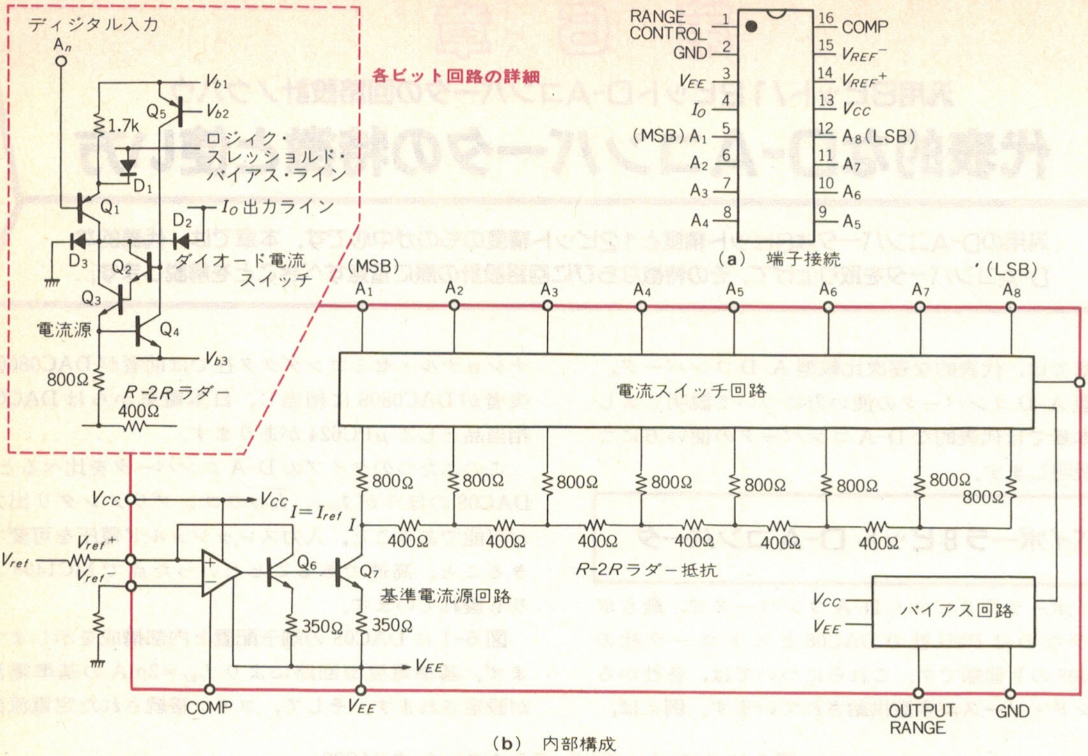
〈図 6-1〉 8 ビット・バイポーラ D-A コンバータ DAC08



(a) 端子配置

(b) 内部構成

〈図 6-2〉 8ビット・バイポーラ D-A コンバータ MC1408



(a) 端子接続

(b) 内部構成

用トランジスタ群と，R-2R ラダー抵抗によりバイナリ・ウェイト電流がスイッチ回路に供給されます．ただし，下位3ビットは，マルチ・エミッタ数によって分流比を得ています．

また，スイッチ回路は，2個のトランジスタが対になったコモン・エミッタ結合による差動電流スイッチ構成になっています．

ディジタル入力は，図に示したように PNP 差動回路でスレッショルド電圧 V_{th} と比較され一側にレベル・シフトされます．

図 6-2 に MC1408 の内部構成を示します．DAC08 に比べてスイッチ部分が大きく異なっています．

まず，基準電流源回路により $I_{ref}=2$mA が設定されます．Q_7にも $I=I_{ref}=2$mA が流れ，この電流が R-2R ラダー (400Ω-800Ω) 抵抗網により分流されます．

また，各ビット・スイッチ回路部のトランジスタ Q_2～Q_4とラダー抵抗によりバイナリ・ウェイトを持つ定電流源回路が構成されています．

図をみればわかるように，スイッチ回路はダイオード・スイッチ構成になっています．ここで，ディジタル入力が “H” とすると，Q_1が OFF になり D_2が ON になります．そして，出力ライン(I_{OUT})に各ビットの定電流が供給されます．

次に，ディジタル入力が “L” になると，Q_1が ON になり，Q_1を流れる電流が電流源 Q_3および D_3に流れます．その結果，D_2のカソード電圧は＋0.6V にクランプされ D_2を OFF にします．

このため，MC1408 では出力コンプライアンス電圧は極めて低く±0.6V となります．また，I_{OUT}はゼロ・ボルト電位(仮想接地)で使用する必要があります．ただし，抵抗負荷による電圧の取り出しはできませんので，電流-電圧変換用 OP アンプを用いて電圧出力を取り出します．

図 6-3 に MC1408 と DAC08 を CPU バスに接続して，アナログ出力±5V を得る基本回路構成を示しました．

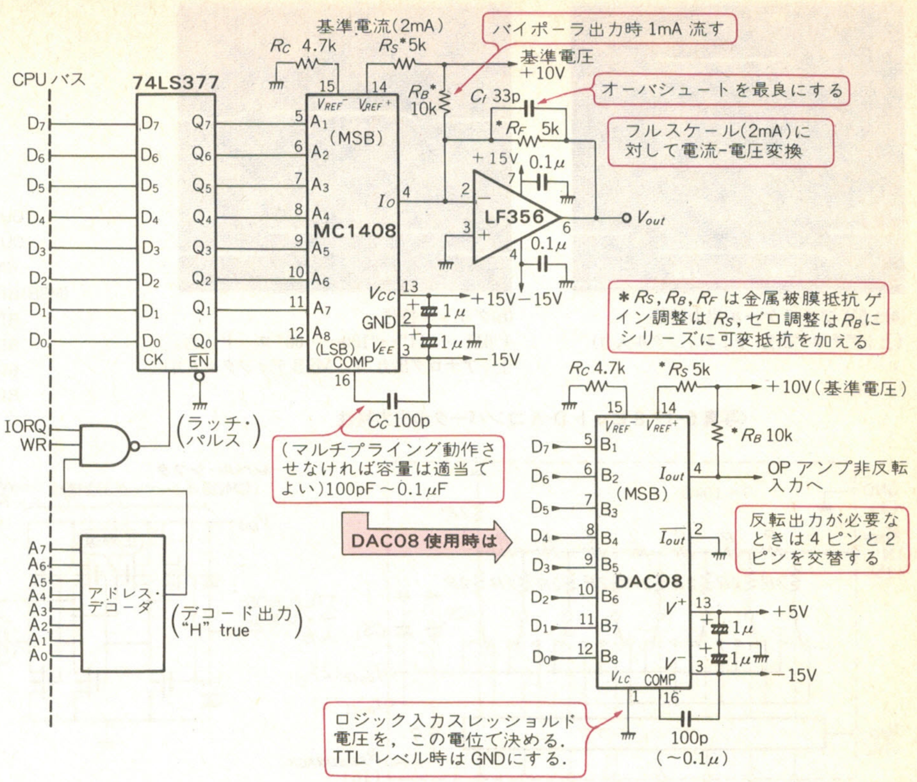
ここで，データ・バス D_7～D_0を LS377 で一度ラッチしています．このときのラッチ・パルスは，アドレス・デコード信号と IORQ および WR 信号とで AND をとったものにします．

また，ディジタル入力ラインをあまり長く引き延ばすことは避けてください．

MC1408 の電源は，TTL コンパチブルにするときは $V_{CC}=+5$V，$V_{EE}=-15$V にします．そして，パスコンも忘れずにつけます．

基準電流は V_{REF}^{+}端子へ 2mA 供給します．$V_{REF}=+10$V としたとき，$R_S=5$kΩ になります．R_Cは内部 OP アンプのバイアス電流補償用で R_Sと等しくします．ただし，それほど正確である必要はありません．

〈図 6-3〉
汎用バイポーラ 8 ビット D-A コンバータの使用例



帰還抵抗 R_Fは，基準電流 2mA に対して V_{OUT}フルスケールを得られる値に合わせます．例えば，±5V フルスケールのときは $R_F=5\text{k}\Omega$ になります．

出力をバイポーラ・モードで使用するため，R_Bにより FS/2=1mA をサミング・ノードへ流します．したがって，基準電圧が+10V とすると $R_B=10\text{k}\Omega$ になります．

ゲイン調整，ゼロ調整を必要とする場合には，R_Sおよび R_Bをそれぞれ(固定抵抗+可変抵抗)構成としてください．ただし，可変抵抗による可変幅をあまり大きくしてはいけません．安定度を悪くする原因になります．

位相補償コンデンサ C_Cは，その最小値が R_Sの関数で与えられます．$R_S=5\text{k}\Omega$ に対しては 75pF 以上必要です．ただし，マルチプライング動作を行わない場合は，100pF〜0.1μF の範囲であれば問題ありません．

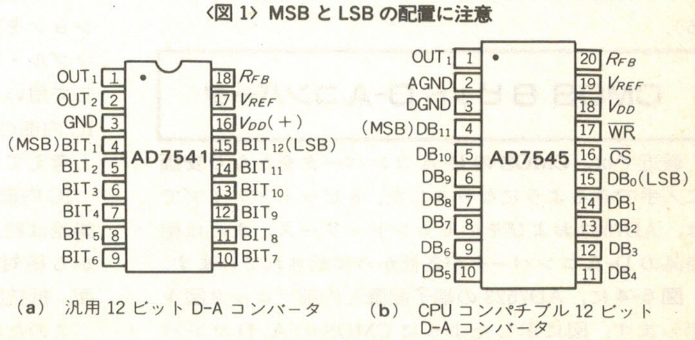
出力アンプには，扱う周波数帯によって選択します．低周波用途なら汎用 OP アンプで十分です．高速性能

ピン No に気を付けろ！

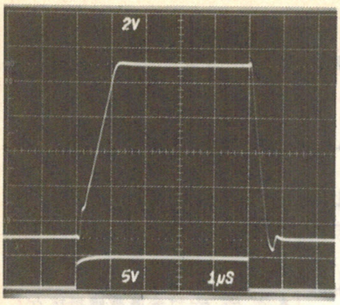
コンバータを初めて使用するとき，意外と間違えやすいのが MSB 側と LSB 側を逆配線することです．例えば，12 ビット・コンバータでは BIT_1(MSB)〜BIT_{12}(LSB)です．これは，CPUの表示と逆になっています．

ただし，CPU コンパチブル・タイプのコンバータでは DB_7(MSB)〜DB_0(LSB)になっています．気をつけてください．

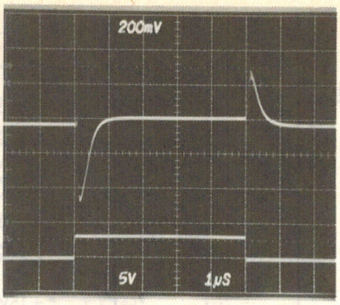
〈図 1〉 **MSB と LSB の配置に注意**



(a) 汎用 12 ビット D-A コンバータ (b) CPU コンパチブル 12 ビット D-A コンバータ

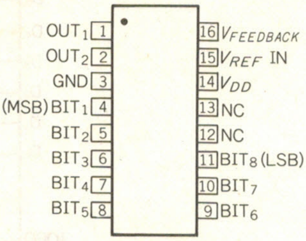


(a)±5V フルスケール出力特性
(上；アナログ出力 下；ディジタル入力)

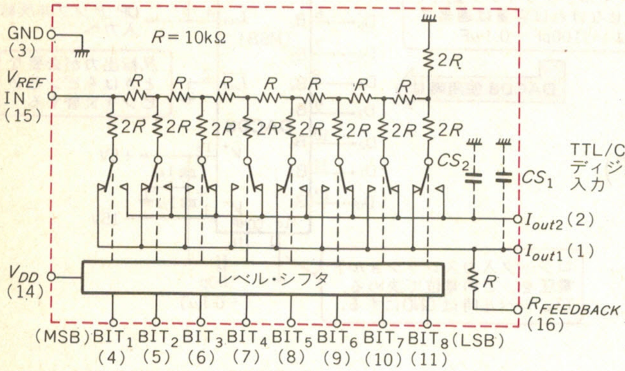


(b)グリッチ特性
(“011……11”↔“100……00”コード入力，
上；アナログ出力 下；MSB ディジタル入力)

〈写真 6-1〉 8 ビット D-A コンバータの出力特性

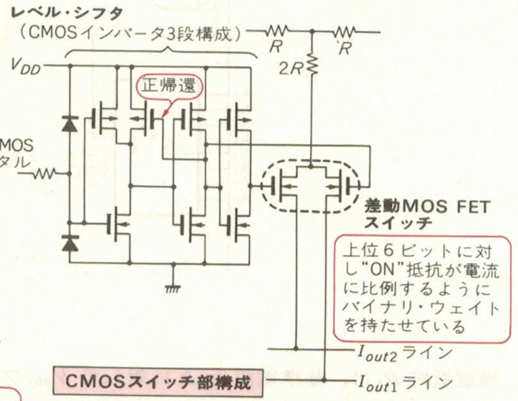


(a) 端子配置



(1) R=10kΩの絶対誤差は非常に大きい(5kΩ～20kΩ)
(2) CS_1, CS_2は浮遊出力容量．コードにより30～100pFに変化する．
(3) I_{out1}, I_{out2}はZero電位(仮想接地)で使用すること．
(4) V_{REF}, $R_{FEEDBACK}$端子以外は，(GND-V_{DD})電圧レンジを越えないこと．ラッチアップを生ずる可能性あり．
(5) V_{DD}は5～15Vで使用可能．TTLコンパチ使用時はV_{DD}=5Vとする．

(b) 内部構成



〈図 6-4〉 AD7523 の端子配置と内部ブロック

を求めるなら Bi-FET OP アンプ(LF356 など)がよいでしょう．

写真 6-1 (a)に±5V フルスケール出力ときのパルス特性を示します．このスルーレートは OP アンプによるものです．

写真 6-1 (b)は最上位ビットが切り替わるときのグリッチ特性を示しています(共に LF356 を使用している)．

CMOS 8 ビット D-A コンバータ

最近では，CMOS の D-A コンバータをかなり安価に入手できるようになりました．8 ビット・タイプでは，AD7523 およびそのセカンド・ソース，または相当品の D-A コンバータが各社から供給されています．

図 6-4 に，AD7523 の端子配置と内部ブロック図を示します．図に示したように CMOS の A-D コンバータは薄膜抵抗＋CMOS スイッチをワンチップ化したものであり，バイポーラ型 D-A コンバータとは異なり V_{REF}端子に正，負電圧を加えることができます．

V_{REF}に基準電圧を加えれば通常の D-A 変換動作を行い，またこの端子にアナログ信号を加えると，ディジタル・コードとの乗算動作を行わせることができます．

この乗算機能を使うことによって種々のアプリケーションを実現することができます．例えば，プログラマブル・アッテネータを構成したり，また変調回路として用いることもできます．しかし，扱える周波数は IC 内部の容量が大きいため，オーディオ帯域が限界と考えてください．

IC 内部の R-2R ラダー抵抗(10kΩ-20kΩ)の絶対値誤差は約 10％(スペックでは±50％)もあります．しかも絶対温度係数は 50～300ppm/℃もあります．反面，抵抗間のレシオ特性はたいへん優れています．

このため，抵抗値が絶対値で問題となるような使い方をしてはいけません．I_{OUT1}，I_{OUT2}出力は，ゼロ・ボ

ルト電位(仮想接地)で使用し，電流-電圧変換用OPアンプで電圧出力を取り出します．帰還抵抗は，必ずIC内部のR_Fを用いなければなりません．

図6-5にAD7523をユニポーラ・モードおよびバイポーラ・モードで使用するときの基本回路を示します．

AD7523の乗算機能を用いて，簡単な変調機能実験を行ってみました．図6-6にその回路と実験波形を示します．

AD7523の電源電圧は，TTL使用時には+5Vにします．ディジタル入力に4ビット・カウンタ出力をつなぎ，アナログ出力をLF356を用いて電流-電圧変換しています．このとき帰還抵抗は必ずIC内部のR_Fを用いてください．

AD7523の電源電圧が+5VであってもV_{REF}，R_F端子は電源電圧以上で使用できます．しかし，その他の端子は電源電圧範囲(0〜5V)を越えてはいけません．場合によってはラッチアップ現象を起こして素子を壊します．

出力端子のショットキ・ダイオードは，電源投入シーケンスで生じるスパイクを吸収します．ラッチアップ耐量は，ICプロセスによりメーカ間で差があります．例えば，PMI社の製品は出力ショットキ・ダイオードがいらないようになっています．AD7523のアナログ出力容量が100pFと比較的大きいため，オーバシュートを生じやすく，図6-6の回路ではC_F=22pFで位相補償を行いました．

モノリシックD-Aコンバータの内部回路構成

D-Aコンバータの内部構成は，各素子トランジスタ，抵抗などの絶対誤差が影響されず，レシオ特性のみに依存する回路方式を考えます．

汎用プロセスでICの製造を行う場合，各種パラメータの絶対誤差は数10%以上になります．反面，同一チップ内のトランジスタ間や抵抗間の各種パラメータの相対的なバラツキは大変低くすることが可能です．

一般的に歩留まりを考慮した相対的なバラツキは0.1〜0.2%程度といわれます．

すなわち，8〜9ビットまでがトリミングなどの特別な手段を用いることなく低価格で作れる限界といえます．このことが8ビットと10ビット間に大きな価格差を生じさせている原因です．10ビット以上では，トリミング(主にレーザ)や，特別な回路方式を採用することになります．

図2にモノリシックD-Aコンバータの基本回路構成を示します．同図において基準電圧はR_Sにより基準電流に変換されます．この基準電流に比例して各ビット電流が設定されます．

通常は4ビットごとにブロック分けされ，スイッチ(ディジタル入力により制御)の後の分流器により分割されます．

各トランジスタは流れる電流密度により，各パラメータ(特にh_{fe}，V_{be})が変化するため，流れる電流によりそれぞれのエミッタ面積をコントロール(マルチ・エミッタ構成)します．

そして，全トランジスタが同一パラメータで動作するように考慮されます．

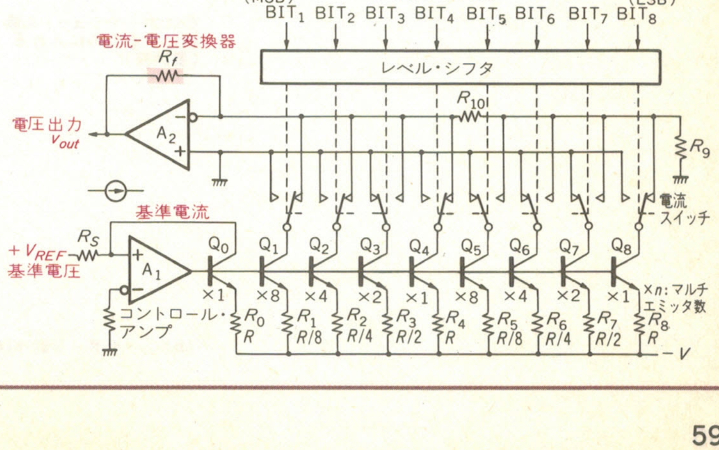
このような回路構成とした場合，D-A変換出力電流は，R_0〜R_8の抵抗比，Q_0〜Q_8のトランジスタのレシオ特性がバランスしていれば安定となり，絶対誤差には依存されなくなります．

一般的に，IC内部に使用できる抵抗素子の絶対温度特性は非常に悪い(数100ppm/°C)，のですが，レシオ特性が非常に良好なため(数ppm/°C)，出力電流は一定に保たれることになります．

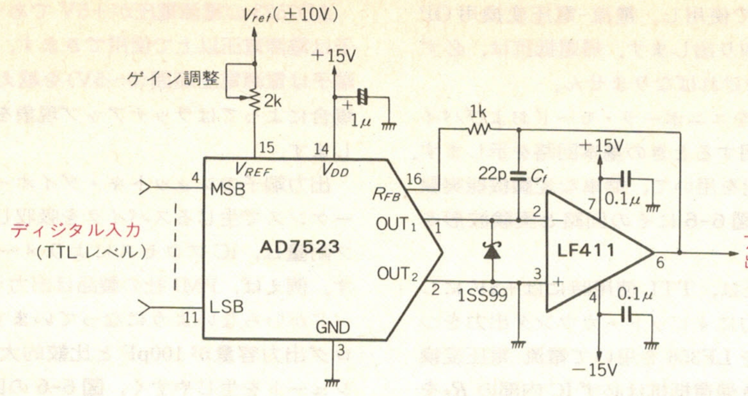
ただし，注意を要するのはR_Sの温度係数です．電流-電圧変換アンプを用いて電圧出力を得るとき，帰還用スパン抵抗R_fとレシオ特性とのバランスにより，はじめて電圧出力が安定します．

すなわち，R_SをIC内部に内蔵しているコンバータでは，電流-電圧変換用スパン抵抗は必ずIC内部のR_fを使用します．R_fを外付けにすると，IC内部とR_Sとのマッチングが得られなくなり，温度特性などを劣化させることになります．

〈図2〉モノリシックD-Aコンバータの基本構成



〈図 6-5〉
8 ビット CMOS
D-A コンバータ
の基本接続

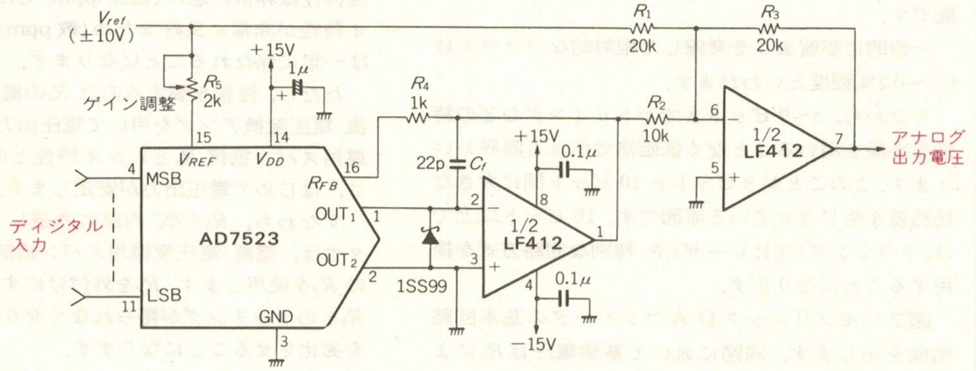


(注) C_f はオーバ・シュートを最適にするために入れる(要調整)

ディジタル入力 MSB　LSB	アナログ出力
1 1 1 1 1 1 1 1	$-V_{REF}\left(\frac{255}{256}\right)$
1 0 0 0 0 0 0 1	$-V_{REF}\left(\frac{129}{256}\right)$
1 0 0 0 0 0 0 0	$-V_{REF}\left(\frac{128}{256}\right)=-\frac{V_{REF}}{2}$
0 1 1 1 1 1 1 1	$-V_{REF}\left(\frac{127}{256}\right)$
0 0 0 0 0 0 0 1	$-V_{REF}\left(\frac{1}{256}\right)$
0 0 0 0 0 0 0 0	$-V_{REF}\left(\frac{0}{256}\right)=0$

(注)　$1\mathrm{LSB}=(2^{-8})(V_{REF})=\frac{1}{256}(V_{REF})$

(a)　ユニポーラ・バイナリ動作(2 象限乗算型)



(注) R_1～R_3 はレシオ特性で
0.1% 内にあること

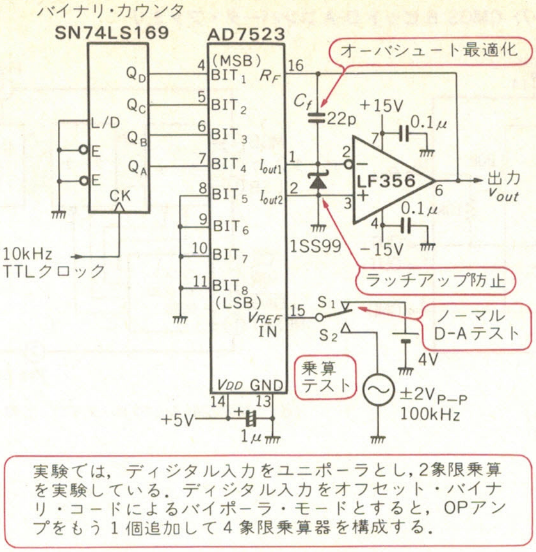
C_f はオーバ・シュートを最
適にするために入れる
(要調整)

ディジタル入力 MSB　LSB	アナログ出力
1 1 1 1 1 1 1 1	$+V_{REF}\left(\frac{127}{128}\right)$
1 0 0 0 0 0 0 1	$+V_{REF}\left(\frac{1}{128}\right)$
1 0 0 0 0 0 0 0	0
0 1 1 1 1 1 1 1	$-V_{REF}\left(\frac{1}{128}\right)$
0 0 0 0 0 0 0 1	$-V_{REF}\left(\frac{127}{128}\right)$
0 0 0 0 0 0 0 0	$-V_{REF}\left(\frac{128}{128}\right)$

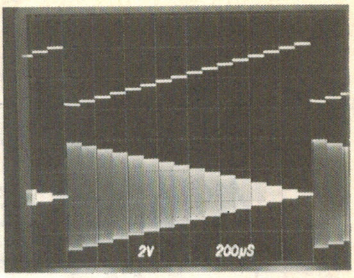
(注)　$1\mathrm{LSB}=(2^{-7})(V_{REF})=\frac{1}{128}(V_{REF})$

(b)　バイポーラ動作(4 象限乗算型)

〈図 6-6〉
CMOS D-A コンバータによる乗算動作の実験



(a) 実験回路(2象限乗算回路)



(b)出力波形
上：V_{REF}に＋4Vの基準電圧印加
下：V_{REF}に±2V_{P-P}サイン波入力
(乗算特性)

図 6-6 (b)が動作波形ですが，上の波形は＋4V 基準電圧を印加した場合であり，下の波形は V_{REF}端子に 2V_{P-P}100kHz の正弦波を入力し，ディジタル入力に 4 ビット・カウンタ出力(10kHz クロック)をつないで乗算動作を行った場合です．

AD7523 の他にも CMOS 8 ビットの A-D コンバータには様々な製品があります．その一部を図 6-7 に示します．

入力ラッチを内蔵した AD7524，2 組の D-A コンバータをワンチップ化した AD7528，4 組の D-A コンバータを出力アンプも内蔵させてワンチップ化した AD7225/26，さらに 8 組の D-A コンバータを出力アンプを内蔵させてワンチップ化した AD7228 などがあります．これらのディジタル入力はすべて CPU バス・コンパチブルになっています．

CMOS の D-A コンバータをプログラマブル・アッテネータとして使う場合は，8 ビットでは減衰量が不足します．また，dB 設定できないのも不便です．このような応用にはアッテネータ専用の AD7110，または LOGDAC と称する CMOS 対数コンバータ

“H”true か“L”true か注意！

D-A コンバータには，ディジタル・コードが“11……11”のときに FS(フルスケール)に対応するものと，“00……00”のときに FS に対応するものとがあります．

例えば，バーブラウン社がオリジナルであるときの D-A コンバータは“00……00”が FS に対応し，アナログ・デバイセズ社がオリジナルであるときは“11……11”が FS に対応します．設計に際して各社のカタログに注意してください．

〈表 1〉
ディジタル入力とアナログ出力の関係

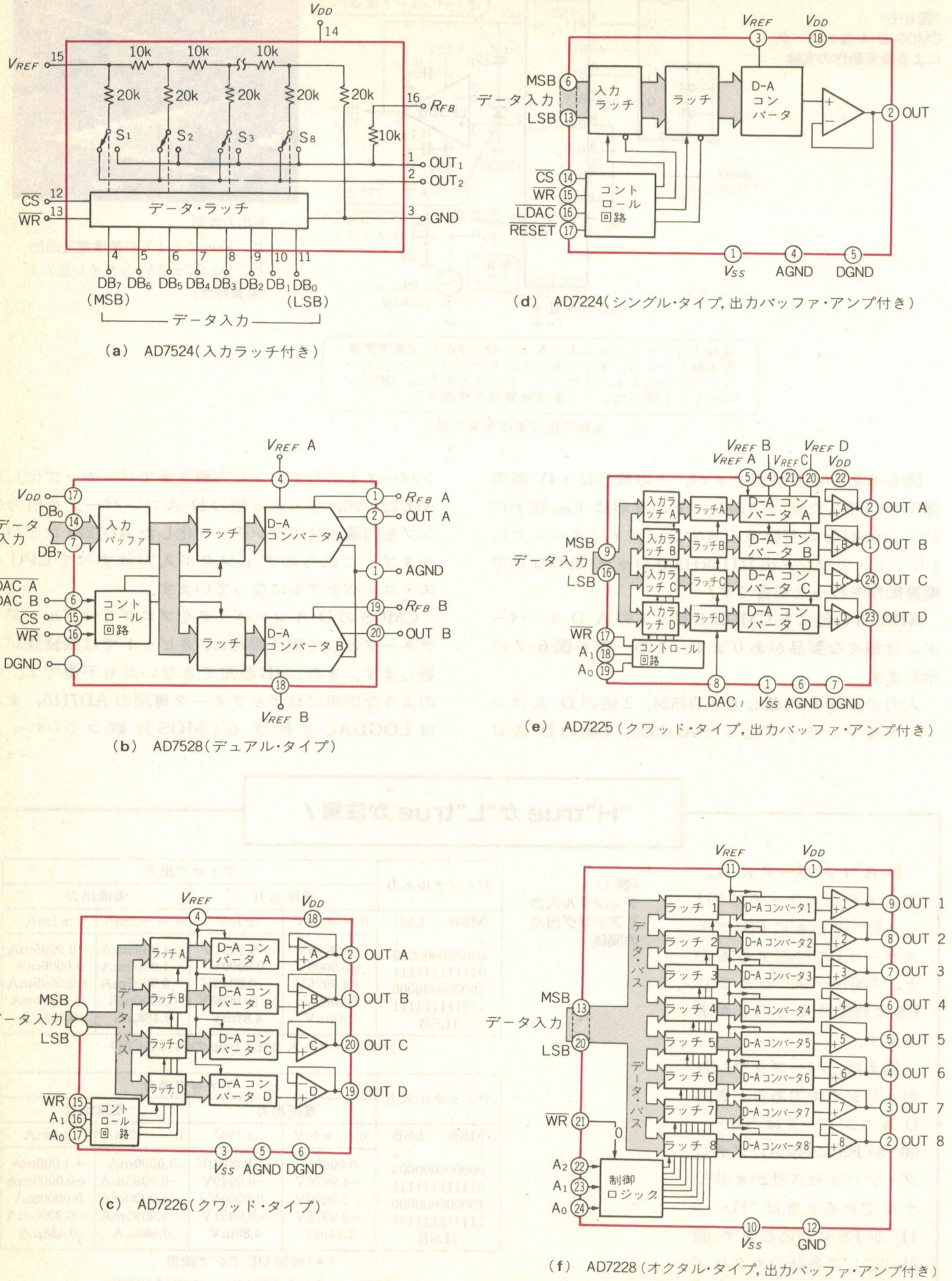
ディジタル入力	アナログ出力			
	電圧出力		電流出力	
MSB LSB ↓ ↓	0 ～ +10V	±10V	0 ～ −2mA	±1mA
000000000000	+9.9976V	+9.9951V	−1.9995mA	−0.9995mA
011111111111	+5.0000V	0.0000V	−1.0000mA	0.0000mA
100000000000	+4.9976V	−0.0049V	−0.9995mA	+0.0005mA
111111111111	0.0000V	−10.0000V	0.0000mA	+1.000mA
1LSB	2.44mV	4.88mV	0.488μA	0.488μA

(a)ディジタル入力“L” true の例(DAC80)

ディジタル入力	アナログ出力			
	電圧出力*		電流出力	
MSB LSB ↓ ↓	0 ～ +10V	±10V	0 ～ −2mA	±1mA
000000000000	0.0000V	−10.0000V	0.0000mA	+1.000mA
011111111111	+4.9976V	−0.0049V	−0.9995mA	+0.0005mA
100000000000	+5.0000V	0.0000V	−1.0000mA	0.0000mA
111111111111	+9.9976V	+9.9951V	−1.9995mA	−0.9995mA
1LSB	2.44mV	4.88mV	0.488μA	0.488μA

(*)外部 OP アンプ使用
(b)ディジタル入力“H”true の例(AD562)

〈図 6-7〉 CMOS 8 ビット D-A コンバータ・ファミリ



(a) AD7524(入力ラッチ付き)

(b) AD7528(デュアル・タイプ)

(c) AD7226(クワッド・タイプ)

(d) AD7224(シングル・タイプ, 出力バッファ・アンプ付き)

(e) AD7225(クワッド・タイプ, 出力バッファ・アンプ付き)

(f) AD7228(オクタル・タイプ, 出力バッファ・アンプ付き)

AD7111を使うと便利でしょう．どちらも1.5dBステップで0～－88.5dB範囲を自由に制御できます．

PMI社のクワッド・タイプCMOS D-Aコンバータの DAC8408は，CPUからD-Aコンバータへの値の設定の他に，設定した値のリード・バックができます．やはり，クワッド・タイプDAC8426は，出力バッファ・アンプの他に基準電圧源も内蔵しています．

バイポーラ12ビット D-A コンバータ

● DAC80

最もよく知られている12ビットのD-Aコンバータといえば，バーブラウン社のDAC80です．このD-Aコンバータは販売された時期も古く，セカンド・ソースも数多くのメーカから供給されています．

発売された当初は，かなりの複数チップによってハイブリッドIC構成になっていましたが，最近では完全モノリシック化されたタイプに置き換えられています．

また，出力が電流か電圧かによる電流モデルと電圧モデル，ディジタル入力がバイナリかBCDかによるBINモデルとBCDモデルがそれぞれ用意されています．

DAC80には6.3Vの基準電圧が内蔵されており，この内部基準電圧に対してレーザ・トリミングが行われています．

12ビットを扱う場合は，8ビットのD-Aコンバータなどに比べて精度に対する注意は不可欠になります．また，D-Aコンバータの基本動作を理解し，データ・シートの内容を十分に把握する必要もあります．

さらに雑音に対するシステム的な配慮も重要になってきます．

ここではDAC80をCPUのデータ・バスに接続する回路を例にして12ビットD-Aコンバータの使い方を説明します．

図6-8の回路をみてください．ここではDAC80は電圧出力/バイナリ・モードのタイプを使用しています．

8ビットのCPUデータ・バスに接続するため，入力ディジタル・データは2重ラッチとし，12ビットの入力ディジタル・データが同時にD-Aコンバータに加わるようにしています．さもないと大きな入力スキュ差によってアナログ出力に大きなグリッチが発生してしまいます．入力部の配線もできる限り短くします．

電源は，±15Vおよび+5Vの3電源が必要です．そして，これらの端子に対して，ピン近くで十分なデカップリングを行います．

$10V_{P-P}$出力を得る場合には15番ピンと18番ピンを接続します．また，$20V_{P-P}$出力を得る場合には15番ピンと19番ピン間をショートします．さらに，バイポーラ出力が必要な場合には17番ピンと20番ピン間をつなぎます．

DAC80のゼロ調整やゲイン調整を行う場合は，回路図に示したように*VR*を付加します．回路図中の

8ビット，12ビットはアナログ精度0.2%，0.01%

ディジタル屋とアナログ屋では，精度に対する認識が違います．アナログで0.01%精度を求めるには，雑音問題などを含めてかなり厄介です(表2参照)．

それに比べると，ディジタルでの精度とは処理ビット数の問題ですから，バイト単位で多少めんどうになる程度であり，12ビットなど精度的にたいした問題ではありません．

したがって，アナログ屋は，ディジタル屋に対して0.01%精度の難しさを十分理解させるべきです．

〈表2〉A-D/D-Aコンバータのビット数と精度

ビット数	分解能	1LSB精度	ダイナミック・レンジ
8ビット	$\frac{1}{256}$	0.39% (3906ppm)	50dB
10ビット	$\frac{1}{1024}$	0.098% (977ppm)	62dB
12ビット	$\frac{1}{4096}$	0.0244% (244ppm)	74dB
14ビット	$\frac{1}{16384}$	0.0061% (61.0ppm)	86dB
16ビット	$\frac{1}{65536}$	0.0015% (15.3ppm)	98dB

(参考) 抵抗の温度係数

カーボン抵抗	250ppm/℃
金属皮膜抵抗	25～100ppm/℃
高精度巻線抵抗	2～5ppm/℃
高精度金属箔抵抗	2～5ppm/℃

カーボン抵抗の周囲温度1℃あたりの変化率が12ビット分解能の1LSBに相当する．このことから，12ビット以上を扱う場合には，周辺構成部品の精度に対する考慮も重要である．

3.9MΩ や 33MΩ の高抵抗がない場合は図のような低抵抗による T 型アッテネータで代替できます．

DAC80 の 20 番ピンは OP アンプのサミング・ノードであるため，雑音などの影響を受けないように配線はできるだけ短くしてください．

次に，6.3V の基準電圧をこの IC だけで使用する場合は問題ありませんが，外部回路で使用する場合には，OP アンプによるバッファを介して使用してください．直接負荷電流を大きく取ることはできません．

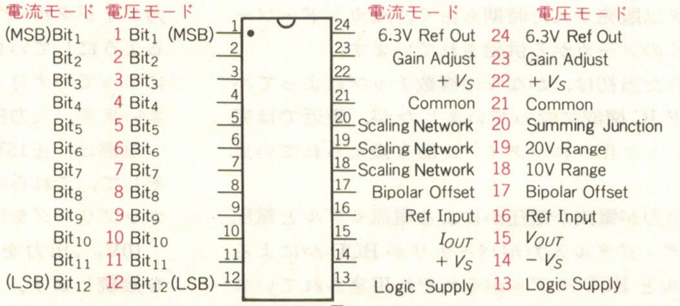
DAC80 の電圧モデルでのセトリング時間は，0.01 %セトリングに対して約 3μs です．

● Am6012

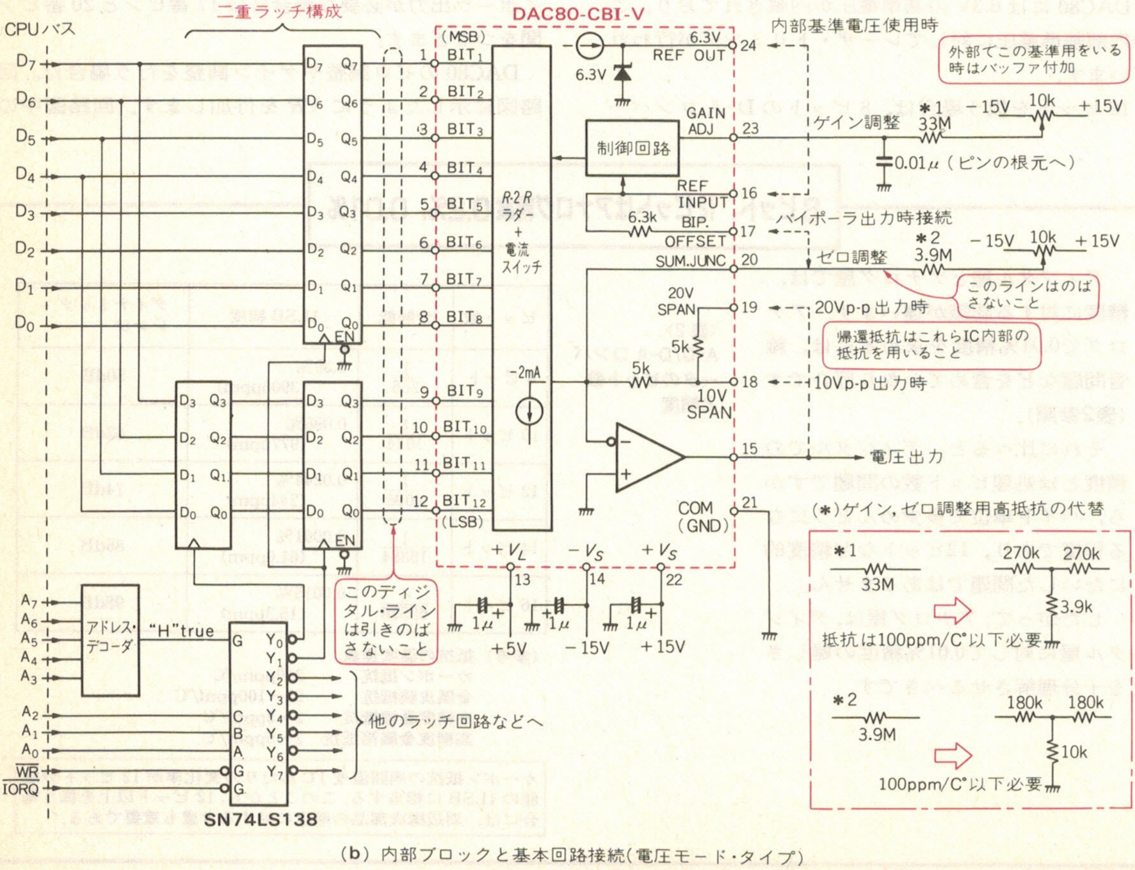
12 ビットの D-A コンバータで最も低価格なのは AMD 社の Am6012 です．この D-A コンバータも各社から多数のセカンド・ソースが供給されています．例えば，日本電気の μPC648 なども Am6012 のコンパチブル製品です．

図 6-9 に Am6012 の端子配置，内部ブロック，基本回路例などを示します．内部ブロックをみればわかりますが，この D-A コンバータは上位 3 ビットを"セグメント化"することによりトリミングを省略して低コストにしています．セグメント化したところは，上位ビットをバイナリ荷重電流で制御するのではなく，等電流源を n 本用意し，デコード信号により制御さ

〈図 6-8〉
DAC80 の端子接続と基本回路例



(a) 端子配置



(b) 内部ブロックと基本回路接続（電圧モード・タイプ）

せています．

Am6012 では，上位 3 ビットをデコードし，入力コード “001” なら 1 本の電流源，“100” なら 4 本の電流源，“111” なら 7 本の電流源を ON にします．

このようにセグメント化することにより，IC 内部に許容される素子のバラツキを大幅に低減することができ，トリミングをしなくても 12 ビットの精度を出せるようになっています．

ただし，セグメント化は単調性および微分直線性に対しては 12 ビットを保証しますが，0〜FS 間の理想直線に対する非直線性は 10 ビット相当しか保証しません．したがって，使用するときはこの点を理解しておく必要があります．**図 6-10** に Am6012A の非直線性を試験した例を示します．

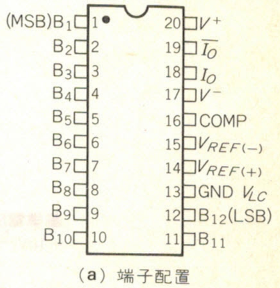
Am6012 の出力は I_{OUT}，$\overline{I_{OUT}}$ のコンプリメンタリ構成です．また，電源電圧は TTL 入力に対して，＋5V，－15V の 2 系統を必要とします．

基準電圧は外付けになっており，精度のよい基準抵抗によって電流に変換して供給されるようになっています．基準抵抗が外付けであるため，電流-電圧変換用スパン抵抗も外付けになります．これには基準抵抗と同等の金属皮膜抵抗を使用してください．

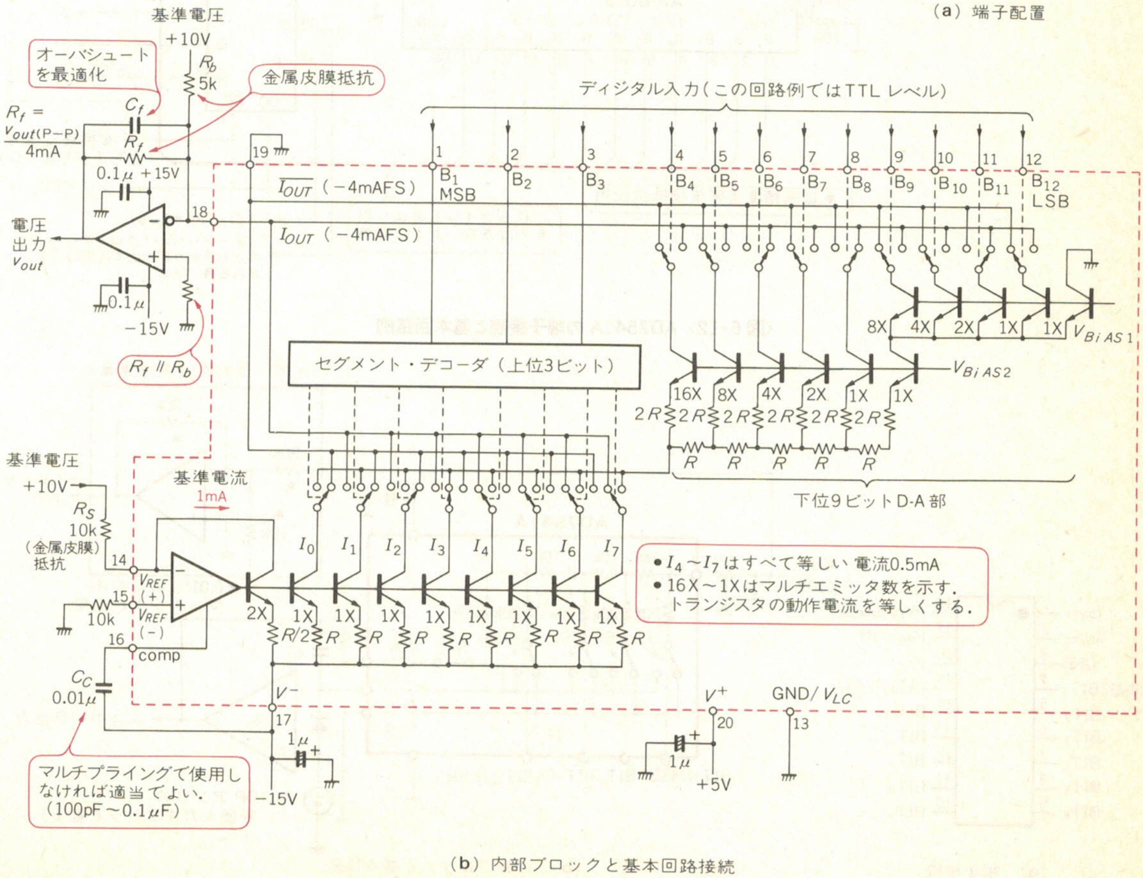
Am6012 の応用例として，12 ビットの逐次比較型 A-D コンバータを構成してみました．**図 6-11** にその回路例を示します．

逐次比較型 A-D コンバータは，構成要素として D-A コンバータの他にコンパレータ，逐次比較ロジックなどが必要です．ここではコンパレータとして，最も

〈図 6-9〉
Am6012 の端子配置と基本回路例

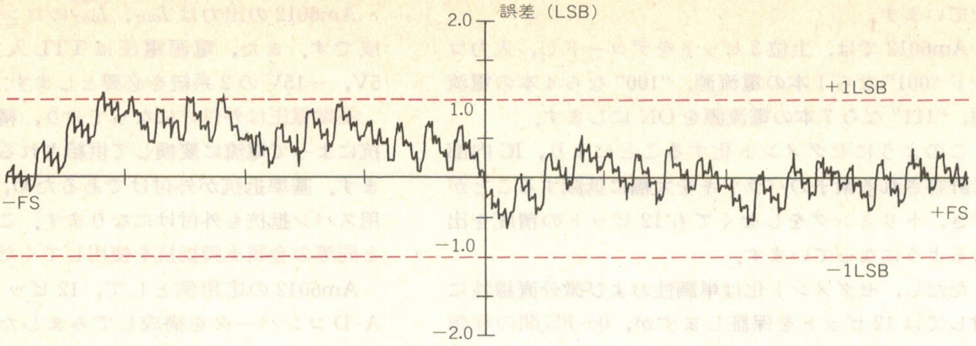


（a）端子配置

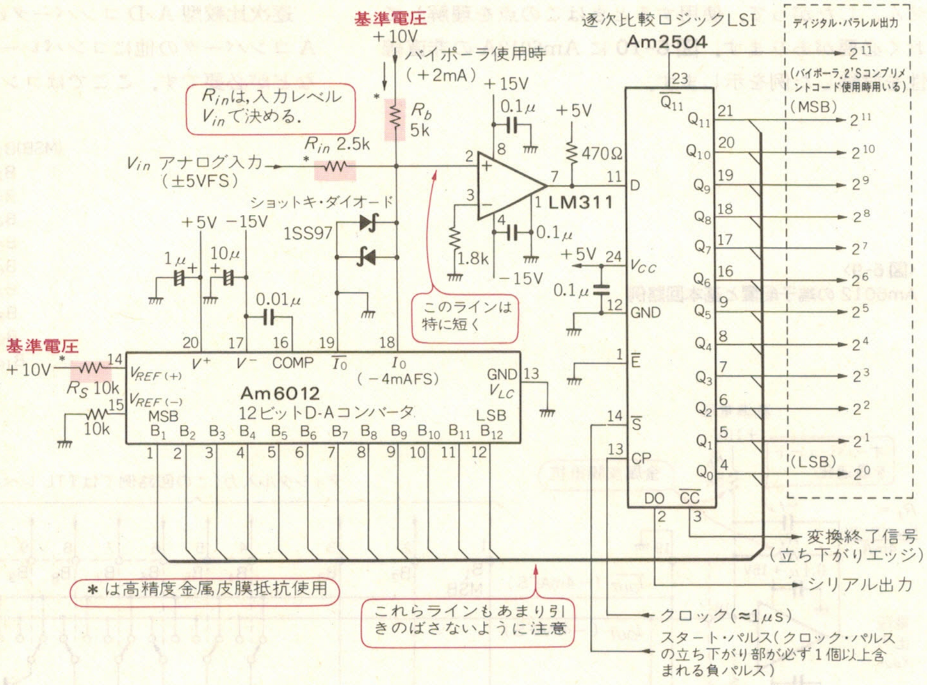


（b）内部ブロックと基本回路接続

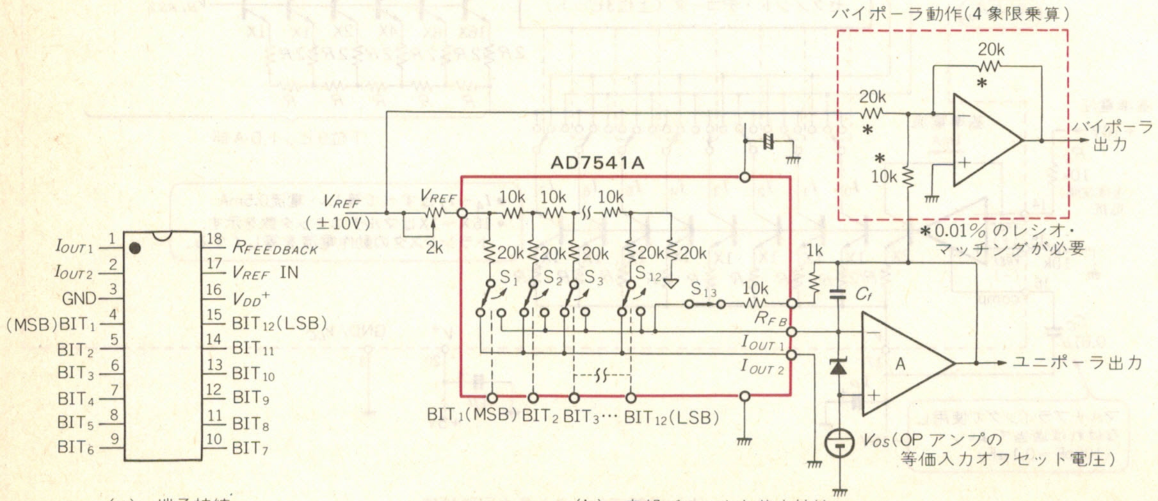
〈図6-10〉
Am6012AのDC直線性試験例



〈図6-11〉
Am6012を用いた逐次比較型A-Dコンバータ



〈図6-12〉 AD7541Aの端子接続と基本回路例



（a） 端子接続

（b） 内部ブロックと基本接続

ポピュラなLM311を用い，逐次比較ロジックにはAMD社のAm2504という専用ICを使用しました．

基準電圧は＋10Vとし，基準抵抗R_S＝10kΩとしています．V_{REF}^-端子は内部OPアンプのバイアス電流補償用として10kΩを介してGNDに接続します．

出力電流I_{OUT}＝−4mAフルスケールであるため，アナログ入力電圧はR_{IN}により−4mAフルスケールに正規化します．すなわち，10V入力に対してR_{IN}＝2.5kΩです．

バイポーラ・モードで使用する場合は，R_bにより＋2mAをI_{OUT}端子へ流し込みます．I_{OUT}端子，すなわちサミング・ノードは，ショットキ・ダイオードでクランプします．ここにシリコン・ダイオードを用いると，キャリア蓄積により，リカバリ時間が長くなって変換時間が長くなります．

図6-11に示した構成でクロックf_C≈1MHzを加えると，15μs以下の変換時間を得ることができます．ただし，部品配置やパターンの引き延ばし，グラウンド処理などには細心の注意が必要です．

Am2504のDO端子を用いると，シリアル出力もできるようになります．シリアル出力にするとアイソレーションを行う場合にパラレル伝送に比べてフォト・カプラの数を減らすことができます．

CMOS12ビットD-Aコンバータ

● AD7541A

最近では，12ビットのD-AコンバータでもCMOS製品が多くなってきています．CMOSの12ビットD-Aコンバータの基本といえるのはアナログ・デバイセズ社のAD7541だと思います．

図6-12にAD7541Aの端子接続，内部ブロック，基本回路例などを示します．図をみればわかるように，内部構成は8ビットのD-Aコンバータと基本的に同じです．すなわち，R-2Rラダー抵抗＋CMOSスイッチで構成されています．

12ビットのCMOS D-Aコンバータは，非直線性については±1/2LSBを満足していますが，微分直線性については多くのデバイスが±1LSBしか補償していません．したがって，微分直線性が重視されるアプリケーションではデバイスの選択に注意が必要です．

使用上の注意点についてもいくつか気をつけなければならないことがあります．まずひとつは，D-Aコンバータの出力に接続して，電流-電圧変換を行う

"ORDERING INFORMATION"に注意！

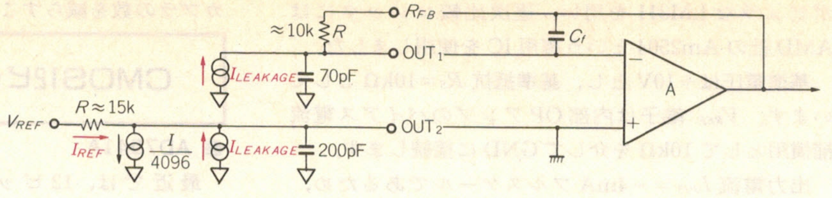
例えば，ひとつのモデルのD-Aコンバータについて10以上もの分類がされているものがあります．精度別，電圧/電流別，温度範囲別，バイナリ/BCD別などの他，ときにはバイポーラ/ユニポーラ別の分類が必要なタイプもあります．

特に，アナログ・デバイセズ社やPMI社の製品は，精度別ランク付けが細かいようです．サフィックスを付け間違えると，非常に高価なものになったり，場合により使用不可能なデバイスであったりします．

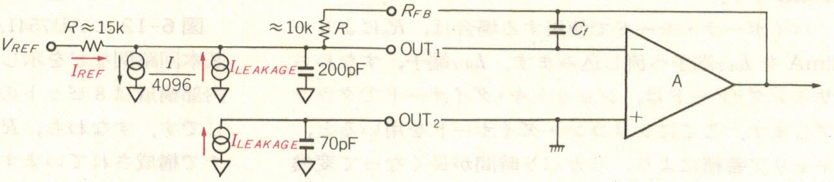
〈表3〉アナログ・デバイセズ社の発注分類の例

製品名	入力コード	温度範囲	精度 ⓐ＋25℃	ゲインT.C. (F.S./℃)	パッケージ・オプション
AD562KD/BIN	Binary	0 ～ ＋70℃	±1/2LSB max	3ppm max	D24A
AD562KN/BIN	Binary	0 ～ ＋70℃	±1/2LSB max	3ppm max	N24A
AD562KD/BCD	Binary Coded Decimal	0 ～ ＋70℃	±1/2LSB max	3ppm max	D24A
AD562KN/BCD	Binary Coded Decimal	0 ～ ＋70℃	±1/2LSB max	3ppm max	N24A
AD562AD/BIN	Binary	−25～ ＋85℃	±1/2LSB max	3ppm max	D24A
AD562AD/BCD	Binary Coded Decimal	−25～ ＋85℃	±1/2LSB max	3ppm max	D24A
AD562SD/BIN	Binary	−55～ ＋125℃	±1/4LSB max	3ppm max	D24A
AD562SD/BCD	Binary Coded Decimal	−55～ ＋125℃	±1/10LSB max	3ppm max	D24A
AD563JD/BIN	Binary	0 ～ ＋70℃	±1/2LSB max	50ppm max	D24A
AD563JN/BIN	Binary	0 ～ ＋70℃	±1/2LSB max	50ppm max	N24A
AD563JD/BCD	Binary Coded Decimal	0 ～ ＋70℃	±1/2LSB max	50ppm max	D24A
AD563JN/BCD	Binary Coded Decimal	0 ～ ＋70℃	±1/2LSB max	50ppm max	N24A
AD563KD/BIN	Binary	0 ～ ＋70℃	±1/4LSB max	20ppm max	D24A
AD563KN/BIN	Binary	0 ～ ＋70℃	±1/4LSB max	20ppm max	N24A
AD563KD/BCD	Binary Coded Decimal	0 ～ ＋70℃	±1/4LSB max	20ppm max	D24A
AD563KN/BCD	Binary Coded Decimal	0 ～ ＋70℃	±1/4LSB max	20ppm max	N24A
AD563SD/BIN	Binary	−55～ ＋125℃	±1/4LSB max	30ppm max	D24A
AD563SD/BCD	Binary Coded Decimal	−55～ ＋125℃	±1/4LSB max	30ppm max	D24A
AD563TD/BIN	Binary	−55～ ＋125℃	±1/4LSB max	10ppm max	D24A
AD563TD/BCD	Binary Coded Decimal	−55～ ＋125℃	±1/4LSB max	10ppm max	D24A

〈図6-13〉
AD7541Aの等価回路



(b)　ディジタル入力がすべて"L"の場合



(c)　ディジタル入力がすべて"H"の場合

OPアンプの等価入力オフセット電圧 V_{OS} の影響です．ラダー方式によるCMOS D-Aコンバータの出力抵抗は，ディジタル入力コードによって変化します．

すなわち，アンプの等価ゲインがディジタル入力コードにより変化し，等価入力オフセット電圧 V_{OS} がゲイン変化の影響を受けて出力オフセット電圧の変動として現れます．

AD7541Aでは，0.67× V_{OS} で非直線性誤差の要因になります．アンプ出力を10Vフルスケールとすると，V_{OS} =1.8mVあると±1/2LSBの非直線性誤差がD-Aコンバータ自身の非直線性誤差に加算されてしまいます．

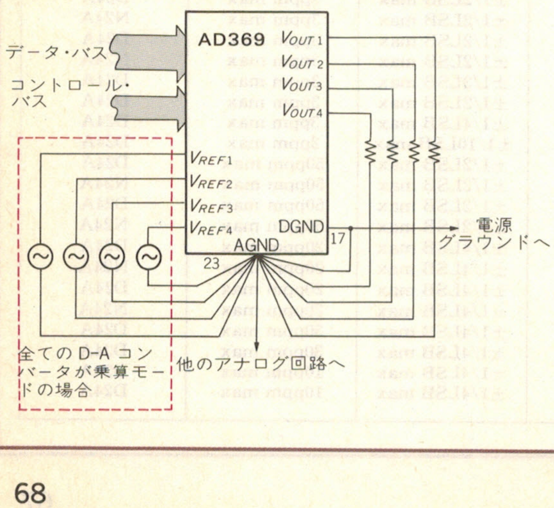
注意すべきふたつめの点は，出力容量が8ビットのD-Aコンバータに比べてさらに大きくなっていることです．AD7541Aではディジタル入力コードにより，C_{OUT} =70pF〜200pFの幅で変化します．また，この

パターン設計は回路図には示されない

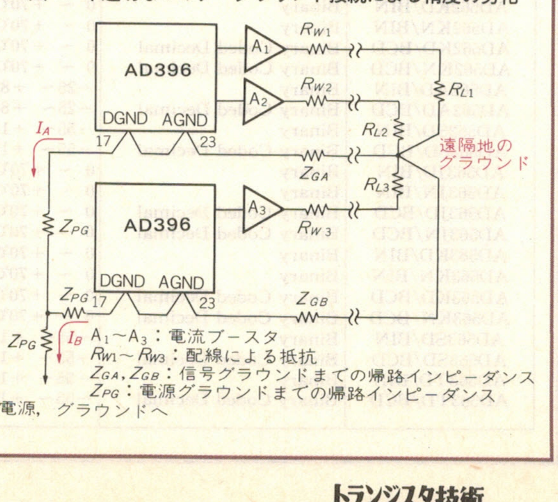
8ビット精度までなら，それほど神経質になる必要もないでしょう．しかし，12ビット以上の精度を求める場合はグラウンド，部品配置，パターン設計に注意を要します．アナログ回路とディジタル回路が互いに入り組むのを避け，明確に分離する方向で検討すべきです．

また，グラウンド電流経路に注意し，ロジック・グラウンド電流が，アナログ・グラウンドに流れこまないよう考慮します．一点アースにすること，全面グラウンドにして共通インピーダンスを低減することなどを，設計の中で効果的に考えることが必要です．

〈図3〉 理想的なグラウンドの接続方法



〈図4〉 不適切なマルチ・グラウンド接続による精度の劣化



出力容量はメーカやプロセスの違いにより変わります．

高速動作が要求される場合に位相補償定数を決めるときやセカンド・ソースに切り替えたときに位相補償の値を見直すことなどが必要になります．

注意すべき三つめの点は，V_{REF}に AC 信号を加えて乗算(マルチプライング)動作を行う場合です．AC 信号の V_{REF}端子から I_{OUT}出力端子への IC 内部での AC 信号のリーク(フィードスルー)が大きいため，**図 6-14** に示したように 12 ビットで－70dB のアッテネーションが得られる周波数帯域は 10kHz 程度です．

ひずみ特性についても 20kHz 以上で急激に増加します．

● **DAC1230/1231/1232**

次に，CPU バス・コンパチブルの CMOS12 ビット D-A コンバータとして，ナショナル・セミコンダクタ社の DAC1230/1231/1232 を紹介します．

図 6-15 に DAC1230/1231/1232 の端子配置，内部ブロック，基本接続例などを示します．この D-A コンバータは CPU とのインターフェース回路が内蔵されているので，CPU バスと極めて簡単にインターフェースすることができます．

IC 内部は 2 重ラッチ構成になっているため出力グリッチは低く抑えられています．D-A 変換部は典型的な *R*-2*R* ラダー＋CMOS スイッチ構成になっています．

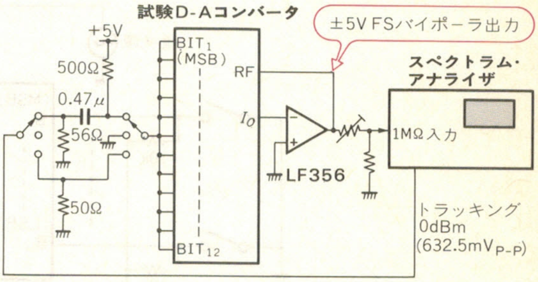
この他にも CMOS の 12 ビット D-A コンバータに

ディジタル入出力はアナログ要因を含む

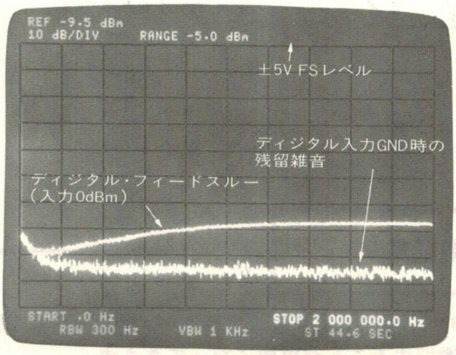
D-A コンバータのディジタル入力(および逐次比較型 A-D コンバータのディジタル出力は，直接内部で D-A コンバータの入力につながっているタイプが多い)は，もはや“0”，“1”のディジタル・コードだけの問題ではすみません．特に，高精度を求める場合はアナログ要因が重要であり，ディジタル入力ラインに重畳した雑音，およびフィードスルー特性やオーバシュート特性もアナログ出力に影響をおよぼします．また，ディジタル入力間のスキュも出力に大きなグリッチを発生させる要因となります．

図 5 に 12 ビット D-A コンバータについて，ディジタル入力雑音のアナログ出力におよぼす影響(ディジタル・フィードスルー)を調べた一例を示します．

〈図 5〉 ディジタル・フィードスルー特性

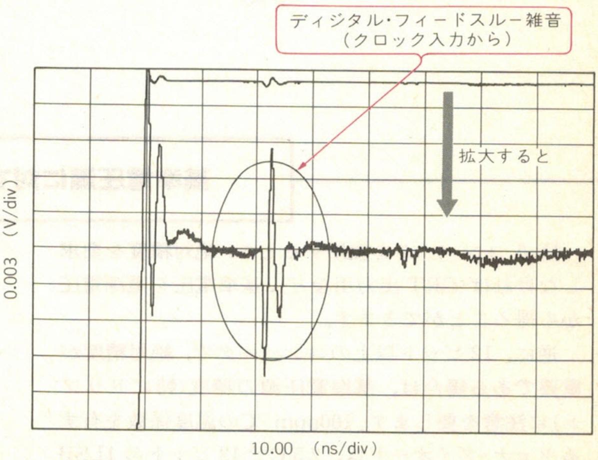


(a) 測定回路



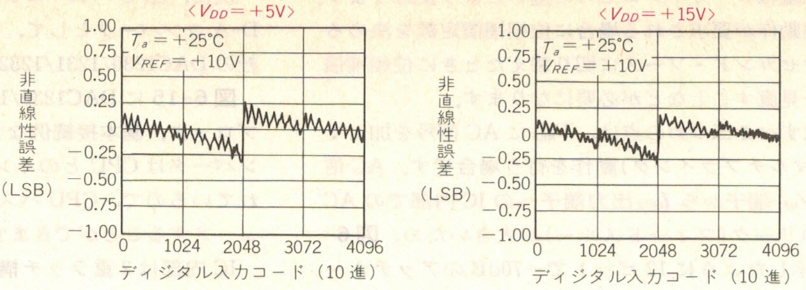
このD-Aコンバータでは，約600m$V_{P\text{-}P}$のディジタル入力雑音が1LSB以上のアナログ雑音を生じていることを示す．
(雑音周波数成分600kHz以上に対して)

(b) 12ビット高速D-Aコンバータの測定例

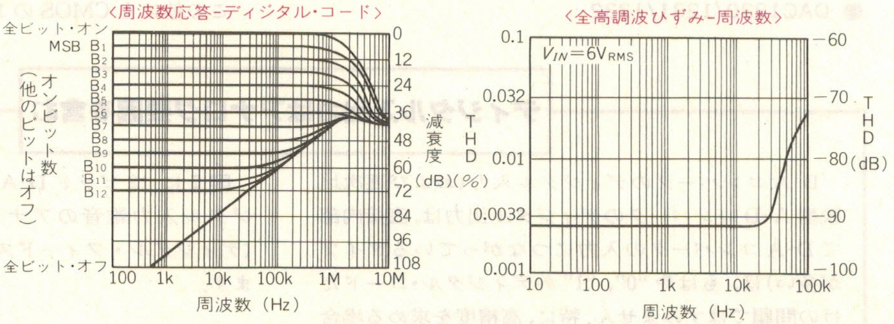


(c) ビデオ用高速D-Aコンバータでのディジタル・フィードスルー

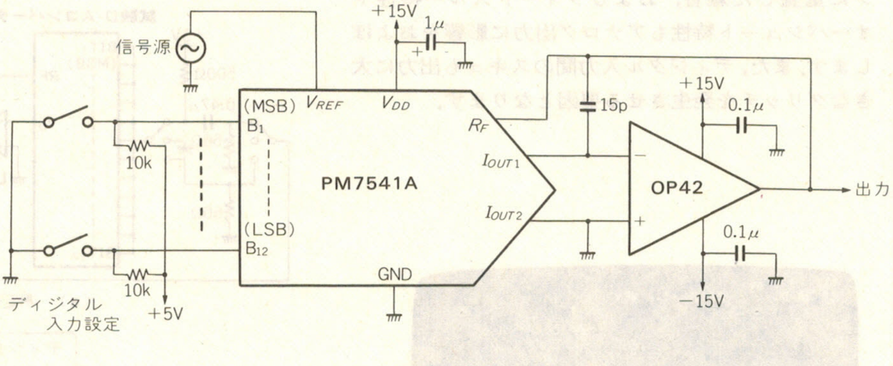
〈図 6-14〉
12 ビット CMOS
D-A コンバータ特性



（a） DC 特性（直線性）



（b） AC 特性（マルチプライング特性）



（c） 測定回路

基準電圧源に対する考慮を！

D-A コンバータを使用するとき，絶対精度を要求しなければ(CRT 出力用など)，基準電圧を電源電圧から得ることができます．

逆に，12 ビット以上のコンバータで，絶対精度が重要である場合は，基準電圧源の精度(特にドリフト)に注意を要します．100ppm/°Cの温度係数を有するツェナ・ダイオードは，2.5°Cで 12 ビットの 1LSB 分の誤差を生じさせます．したがって，必要とする精度，および周囲温度変動を考慮して，適切な基準電圧源を選択することが重要になってきます．

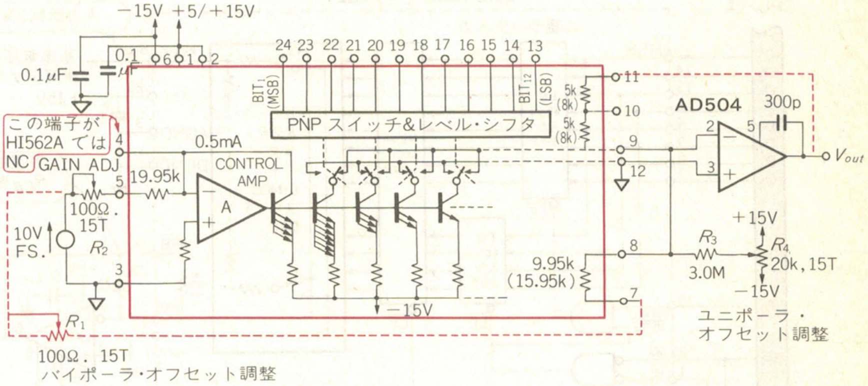
ツェナ・ダイオードや基準電圧用 IC などで，経時ドリフト規定のないものが多いようですが，これらは実際にかなり大きな経時ドリフトをもっていると考えるべきです．初期エージングが，これら経時特性軽減に有効です．

同一型番はほんとにセカンド・ソースか

セカンド・ソースとして同一型番をとりながら，ピン機能が多少異なるものがあります．また，ピン配置は全く同じでも，特性上に差異が認められるものもあります．特に，AC 特性に相当の差があるものが現実にあります．

これは，同一型番であってもメーカにより，内部構成が違っていたり，プロセスが異なるためです．ピン配置は同じでも一度差し換えて，十分に互換性を確認することが重要です．

〈図 6〉
562 タイプの
内部ブロック図



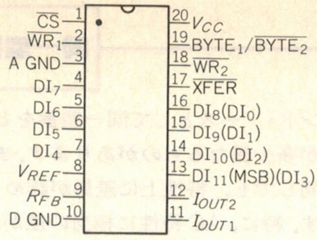
〈表 4〉
12 ビット・バイポーラ
D-A コンバータ(562
タイプ)の特性比較

規定なきは(TYP)

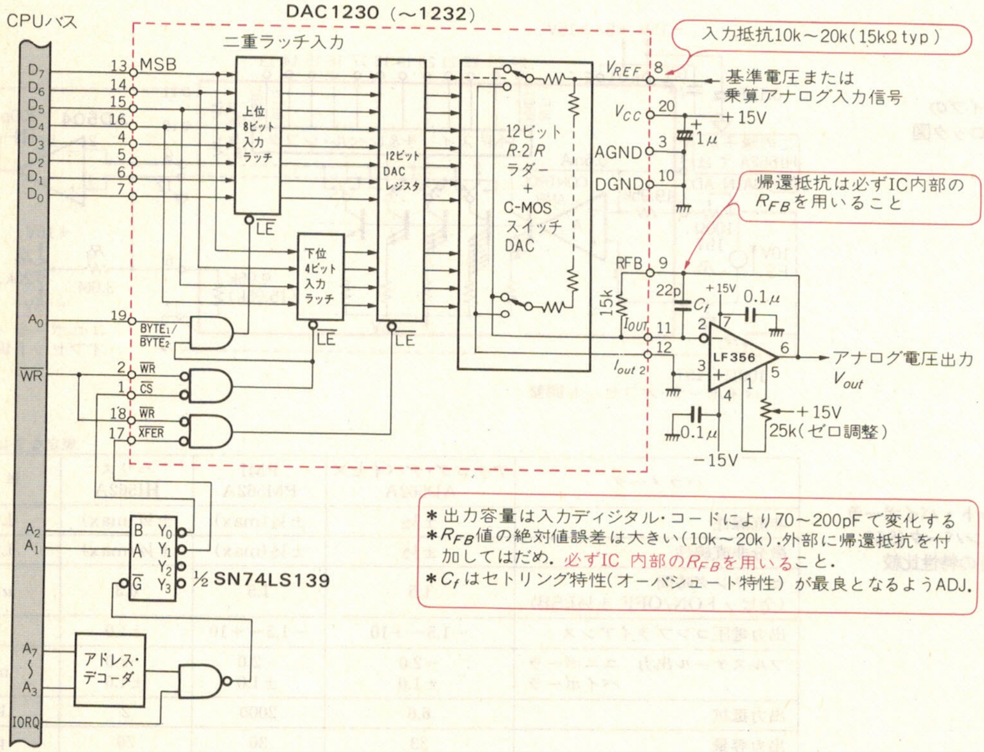
パラメータ	アナログ・デバイセズ AD562A	PMI PM562A	ハリス HI562A	単位
非直線性	±½	±¼(max)	±¼(max)	LSB
微分非直線性	±½	±½(max)	±¼(max)	LSB
セトリング時間 (全ビットON/OFF ±½LSB)	1.5	1.5	0.3	μsec
出力電圧コンプライアンス	−1.5～+10	−1.5～+10	±1.0	V
フルスケール出力 ユニポーラ / バイポーラ	−2.0 / ±1.0	−2.0 / ±1.0	−2.0 / ±1.0	mA
出力抵抗	6.6	2000	2	kΩ
出力容量	33	30	20	pF
基準入力抵抗	20	20	19.95	kΩ
ゲイン誤差	±0.2	±0.2	±0.024	%FSR
電源変動 V_p^+ / V_p^-	±2(max) / ±6(max)	±2(max) / ±6(max)	±0.5 / ±0.5	ppm of FSR/%Vp
電源電流 V_p^+ / V_p^-	15 / 20	5 / 7	8 / 16	mA / mA
ゲイン・ドリフト	±5(max)	±5(max)	±6	ppm of FSR/℃

新しく見つめなおしたトランジスタ技術
トランジスタ技術 SPECIAL
No.1 基礎からマスタするダイオード，トランジスタ，FETの実用回路技術
特集 個別半導体素子 活用法のすべて
CQ出版社
2色刷
B5判 168頁
定価 1,540円

〈図6-15〉
DAC1230/1231/1232の端子配置と基本接続例



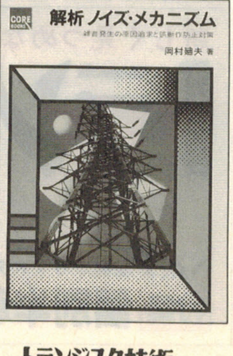
(a) 端子配置



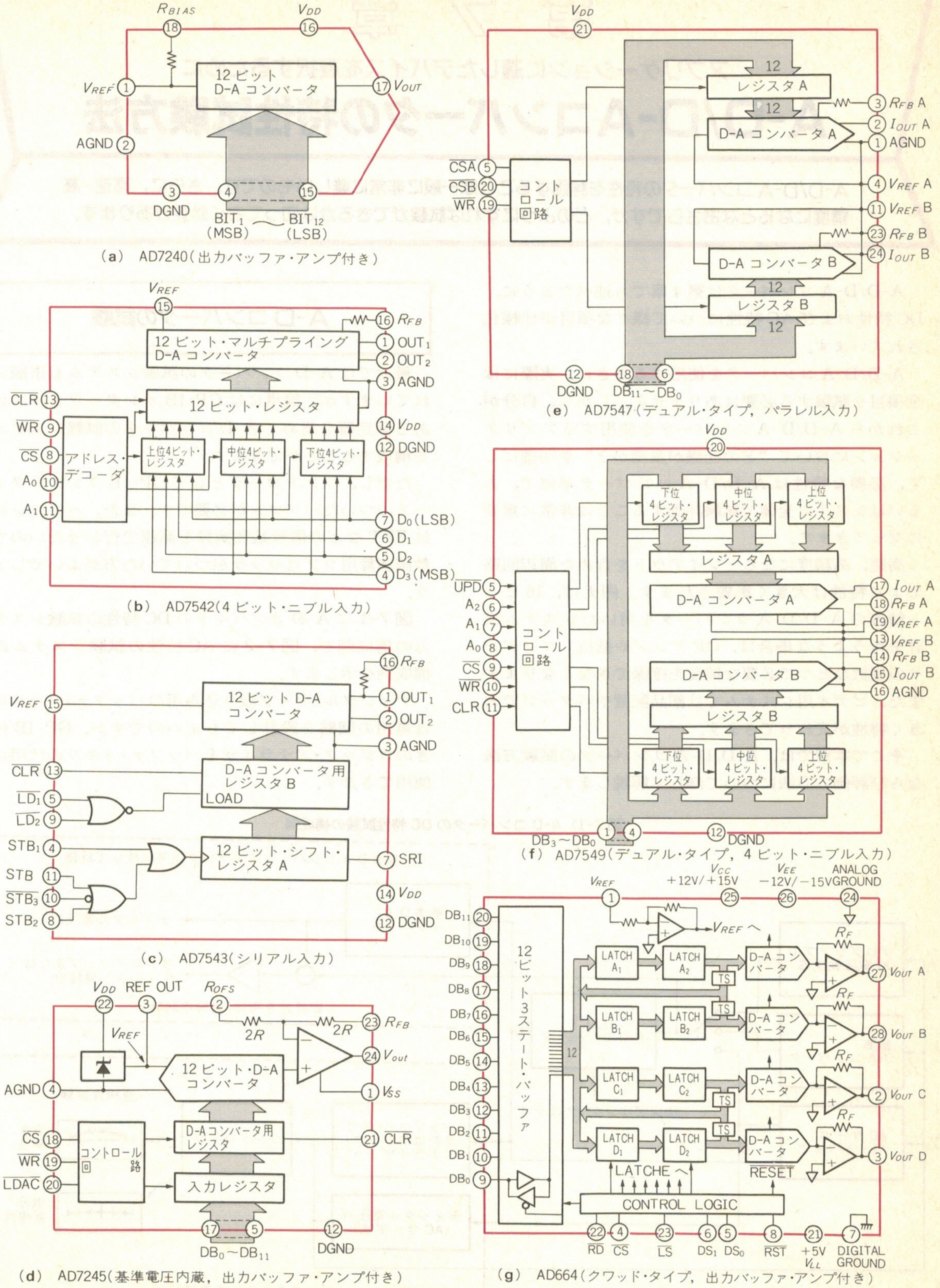
(b) 内部ブロックと基本回路接続

は様々な種類がありますが，アナログ・デバイセズ社のD-Aコンバータ・ファミリの中から選んだものを図6-16に示します．

出力バッファ・アンプを内蔵したAD7240，ディジタル・コードをシリアル入力にしたAD7543，基準電圧源と出力バッファ・アンプをワンチップ化したAD7245，2組のD-Aコンバータをワンチップ化したAD7547，さらに4組のD-Aコンバータを出力アンプ付きでしかもCPUバス・インターフェース回路まで内蔵したAD664などがあります．

CORE BOOKS
CQ出版社
解析ノイズ・メカニズム
雑音発生の原因追求と誤動作防止対策
岡村廸夫 著
A5判　356頁
定価　1,960円
「OPアンプ回路の設計」「解析ディジタル回路」などでおなじみの著者が，永遠のテーマともいわれているノイズを理論的に追求・解析，実用的に解説した待望の書籍です．


〈図 6-16〉 12 ビット CMOS D-A コンバータ・ファミリ



(a) AD7240(出力バッファ・アンプ付き)

(b) AD7542(4 ビット・ニブル入力)

(c) AD7543(シリアル入力)

(d) AD7245(基準電圧内蔵, 出力バッファ・アンプ付き)

(e) AD7547(デュアル・タイプ, パラレル入力)

(f) AD7549(デュアル・タイプ, 4 ビット・ニブル入力)

(g) AD664(クワッド・タイプ, 出力バッファ・アンプ付き)

第7章

アプリケーションに適したデバイスを選択するために

A-D/D-Aコンバータの特性試験方法

A-D/D-Aコンバータの特性を評価することは一般に非常に難しいものです．さらに，高速・高精度になるとなおさらですが，どのようにすれば試験ができるかは知っておく必要があります．

A-D/D-Aコンバータは第4章でも述べたように，DC特性およびAC特性について様々な項目が仕様化されています．

A-D/D-Aコンバータを使用するときに，実際には全項目を試験する必要はありません．しかし，自分がこれからA-D/D-Aコンバータを使用するアプリケーションにおいて“どの仕様が重要か？”を明確にして，必要な特性はA-D/D-Aコンバータ単体で，あるいはシステム全体で試験評価することは非常に重要になってきます．

高速，高精度になるとレイアウトを含めた周辺回路により特性は大きく影響されます．例えば，16ビット精度のA-D/D-Aコンバータを用いたシステム設計を行うような場合は，OPアンプや抵抗，コンデンサの選択ひとつで必要な精度を確保できなくなります．また，ビデオ用システムでは部品配置やパターンで大きく特性が変わってきます．

そこで本章では，A-D/D-Aコンバータの試験方法ならび評価の方法について詳しく解説します．

A-Dコンバータの試験

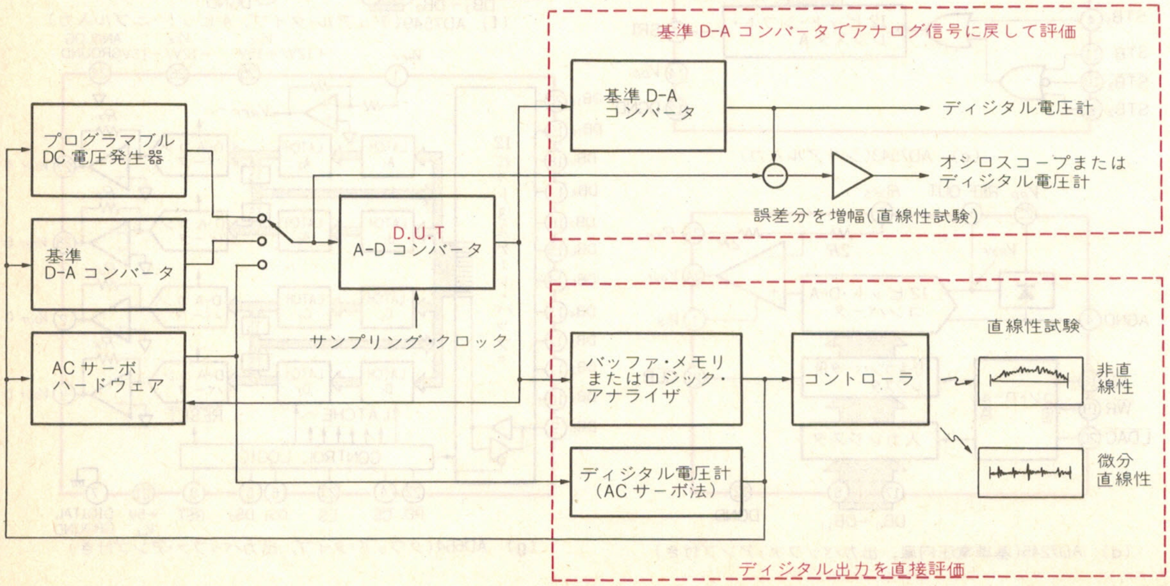
最近ではA-Dコンバータの試験システムも市販されていますが，簡単にはGP-IBインターフェースのある測定器を集めてA-Dコンバータの試験システムを構成することができます．

ただし，コントローラとしてGP-IBインターフェースのついたパソコンが必要です．また，パソコンにはFFTなどの信号処理演算を高速で行わせたいので，数値演算用コプロセッサがついていた方がよいでしょう．

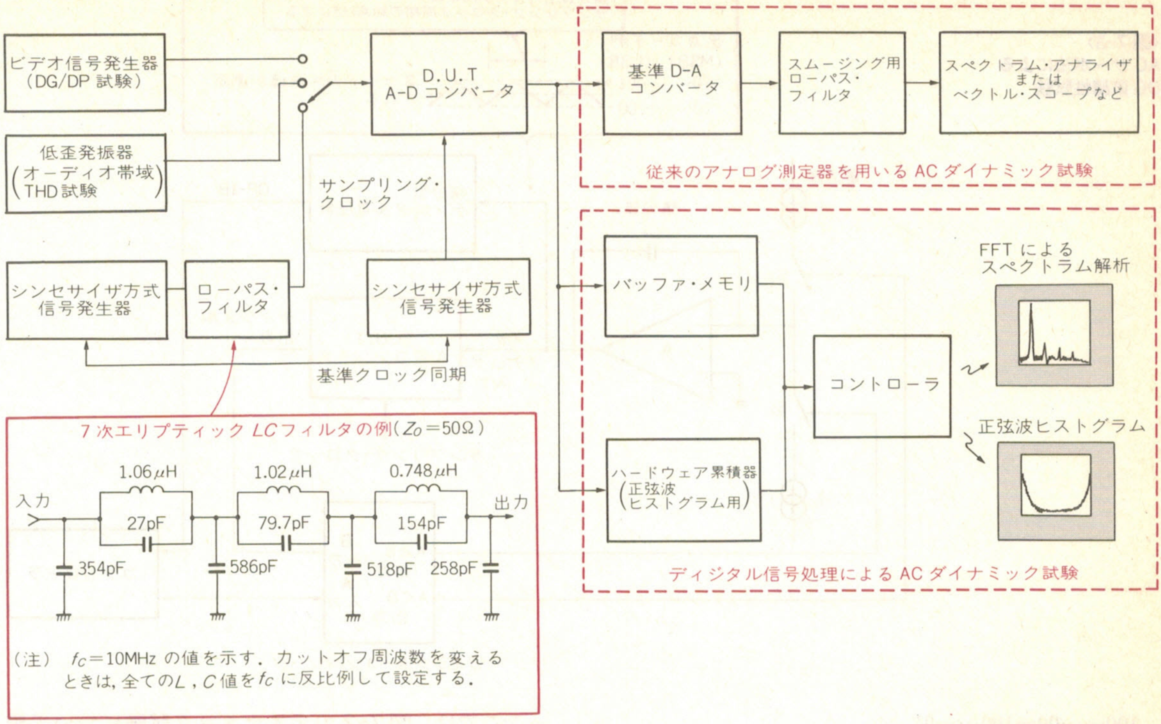
図7-1にA-DコンバータのDC特性の試験システムの構成例を，図7-2にAC特性の試験システムの構成例を示します．

ディジタル・データ取り込み用のバッファ・メモリには専用の回路を設計してもよいのですが，GP-IB付きのロジック・アナライザをバッファ・メモリの代用に使用できます．

〈図7-1〉 A-DコンバータのDC特性試験の構成例



〈図 7-2〉 A-D コンバータの AC ダイナミック試験の構成例



DC 信号源には，高精度 D-A コンバータをコントローラで制御して用いるか，または GP-IB 付き DC 電圧発生器を用意する必要があります．

AC 信号源には，シンセサイザ方式の正弦波発生器が必要です．ただし，信号源として必要な純度が不足する場合には，信号源と試験デバイス(D.U.T)間に不要な信号成分を取り除くためにローパス・フィルタを付加します．

● **DC 特性の試験法**

A-D コンバータの主な DC 特性の試験項目は，オフセット誤差/ゲイン誤差および直線性誤差です．

図 7-1 示す構成で試験することができます．アナログ入力信号源として基準 D-A コンバータと DC 電圧源が必要ですが，これらの信号源の精度は測ろうとするデバイスより約 10 倍または 4 ビット程度精度のよいものが必要になります．

▶ 直線性試験

直線性の試験は，入力 DC 電圧を細かく増やして行き，A-D コンバータの各コードの遷移点電圧を求めるのが最も正しい方法です．

このため，高ビットの A-D コンバータの全コードについて遷移点電圧を調べて DC 直線性を評価するには，測定時間が非常に長くかかります．

一般的には，12 ビット以上の A-D コンバータでは，上位 6～8 ビット分の直線性評価を行う場合が多いようです．

▶ AC サーボ法による直線性試験

DC 直線性を試験する方法としては，**図 7-3** に示す AC サーボ法がよく用いられます．

AC サーボ法は，入力信号源として高精度電圧源や基準 D-A コンバータはいりませんが，その代わりスイッチ付き電流源＋積分器＋ディジタル・コンパレータ回路などが必要です．また，測定器として積分型高精度ディジタル電圧計が必要です．

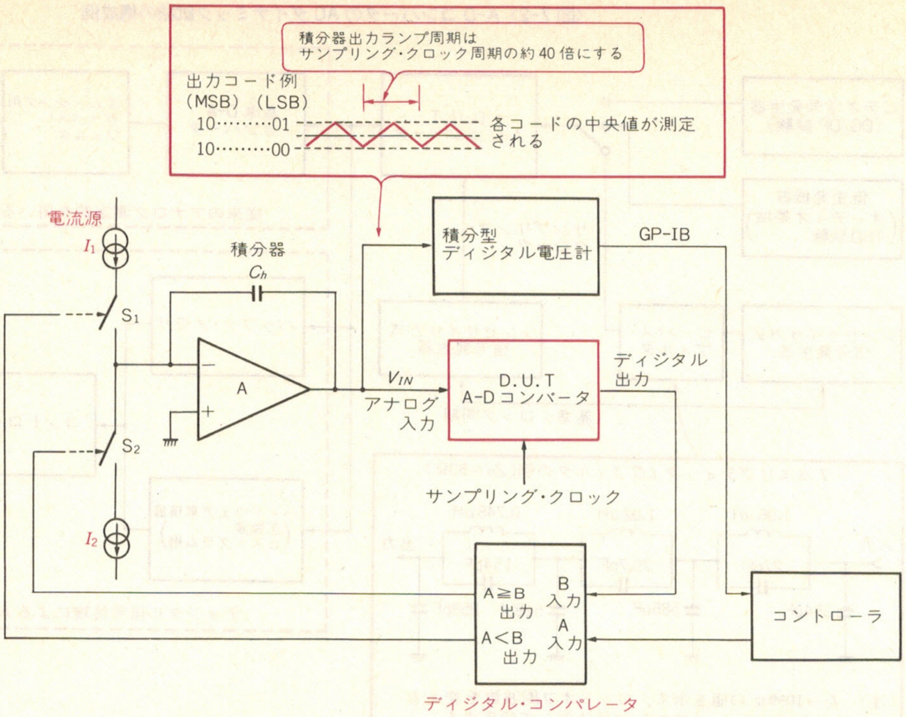
さて，AC サーボ法の原理ですが，この方法は電圧を印加してそのときのディジタル・コードをチェックするのではなく，AC サーボ回路にコントローラによってディジタル・コードを設定すると，A-D コンバータを含む AC サーボ回路が，設定したディジタル・コードに A-D コンバータのディジタル出力が等しくなるように系が働きます．そして，系が収束したときの A-D コンバータの入力電圧をディジタル電圧計で読み取ります．

例えば，コントローラより 100…00 というコードをコンパレータの A 入力に設定します．コンパレータ B 入力へは A-D コンバータのディジタル出力がつながれています．コンパレータ出力が A>B のときは電流源 I_1 が OFF し，I_2 が ON します．

その結果，積分器からの出力である A-D コンバータの入力電圧 V_{IN} が上昇します．そして，A<B になると I_1 が ON，I_2 が OFF となり V_{IN} が減少します．

すなわち，A-D コンバータのディジタル出力が

〈図 7-3〉
AC サーボ法による
DC 直線性試験



100……00↔100……01

の間を交互に繰り返すように電流源 I_1, I_2 が交互に ON/OFF を繰り返します．

ただし，AC サーボ法では測定しようとする A-D コンバータに，ミス・コードや非単調性があると正確な測定ができなくなります．

● AC 特性の試験法

一般に，A-D コンバータの AC 特性試験は，すべての項目を調べる必要はなく，使用するアプリケーションを満足する項目のみ測定するのが普通です．

例えば，ディジタル・オーディオの分野では全高調波ひずみ率やノイズ特性が，ビデオの分野では DG/DP 特性が精度として要求されるでしょう．

現在，最もよく用いられる A-D コンバータの AC 特性試験方法は，

① FFT 演算を基本するスペクトラム解析(ひずみ，*THD*，スプリアス，SN 比，有効ビットなどがスペクトラムの測定結果より評価できる)

②正弦波ヒストグラム法(正弦波の確率密度を基にダイナミック直線性，ミス・コードを評価できる)

のふたつです．以前は，A-D コンバータの出力に高精度の D-A コンバータを接続して再びアナログ信号に変換し，アナログ測定器により AC 特性を評価する方法が一般的でした．

最近では A-D コンバータのディジタル出力をディジタル信号処理によりすべてディジタル的に評価する方法に変わってきています．

ここでは，図 7-2 のダイナミック試験について説明します．

▶ FFT によるスペクトラム解析

FFT によるスペクトラム解析を行う場合の信号源には純度の高い正弦波が必要です．また，ディジタル信号による解析では，サンプリング・クロック周波数 F_{sample} と信号源周波数 F_{sig} が，

$$F_{sig}=\frac{F_{sample}}{N}\times I$$

N：サンプル・ポイント数，　I：整数

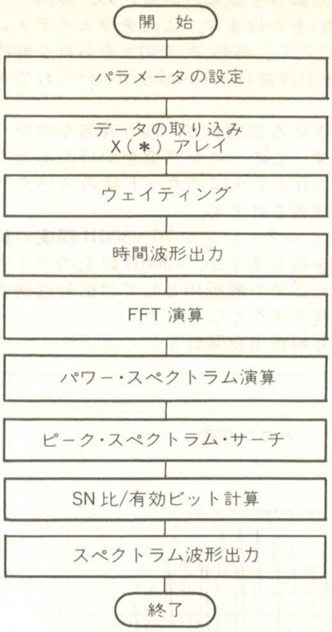
に同期していると大変便利であり，高精度な測定が可能になります(コラム参照)．

このため，サンプリング・クロック用および信号源用としては，シンセサイザ方式の信号発生器が適しています．

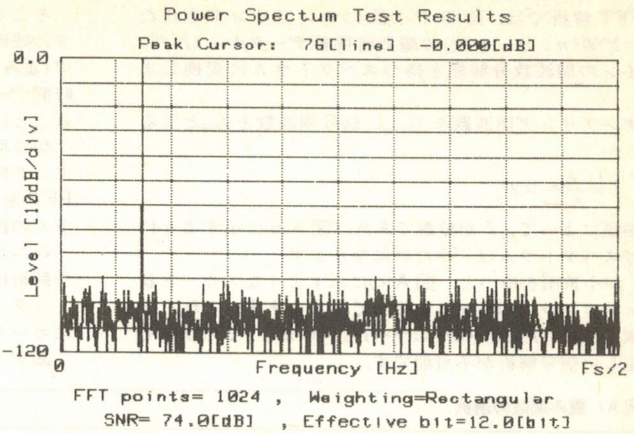
シンセサイザ方式の信号源は高調波ひずみが大きいため，ローパス・フィルタを信号源出力に付加します．図 7-2 に 7 次エリプティック特性をもった *LC* 型ローパス・フィルタの実例を示しました．このローパス・フィルタは，カットオフ周波数の約 1.5 倍以上の周波数で 70dB 以上の減衰特性を示します．

100dB 以上のダイナミック特性が要求されるディジタル・オーディオ用 A-D コンバータの試験信号には，ひずみ以外にも帯域内雑音をかなり抑える必要があるため，市販されている超低ひずみ発振器(*CR* 発振型)を使って最適なウェイティング関数を選択するのがよいと思います．

〈図7-4〉 FFT によるスペクトラム試験フローチャート



〈図7-5〉 リスト7-1のプログラムによる試験例（12ビット理想量子化）



▶ FFT 試験用 BASIC プログラム

バッファ・メモリに取り込んだ A-D コンバータからのディジタル出力信号は，GP-IB などを介してコントローラ内のメモリへブロック転送されますが，コントローラ内での FFT 演算をベースとする AC 試験フローチャートを**図7-4**に示します．また，この処理プログラムを**リスト7-1**（章末参照）に示します．ここで使用したコントローラはヒューレット・パッカード社のシリーズ200型デスクトップ・コンピュータで，BASIC によりプログラムしています（数値演算用コプロセッサを内蔵）．

信号処理の都合上，データ・ポイント数 N は任意数ではなく 2^n 個（n：ビット数）とします．データ・ポイント数を多く取れば解析周波数の分解能は向上しますが処理時間の増加を伴います．

一般的な解析では，8ビット A-D コンバータの評価で512ポイント程度，12ビットで1024ポイント程度，16ビット A-D コンバータでは2048ポイント程度を目安とするのがよいでしょう．

本プログラムでは，X（＊）アレイにデータを入力します．**リスト7-1**では試験信号を X（＊）アレイに生成しています．

取り込んだ時間データにウェイティング関数をかけます（コラム参照）．ここでは Rect（方形波窓），Hann（ハニング窓），ブラックマン・ハリス窓，ローゼンフィールド窓のいずれかを選択できます．

ウェイティング関数をかけた後に FFT 演算を行いますが，ここに示す FFT サブプログラムは N 個の複素数データ X（＊），Y（＊）入力に対して周波数間引き型 FFT 演算を行っています．

A-D コンバータ出力は，リアル・タイム・データだけですので Y（＊）アレイはすべてゼロとして入力します．

FFT 演算出力は X（＊），Y（＊）アレイに複素数データとして出力されます．N ポイント・データを FFT して得られるスペクトラムは $N/2$ ラインです．このため X(I)，Y(I) は $I=1\sim N/2$ の範囲の出力データが有効です．$I=(N/2+1)\sim N$ の範囲の X(I)，Y(I) データは $I=1\sim N/2$ データの折り返しデータが入っています．

パワー・スペクトラム・サブルーチンでは，$I=1\sim N/2$ 範囲で

$$\sqrt{X(I)^2+Y(I)^2}$$

を計算してパワー・スペクトラムを求めています．

その他にピーク・スペクトラム・サーチおよび SN 比演算用サブプログラムを介して，グラフィック出力します．

図7-5は本プログラムを用い，試験信号として正弦波を発生させて12ビットの理想量子化を行ったあと，FFT 解析した結果です．スペクトラム上の雑音は12ビットの量子化雑音です．

▶ SN 比，有効ビット演算

A-D コンバータの AC ダイナミック特性評価として SN 比，有効ビットがよく用いられます．これはパワー・スペクトラムの結果から簡単に求めることができます．

SN 比は信号（Signal）と雑音（Noise）の比ですから，

$$\text{SN 比}=20\log\frac{E_{signal}}{E_{noise}}\ \text{〔dB〕}$$

窓関数の選択

FFT 解析では，時間 T の間にサンプリングされた $N=2^n$個(n：ビット数)の離散時間軸データから($N/2$)ラインの周波数分解能を持つスペクトラムに変換します．

サンプリング周波数を f_{samp}，信号周波数を f_{sig}とすると，

$$I=\frac{f_{sig}}{f_{samp}}\times 2^n$$

の関係によって，I が整数であれば図A(b)に示すように信号スペクトラムは一本だけになります．

I が小数項を持つと，図A(c)に示すようなスカート状のスペクトラムの拡がりを生じてしまいます．これを切り取り誤差(リーケージ・エラー)といいます．この状態では正しい信号解析が不可能です．

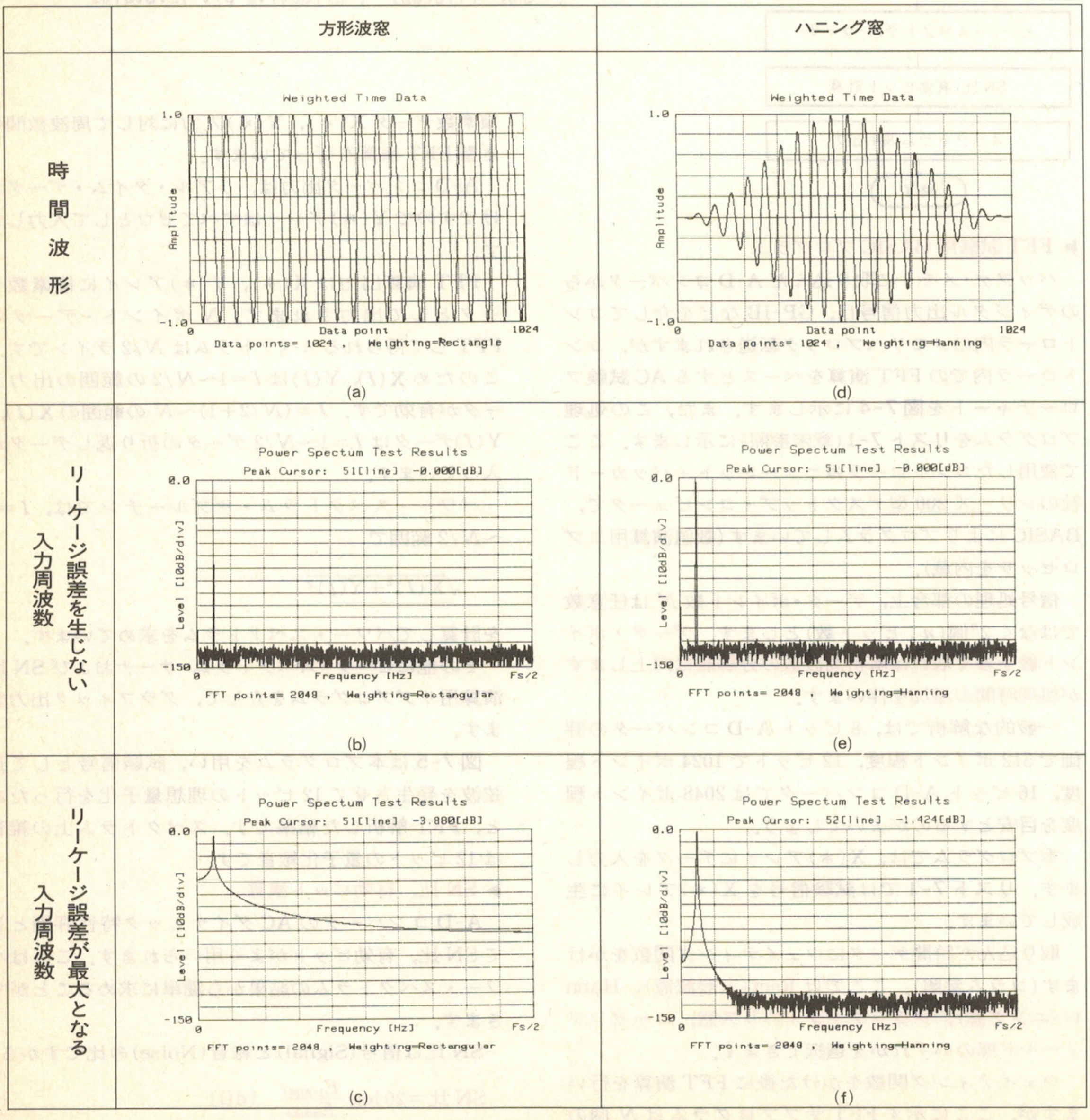
そこで切り取り誤差の影響を低減させるため，時間データに特殊な関数(窓関数)をかけます．これをウェイティング(重み)といいます．ただし，時間 T で切り取られた離散時間データは，すでに方形波窓(Rectangle)がかけられていることになります．

切り取り誤差を低減させる窓関数で，最も有名なのがハニング窓(Hanning)です．このハニング窓をかけたあとでFFT を行うと図A(f)に示すようにスカート状のスペクトラムの拡がりは大幅に改善されます．

ハニング窓はダイナミック・レンジ70～80dB程度の信号解析には十分な特性を持ちますが，100dB以上のダイナミック・レンジをもった信号の解析用としては信号近傍のスカートの拡がりを無視できなくなります．

高ダイナミックな信号解析用窓関数としてはブラックマ

〈図A〉 重み関数の選択



ン・ハリス窓(Blackman-Harris)がよく用いられます．図A(i)に示すように，ハニング窓に比べて高ダイナミック信号に対する切り取り誤差は大きく改善されています．

最近(1986年)発表された窓関数に，ローゼンフィールド窓(Rosenfield)というのがあります．かなりブラックマン・ハリス窓に近い特性を持っていますが，図A(l)に示すようにサイド・ローブ特性に違いが見られます．この新しい窓関数もすでに一部のメーカでは高ビットのA-Dコンバータの評価用に用いられています．

FFTによりスペクトラム解析するとき，同一レベルの信号を入力しても周波数によりレベルが変動します．そして，レベル変動値は使用する窓関数によっても変化します．例えば，

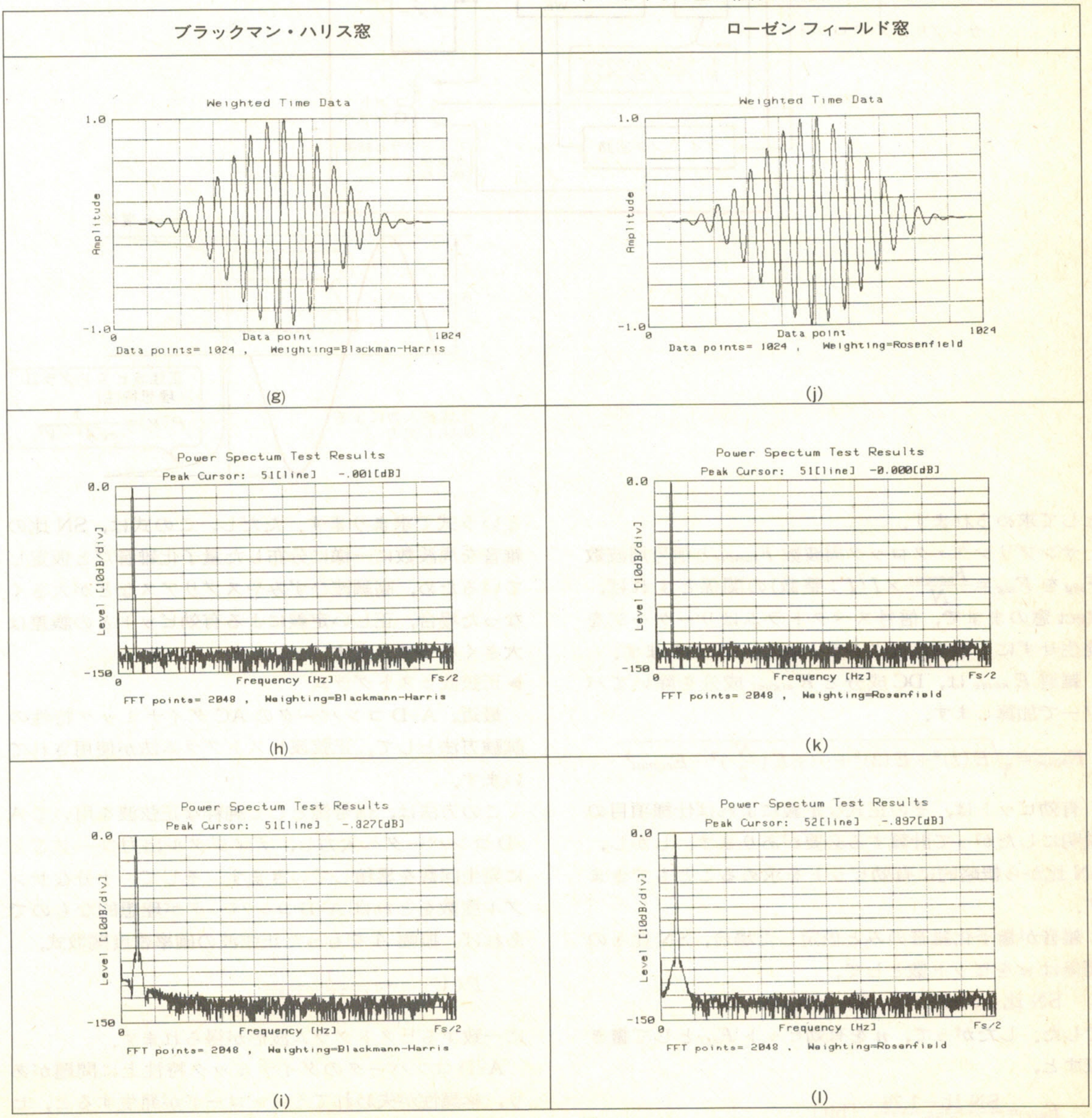
$$f_{sig}=\frac{f_{samp}}{2^n}\times I$$

で I が整数であるとき，信号レベルは正しく読み取れます．I が小数項が持つと測定レベルは低下し，I が0.5の小数項を持つとき，最も大きなレベル誤差を生じます．

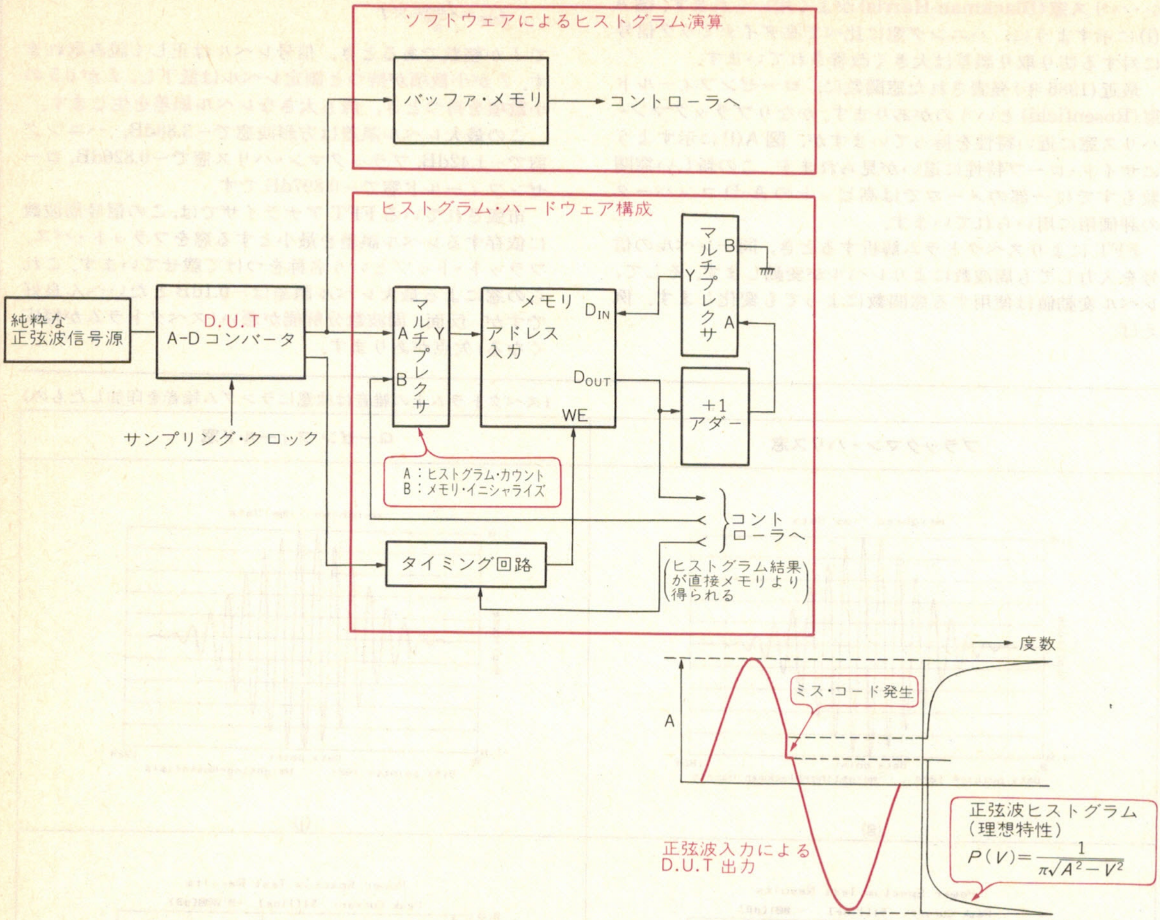
この最大レベル誤差は方形波窓で−3.88dB，ハニング窓で−1.42dB，ブラックマン・ハリス窓で−0.826dB，ローゼンフィールド窓で−0.897dBです．

市販されているFFTアナライザでは，この信号周波数に依存するレベル誤差を最小とする窓をフラット・パス，フラット・トップという名称をつけて載せています．これらの窓による最大レベル誤差は−0.1dBとたいへん良好ですが，反面，周波数分解能が悪い(スペクトラムが幅広くなる)欠点があります．

(スペクトラム上の雑音は故意にランダム雑音を印加したもの)



〈図 7-6〉 正弦波ヒストグラムによる AC ダイナミック特性試験



として求められます．

サンプリング・クロック周波数 F_{sample} と信号周波数 F_{sig} を $F_{sig}=\frac{F_{sample}}{N}\times I$ (I：整数) の関係とすれば，Rect 窓のままで，信号スペクトラムはリーケージを発生せずに 1 本のスペクトラム E_{signal} になります．

雑音 E_{noise} は，DC 成分と E_{signal} 成分を除いてパワーで加算します．

$$E_{noise}=\sqrt{E(2)^2+E(3)^2+\cdots+E(\frac{N}{2})^2-E_{signal}^2}$$

有効ビットは，その正式な定義によれば仕様項目の説明にしたがって計算する必要があります．しかし，SN 比から概略的に有効ビットを求めることもできます．

雑音が量子化雑音のみと仮定した場合，SN 比との関係は n をビット数として，

$$\text{SN 比}=6.02\times n+1.76\ [\text{dB}]$$

でした．したがって，n を有効ビット E_{eff} として書き直すと，

$$E_{eff}=\frac{\text{SN 比}-1.76}{6.02}\quad[\text{bit}]$$

という式で求まります．ただし，この式は，SN 比の雑音を周波数に一様に分布した量子化雑音だと仮定しているため，高調波ひずみやスプリアスなどが大きくなった場合，正しい定義による有効ビットとの誤差は大きくなってきます．

▶正弦波ヒストグラム

最近，A-D コンバータの AC ダイナミック特性の試験方法として，正弦波ヒストグラム法が使用されています．

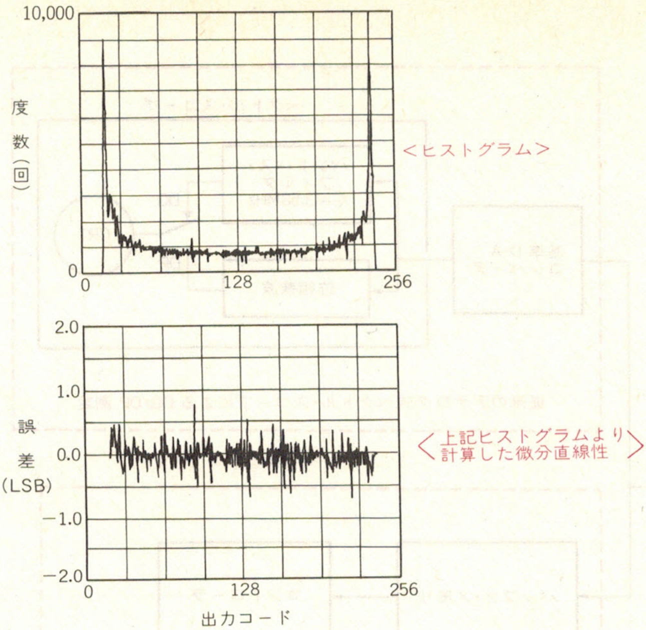
この方法は，信号源として純粋な正弦波を用いて A-D コンバータへ入力し，ディジタル出力コードごとに発生回数を累積していきます．そして，十分なサンプル度数をとれば A-D コンバータが理想的なものであれば，振幅 A をもった正弦波の確率密度関数式，

$$P(V)=\frac{1}{\pi\sqrt{(A^2-V^2)}}$$

に一致するヒストグラム波形が得られます．

A-D コンバータのダイナミック特性上に問題があり，単調性が失われてミス・コードが発生すると，ヒストグラム波形上で，ミス・コードの発生部分の度数

〈図7-7〉 正弦波ヒストグラムによる測定結果例



D.U.T：8ビット 100M サンプル/秒フラッシュ A-D コンバータ

がゼロになり，一目でそのようすがわかります．したがって，ヒストグラムの結果からダイナミックな直線性誤差を計算できます．

ただし，実際にヒストグラム法によって高精度な直線性を得るには膨大なサンプル数が必要です．例えば，8ビットのA-Dコンバータで0.1LSB精度(99％の確率)を得るためには，268kサンプル必要であり，12ビットで0.1LSB精度を得るには，実に4.2Mサンプルものデータが必要になります．

このような膨大なサンプルのディジタル・コードをソフトウェアで処理するには時間がかかりすぎます．したがって，実際には**図7-6**に示したハードウェアによる方法が使われています．

この使用法は，まずデータ累積用メモリをクリアし，A-Dコンバータのディジタル出力が累積用メモリのアドレスをアクセスします．アドレスがアクセスされるとその内容に+1を加算して再度同一アドレスに書き込みます．

必要なサンプル数の累積が終了したら，アドレスを順にアクセスして書き込まれたコードごとに累積数を読み出します．

ヒストグラムの結果から直線性は次のようなプロセスで計算できます．すなわち，ヒストグラム上の左右両端に現れるピークにより正弦波の振幅 A が求まります．

出力コード0からFS/2までの累積度数を N_N，FS/2からFSまでの累積度数を N_P とすると，オフセット電圧 V_O は，

$$V_O=A\frac{\pi}{2}\sin\frac{N_P-N_N}{N_P+N_N}$$

により計算できます．

出力コード0からFSまでの全累積度数を N_t とし，ビット数を n，1LSB電圧を V_{LSB} とすると，理想的なA-Dコンバータのコード i での確率密度 $P(i)$ は，

$$P(i)=\frac{1}{\pi}\left\{\sin^{-1}\left[\frac{(i-2^{(n-1)})\,V_{LSB}-V_O}{A}\right]-\sin^{-1}\left[\frac{(i-1-2^{(n-1)})\,V_{LSB}-V_O}{A}\right]\right\}$$

で計算されます．

実際のA-Dコンバータの出力コード i の度数を $H(i)$ とすると微分直線性 $DN(i)$ は，

$$DN(i)=\frac{H(i)/N_t}{P(i)}-1$$

〔LSB〕

により求められます．

図7-7に8ビット100Mサンプル/secのA-Dコンバータの測定結果例を示します．

▶ DG/DP

ビデオ用A-DコンバータではDG/DP(微分利得/微分位相)を仕様で規定することが要求されます．

例えば，よく知られているようにNTSCコンポジット信号は，輝度信号(Y)に色信号(C)が3.58MHzのカラー・サブキャリア信号により平衡変調され重畳されています．このカラー信号の振幅が色の“彩度”情報を与え，位相(カラー・バースト基準信号に対する位相差)が“色相”情報を与えます．

DGとは，輝度信号により色信号の振幅がどれくらい影響されるかを規定し，DPは輝度信号により色信号の位相がどの程度影響されるかを規定します．

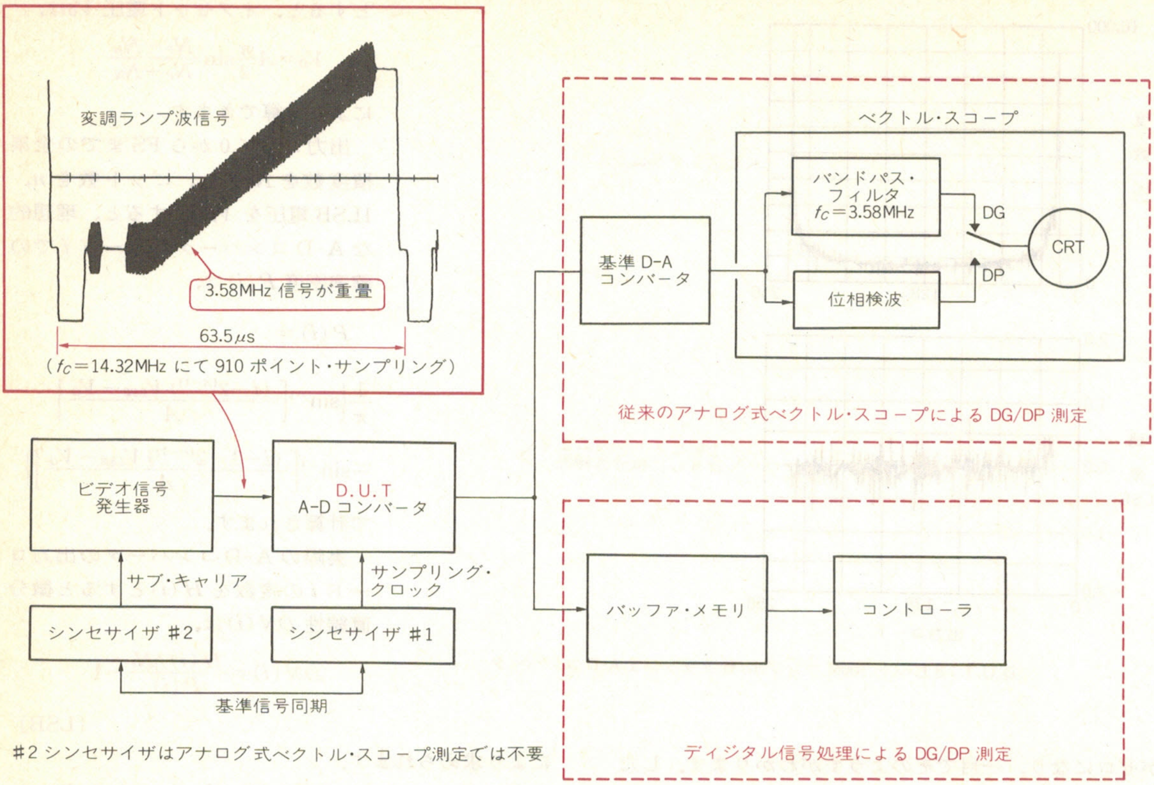
DG/DP試験信号は，**図7-8**に示すように輝度信号(Y)をランプ波または階段波とし，そこに3.58MHzの色信号を小振幅で重畳した合成信号です．

A-Dコンバータのサンプリング・クロックは，通常3.58MHzに同期した14.32MHzを用います．14.32MHzクロックで15.75kHzで繰り返されるDG/DP試験信号をサンプリングすると910ポイントで1周期分のデータを捕らえることになります．

DG/DPの計算はディジタル信号処理により行いますが，次にその計算の例を示します．

910ポイント・データのうち，色信号部分を n ポイ

〈図 7-8〉 A-D コンバータの DG/DP 測定の構成例



#2 シンセサイザはアナログ式ベクトル・スコープ測定では不要

ントごとに m ブロックに分割します．そして，各ブロックごとに 3.58MHz で DFT(ディスクリート・フーリエ変換)演算を行います．

$$X(f)=(A-jB)$$

$$=\sum_{p=a}^{a+n} x(p)\left[\cos\frac{2\pi\times3.58\times10^6\times P}{n}\right.$$

$$\left.-j\sin\frac{2\pi\times3.58\times10^6\times P}{n}\right]$$

$x(p)$：時間軸データ

上式の DFT 演算を m ブロック分行います．そして，各ブロックについて振幅，

$$G_m=\sqrt{A^2+B^2},\ 位相\ P_m=\tan^{-1}\left(\frac{A}{B}\right)$$

により求められます．

D-A コンバータの試験

次に，D-A コンバータの主な試験方法について説明します．

D-A コンバータの主な DC 試験項目は，オフセット電圧，ゲイン誤差および直線性誤差です．

AC 試験としては，セトリング時間，グリッチが基本的な試験項目であり，その他アプリケーションに応じて，*THD*，SN 比，DG/DP などが必要になります．

● DC 特性の試験法

D-A コンバータの DC 試験は図 7-9 に示したような構成により，コントローラからディジタル・コードを入力して D-A コンバータのアナログ出力をディジタル電圧計で測定します．

A-D コンバータと同様に，高ビットの D-A コンバータをディジタル電圧計を用いて直線性試験するには長時間を要します．したがって，12〜16 ビットの D-A コンバータでは上位 6〜8 ビットの直線性のみで済ませる場合もあります．

ディジタル・コードをカウンタで動作させ，基準 D-A コンバータへも同時にディジタル・コードを加え，D.U.T 側の D-A コンバータ出力と，基準 D-A コンバータ出力との差分を増幅すればオシロスコープなどで直接，直線性を観測できます．

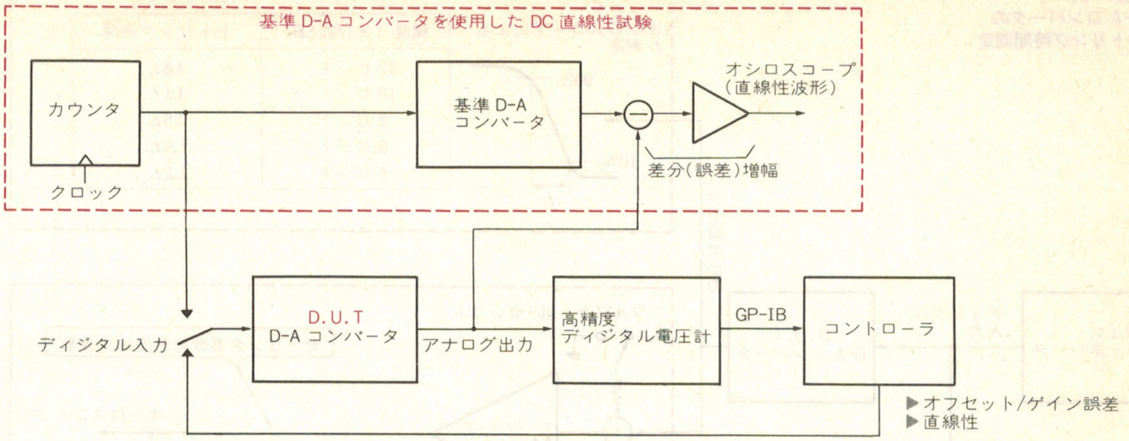
16 ビット以上の高精度 D-A コンバータでは，ウォームアップを十分に行った後に直線性試験を行う必要があります．

● AC 特性の試験法

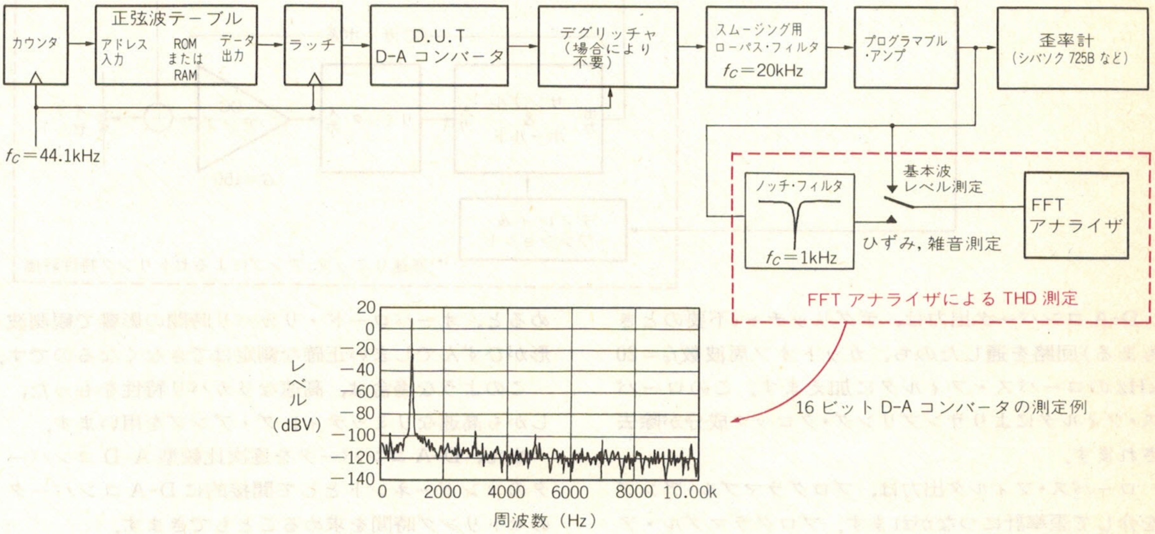
▶全高調波ひずみ率(*THD*)

ディジタル・オーディオ用 D-A コンバータでは *THD* が最も重要な特性です．ディジタル正弦波を D-A コンバータに入力して，アナログ出力に含まれる

〈図 7-9〉 D-A コンバータの DC 特性試験の構成例



〈図 7-10〉 D-A コンバータの *THD* 特性の試験



全高調波ひずみを歪率計により測定します.

D-A コンバータの直線性と, *THD* とは相関があります. 直線性誤差を $E_L(i)$, 量子化誤差を $E_Q(i)$, 基本正弦波信号レベルを E_{rms}とすると, *THD* は,

$$THD=\frac{\varepsilon_{rms}}{E_{rms}}=\frac{\sqrt{\frac{1}{n}\sum_{i=1}^{n}\left[E_L(i)+E_Q(i)\right]^2}}{E_{rms}}\times 100\ [\%]$$

で表すことができます.

THD の評価は, 図 7-10 に示す構成で行うことができます. 正弦波コードを書き込んだメモリ(ROM または RAM)をサンプリング・クロックで再生します. ここで, メモリへ書き込む正弦波には少し注意が必要です. すなわち, メモリ長を $N=2^n$点とすると, このメモリ長で割り切れる m 個のサイン波を書き込むことになります. しかも, できるだけ一様に D-A コンバータのコードを使用するため, m は奇数とするべきです.

今仮に, サンプリング・クロック周波数 $F_{sample}=44.1$kHz で信号周波数 $F_{sig}\approx 1$kHz で $N=1024$ 点のメモリへ書き込むとすると,

$$m\approx\frac{F_{sig}}{F_{sample}}\times N=\frac{1\text{kHz}}{44.1\text{kHz}}\times 1024=23.2199$$

m は整数で, しかも奇数のため $m=23$ になります. すると正確な信号周波数は,

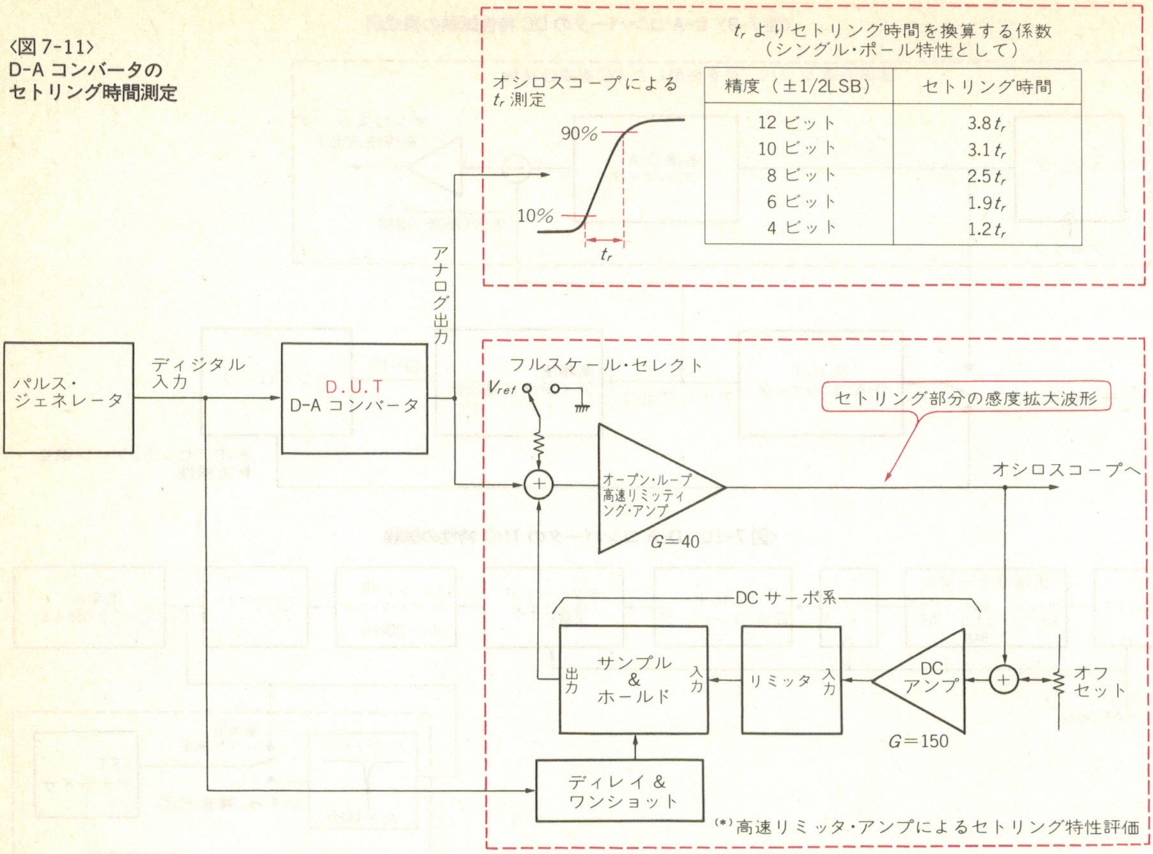
$$F_{sig}=\frac{F_{sample}\times m}{N}=\frac{44.1\text{kHz}\times 23}{1024}$$

$$=990.527343\ [\text{Hz}]$$

になります. 振幅レベルは 0, −20, −40, −60dB of FS の正弦波をそれぞれ用意します.

メモリ出力は, グリッチ要因となるスキュを吸収するため, ラッチでタイミングを取り直したのちに D-A コンバータへ印加します.

〈図 7-11〉
D-A コンバータのセトリング時間測定



D-A コンバータ出力は，デグリッチャ(不要のときもある)回路を通したのち，カットオフ周波数f_c=20 kHz のローパス・フィルタに加えます．このローパス・フィルタによりサンプリング・クロック成分が除去されます．

ローパス・フィルタ出力は，プログラマブル・アンプを介して歪率計につながれます．プログラマブル・アンプは，試験レベルが−20dB〜−60dB of FS のとき，歪率計に必要なレベルを確保するために用いられます．歪率計の代わりにノッチ・フィルタ＋FFT アナライザを用いても同様の測定が行えます．

▶ セトリング時間測定

D-A コンバータのセトリング時間は重要な AC 特性ですが，測定はたいへん難しいものです．

最も簡単なセトリング時間の規定は，D-A コンバータの出力レスポンスが一次特性と仮定して，出力の t_r(10〜90 %)時間より必要精度までのセトリング時間を計算する方法です．

t_r時間とセトリング時間の関係を**図 7-11** に示します．実際にこの方法によって，セトリング時間をデータ・シート上で規定しているメーカもあります．

オシロスコープなどを用いてセトリング時間を直接観測することはできません．というのは，セトリング部分を高精度に見るため，オシロスコープの感度を高めると，オーバロード・リカバリ時間の影響で観測波形がひずんでしまい正確な測定はできなくなるのです．

このような場合は，高速なリカバリ特性をもった，しかも高速なリミッティング・アンプを用います．

また，D-A コンバータを逐次比較型 A-D コンバータのコンポーネントとして間接的に D-A コンバータのセトリング時間を求めることもできます．

例えば，**図 7-12** に示す逐次比較型 A-D コンバータにおいて，Am2504 逐次比較ロジック部でのディレイは 25ns，コンパレータ部でのディレイは 20ns です．逐次比較クロック周波数を f_cとすると D-A コンバータでのセトリング時間 t_sは，

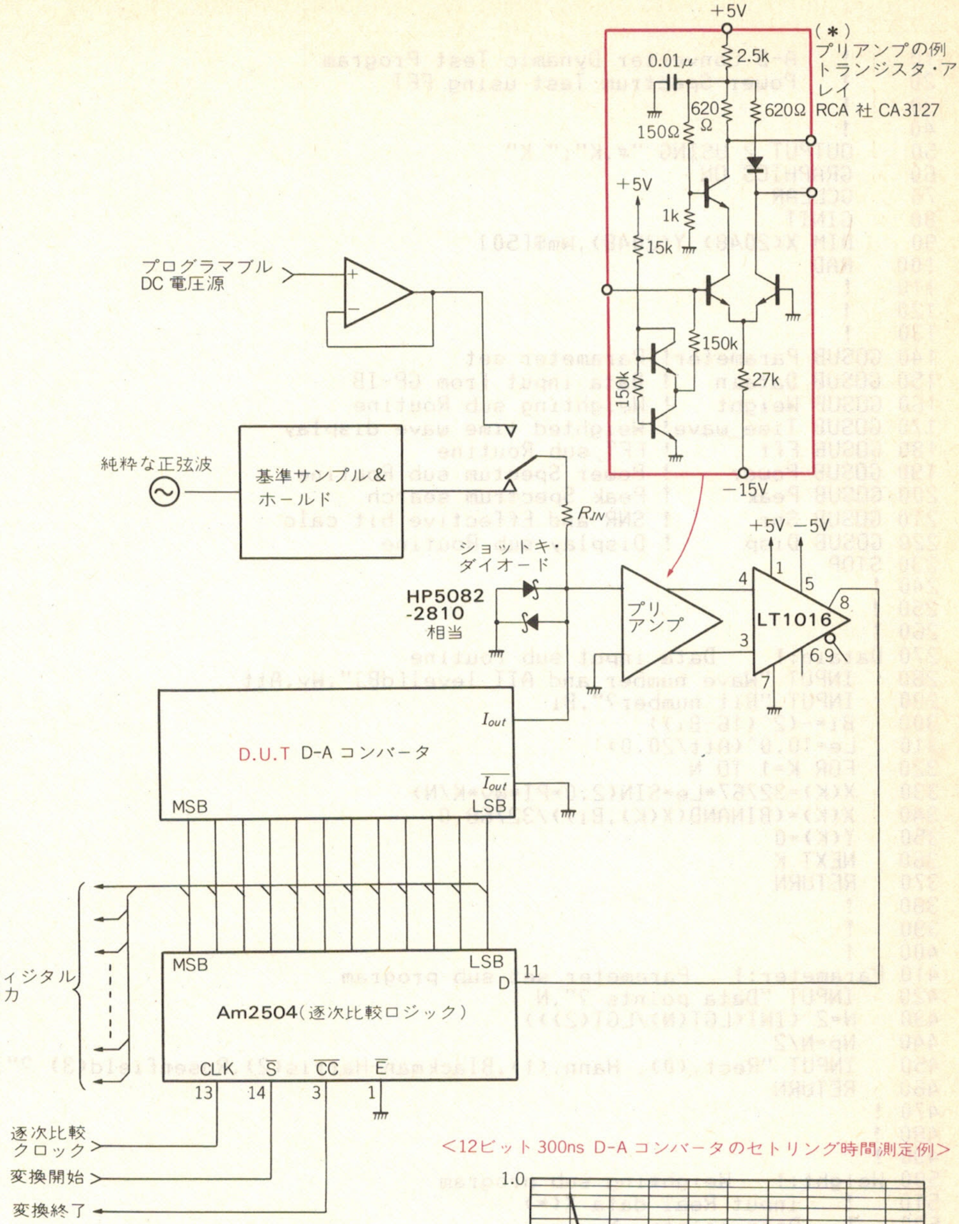
$$t_s=\frac{1}{f_c}-45\,(\mathrm{ns})$$

となります．クロック周波数 f_cを高くしていくと D-A コンバータのセトリング時間が不十分になり，A-D コンバータとしての精度が低下していきます．

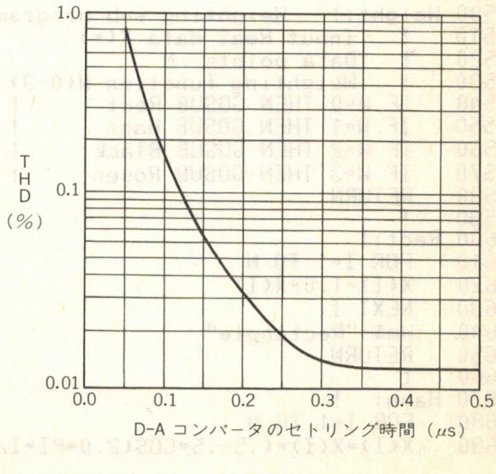
信号源として DC 電圧の他に，基準サンプル&ホールドを用いて純粋な正弦波を入力し，A-D コンバータ出力で観測される *THD* を，逐次クロック周波数の関数としてプロットしていくと間接的に D-A コンバータのセトリング時間がわかります．

図 7-12 に 12 ビット 300ns(カタログ・スペック)D-A コンバータをこの方法で試験した一例を示します．

〈図 7-12〉
逐次比較法による D-A コンバータの セトリング時間測定



＜12ビット 300ns D-A コンバータのセトリング時間測定例＞



〈リスト 7-1〉 FFT 解析プログラム・リスト

```
10    !   A-D Converter Dynamic Test Program
20    !   Power Spectrum Test using FFT
30    !
40    !
50    OUTPUT 2 USING "#,K";" K"
60    GRAPHICS ON
70    GCLEAR
80    GINIT
90    DIM X(2048),Y(2048),Wm$[50]
100   RAD
110   !
120   !
130   !
140 GOSUB Parameter! Parameter set
150 GOSUB Datain    ! Data input from GP-IB
160 GOSUB Weight    ! Weighting sub Routine
170 GOSUB Time_wave! Weighted time wave display
180 GOSUB Fft       ! FFT sub Routine
190 GOSUB Power     ! Power Spectum sub Routine
200 GOSUB Peak      ! Peak Spectrum search
210 GOSUB Snr       ! SNR and Effective bit calc
220 GOSUB Disp      ! Display sub Routine
230 STOP
240 !
250 !
260 !
270 Datain:!    Data input sub routine
280   INPUT "Wave number and ATT level[dB]",Wv,Att
290   INPUT "Bit number?",Bi
300   Bi=-(2^(16-Bi))
310   Le=10.0^(Att/20.0)
320   FOR K=1 TO N
330   X(K)=32767*Le*SIN(2.0*PI*Wv*K/N)
340   X(K)=(BINAND(X(K),Bi))/32768.0
350   Y(K)=0
360   NEXT K
370   RETURN
380   !
390   !
400   !
410 Parameter:!   Parameter set sub program
420   INPUT "Data points ?",N
430   N=2^(INT(LGT(N)/LGT(2)))
440   Np=N/2
450   INPUT "Rect.(0), Hann.(1),Blackman-Harris(2),Rosenfield(3) ?",W
460   RETURN
470 !
480 !
490 !
500 Weight:!   Weighting sub program
510   !   input Real data X(*)
520   !   Data points  N
530   !   Weighting function W(0-3)
540   IF W=0 THEN GOSUB Rect        !  Rect
550   IF W=1 THEN GOSUB Hann        !  Hannig
560   IF W=2 THEN GOSUB Black       !  Blackman-harris
570   IF W=3 THEN GOSUB Rosen       !  Rosenfield
580   RETURN
590   !
600 Rect:!
610   FOR I=1 TO N
620   X(I)=1.0*X(I)
630   NEXT I
640   Wm$="Rectangle"
650   RETURN
660   !
670 Hann:  !
680   FOR I=1 TO N
690   X(I)=X(I)*(.5-.5*COS(2.0*PI*I/N))
```

```
700   NEXT I
710   Wm$="Hanning"
720   RETURN
730   !
740 Black:  !
750   FOR I=1 TO N
760   X(I)=X(I)*(.35875-.48829*COS(2.0*PI*I/N)+.14128*COS(2.0*PI*2.0*I/N)-.01168
      *COS(2.0*PI*3.0*I/N))
770   NEXT I
780   Wm$="Blackman-Harris"
790   RETURN
800   !
810 Rosen:  !
820   FOR I=1 TO N
830   X(I)=X(I)*(.762-COS(2.0*PI*I/N)+.238*COS(4.0*PI*I/N))/2.0
840   NEXT I
850   Wm$="Rosenfield"
860   RETURN
870   !
880   !
890   !
900 Fft:!   FFT sub program
910   !  input & output dataX(*)---Real Part
920   !  input & output data Y(*)---Imag Part
930   !  Data points N
940   L=LOG(N)/LOG(2)
950   L1=N
960   S1=2.0*PI/N
970   FOR L6=1 TO L
980   L2=L1
990   L1=L1/2.0
1000  A2=0
1010  FOR L3=1 TO L1
1020  C=COS(A2)
1030  S=SIN(-A2)
1040  A2=A2+S1
1050  FOR L4=L2 TO N STEP L2
1060  J1=L4-L2+L3
1070  J2=J1+L1
1080  T1=X(J1)-X(J2)
1090  T2=Y(J1)-Y(J2)
1100  X(J1)=X(J1)+X(J2)
1110  Y(J1)=Y(J1)+Y(J2)
1120  X(J2)=C*T1+S*T2
1130  Y(J2)=C*T2-S*T1
1140  NEXT L4
1150  NEXT L3
1160  S1=2.0*S1
1170  NEXT L6
1180  !
1190  ! bit reverse part
1200  J=1
1210  N2=N/2.0
1220  N3=N-1
1230  FOR I=1 TO N3
1240  IF I>=J THEN GOTO 1310
1250  T1=X(J)
1260  T2=Y(J)
1270  X(J)=X(I)
1280  Y(J)=Y(I)
1290  X(I)=T1
1300  Y(I)=T2
1310  K=N2
1320  IF K>=J THEN GOTO 1360
1330  J=J-K
1340  K=K/2.0
1350  GOTO 1320
1360  J=J+K
1370  NEXT I
```

```
1380  RETURN
1390  !
1400  !
1410  !
1420 Power: !   Power Spectrum
1430  IF W=0 THEN Lc=1.0          ! Rect  Level Compensate Fuctor
1440  IF W=1 THEN Lc=1.0/.5       ! Hanning
1450  IF W=2 THEN Lc=1.0/.3588    ! Blackman-Harris
1460  IF W=3 THEN Lc=1.0/.3810    ! Rosenfield
1470  FOR I=1 TO Np
1480  X(I)=(Lc/Np)*SQR(X(I)*X(I)+Y(I)*Y(I))
1490  NEXT I
1500  RETURN
1510  !
1520  !
1530 Peak: !    Peak Spectrum Search sub program
1540  Peak=0
1550  FOR I=1 TO Np
1560  IF Peak<X(I) THEN
1570  Peak=X(I)
1580  Csr=I
1590  ELSE
1600  END IF
1610  NEXT I
1620  RETURN
1630  !
1640  !
1650 Snr: !  SNR and Effective bit calculation
1660  Vp=0
1670  FOR I=2 TO Csr-1
1680  Vp=Vp+(X(I)*X(I))
1690  NEXT I
1700  FOR I=Csr+1 TO Np
1710  Vp=Vp+(X(I)*X(I))
1720  NEXT I
1730  Snr=ABS(10.0*LGT(Peak*Peak/Vp))
1740  Eff=(Snr-1.76)/6.02
1750  RETURN
1760  !
1770  !
1780 Time_wave: !
1790  GRAPHICS ON
1800  GINIT
1810  GCLEAR
1820  VIEWPORT 0,130,20,100
1830  WINDOW -.2*N,1.1*N,-1.3,1.2
1840  CLIP 1,N,-1,1
1850  LINE TYPE 1
1860  AXES N,1,1,-1
1870  AXES -N,-1,N,1
1880  LINE TYPE 4
1890  GRID .1*N,.2
1900  LINE TYPE 1
1910  MOVE 1,X(1)
1920  FOR I=1 TO N
1930  DRAW I,X(I)
1940  NEXT I
1950  CLIP OFF
1960  LORG 5
1970  LDIR 0
1980  CSIZE 4.0
1990  MOVE N/2.0,1.15
2000  LABEL "Weighted Time Data"
2010  CSIZE 3.5
2020  MOVE N/2,-1.20
2030  LABEL "Data points=";N;",   Weighting=";Wm$
2040  MOVE 0,-1.08
2050  LABEL "0"
2060  MOVE N,-1.08
```

```
2070  LABEL USING "DDDD";N
2080  MOVE N/2,-1.08
2090  LABEL "Data point "
2100  MOVE -.05*N,1
2110  LABEL "1.0"
2120  MOVE -.05*N,-1
2130  LABEL "-1.0"
2140  LDIR PI/2.0
2150  MOVE -.05*N,0
2160  LABEL "Amplitude"
2170  LDIR 0
2180  RETURN
2190  !
2200 Disp: !
2210  INPUT " Display dynamic range[dB]",Dy
2220  GRAPHICS ON
2230  GINIT
2240  GCLEAR
2250  VIEWPORT 0,130,20,100
2260  WINDOW -.2*Np,1.1*Np,-1.3*Dy,.2*Dy
2270  CLIP 1,Np,-Dy,0
2280  LINE TYPE 1
2290  AXES Np,Dy,1,-Dy
2300  AXES -Np,-Dy,Np,0
2310  LINE TYPE 4
2320  GRID .1*Np,10
2330  LINE TYPE 1
2340  MOVE 1,20.0*LGT(X(1))
2350  FOR I=2 TO Np
2360  IF X(I)<=0 THEN
2370  DRAW I,-Dy
2380  ELSE
2390  DRAW I,20.*LGT(X(I))
2400  END IF
2410  NEXT I
2420  CLIP OFF
2430  LORG 5
2440  LDIR 0
2450  CSIZE 4.0
2460  MOVE Np/2.0,.15*Dy
2470  LABEL "Power Spectrum Test Results"
2480  CSIZE 3.5
2490  MOVE Np/2.0,.05*Dy
2500  LABEL USING "12A,DDDD,6A,MDDD.DDD,4A";"Peak Cursor:";Csr;"[line]";20.0*LGT
(Peak);"[dB]"
2510  MOVE Np/2,-1.15*Dy
2520  LABEL "FFT points=";N;",  Weighting=";Wm$
2530  MOVE Np/2,-1.23*Dy
2540  LABEL USING "4A,DDD.D,22A,DD.D,5A";"SNR=";Snr;"[dB]   , Effective bit=";Eff
;"[bit]"
2550  MOVE 0,-Dy*(1+.05)
2560  LABEL "0"
2570  MOVE Np,-Dy*(1+.05)
2580  LABEL "Fs/2  "
2590  MOVE Np/2,-Dy*(1+.05)
2600  LABEL "Frequency [Hz]"
2610  MOVE -.05*Np,0
2620  LABEL "0.0"
2630  MOVE -.05*Np,-Dy
2640  LABEL -Dy
2650  LDIR PI/2.0
2660  MOVE -.05*Np,-Dy/2.0
2670  LABEL "Level [10dB/div]"
2680  LDIR 0
2690  RETURN
2700  END
```

第8章

高速A-Dコンバータの試験方法と回路設計ノウハウ

フラッシュ型A-Dコンバータの使い方

高速のA-Dコンバータは，一般にフラッシュ型です．ただし，高速A-Dコンバータを使うためには入力容量対策などの周辺回路技術が重要になってきます．

最近では，工業用，民生用のビデオ分野でディジタル化が進み，6～10ビットのフラッシュ型A-Dコンバータが各社から発表されるようになってきました．現在のところ，民生用VTRでは6ビット・タイプが主流ですが，高級VTRや光方式ビデオ・ディスク・プレーヤでは，8ビット・タイプも使用されはじめています．そして，これらの6～8ビットで20Mサンプル/secの変換レートをもったA-Dコンバータは，CMOSタイプが主流になりつつあります．

価格的には，数年前まで8ビット・タイプで10万円以上したものが，現在では6ビットで数100円，8ビットでその倍程度と驚くほど安価になりました．

本章では，8ビット100Mサンプル/secのフラッシュ型A-Dコンバータを実験してみました．

高速A-Dコンバータの動向

● 8ビット高速A-Dコンバータ

100Mサンプル/sec以上の変換速度をもった8/10ビットのA-Dコンバータを**表8-1**にまとめました．

8ビットのA-Dコンバータでは，CX20116(バイポーラECL出力タイプ)が世界的な標準となっています(フラッシュ型A-Dコンバータのパイオニアは TRW社であるが，現在この分野でのリーディング・カンパニとは言いがたい)．すなわち，HADC77100，SP97508，ADC303などがピン・コンパチブル製品です．ただし，各社ともCX20116より主に速度で優位なスペックになっています．

また，アナログ・デバイセズ社のAD9002は，CX20116とピン・コンパチブルではありませんが，750mWと低消費電力で，最大150Mサンプル/secという変換速度を実現しています．また，チップ・サイズも4.1mm×4.5mmと小さく，低価格になっています．

表8-1の中の8ビット・タイプで最も高速なのはCXA1176Kで，340Mサンプル/secという最大変換

〈表8-1〉 8～10ビット高速フラッシュ型A-Dコンバータ

(特記なきはtyp値)

型名	メーカ	ビット数	最大変換レート(サンプル/s)	電源(V)	消費電力(W)	アナログ入力レンジ(V)	DC直線性(LSB)	入力バイアス電流(μA)	入力容量(pF)	パッケージ	その他
CXA1176K	ソニー	8	340M	−5.2	1.5	0～−2	±0.3	150	25	68ピン LCC	
HADC77300	ハネウェル	8	250M(min)	−5.2	4.0	0～−2	±1/2	1500(max)	30	46ピン PGA	
CXA1076K	ソニー	8	240M	−5.2	0.8	0～−2	±0.3	85	25	68ピン LCC	
HADC77100	ハネウェル	8	150M	−5.2	1.7	0～−2	±1/2(max)	300(max)	56	42ピン DIP	
AD9002	アナログ・デバイセズ	8	150M	−5.2	0.75	0～−2	±0.4	60	17	28ピン DIP	
SP97508	プレッシー	8	110M(min)	−5.2	1.1	0～−2	±1/2(max)	150	35	42ピン DIP	
CX20116	ソニー	8	100M(min)	−5.2	1.1	0～−2	±1/2(max)	150	35	42ピン DIP	
ADC303	デイテル	8	100M(min)	−5.2	1.1	0～−2	±1/2(max)	150	35	42ピン DIP	
AN8108	松下電子	8	100M	−5.2	2.6	0～−2	±1/2	120	35	68ピン LCC	
SDA8010	シーメンス	8	100M	+5/−4.5	1.3	+1～−1	±1/2	400	30	24ピン DIP	
HADC77600	ハネウェル	10	80M	+5/−5.2	3.3	+2～−2	±1 (max)	1500	300	72ピン PGA	入力バッファ・アンプ内蔵
AN6859	松下電子	10	20M	−5.2	1.8	−1～−3	±1 (max)	640	180	64ピン DIP	グレイ・コード出力
CX20220A	ソニー	10	20M	+1.6/−5.0	0.33	0～−2	±1 (max)	40	230	28ピン DIP	2ステップ・フラッシュ
AD9008	アナログ・デバイセズ	10	20M							40ピン DIP	2ステップ・フラッシュ

レートをもっています．

CXA1176K は，f_t≈10GHz という超高速バイポーラ・プロセスを用い，さらに直線性補償回路，ダイナミック特性維持のための回路，チップ・レイアウトなどを駆使して，3.2×3.8mm のチップ・サイズで 1.5W の低消費電力と高速性を実現しています．200M サンプル/sec を越えるものは，そのほかに CXA1076K や HADC77300 などがあります．

● 10 ビット高速 A-D コンバータ

10 ビットのフラッシュ型 A-D コンバータでは，ハネウェル社の HADC77600 が注目されています．最大変換レート 80M サンプル/sec で，8.4×8.4mm チップに完全フラッシュ型 A-D コンバータを実現しています．

10 ビットの A-D コンバータの入力フルスケール振幅は 8 ビット・タイプの 2V_{P-P}の 2 倍，すなわち 4V_{P-P}必要です．フラッシュ型 A-D コンバータは入力容量が大きいため，ドライバ回路に苦労するのですが，HADC77600 にはこの入力バッファ・アンプまで内蔵されています．

完全フラッシュ型ではなく，2 ステップ・フラッシュ型で低価格にした 10 ビットの A-D コンバータとして，CX20220A や AD9008 などがあります．これらの最大変換レートは 20M サンプル/sec です．

ただし，2 ステップ型では入力にサンプル&ホールド回路が不可欠です．8 ビット精度までならソニーなどの安価なモノリシック IC によるサンプル&ホールド IC を使用できます．しかし，10 ビット精度では，現在のところダイオード・ブリッジ・スイッチや高入力インピーダンスの高速バッファ・アンプを用いてディスクリート構成にするか，または高価な IC を使用することになります．

2 ステップ型では，マイクロ・パワー・システムズ社の MP7685 が 11 ビット 2M サンプル/sec の変換レートを，CMOS モノリシック IC で実現しています．

● 12 ビット高速 A-D コンバータ

数 M～数 10M サンプル/sec の変換レートをもった A-D コンバータで，8～10 ビットのものはモノリシック IC になってきましたが，12 ビット・タイプでは現在のところ，複数個のハイブリッド IC を組み合わせたモジュールが一般的です．**表 8-2** に 12 ビットの高速 A-D コンバータをまとめました．

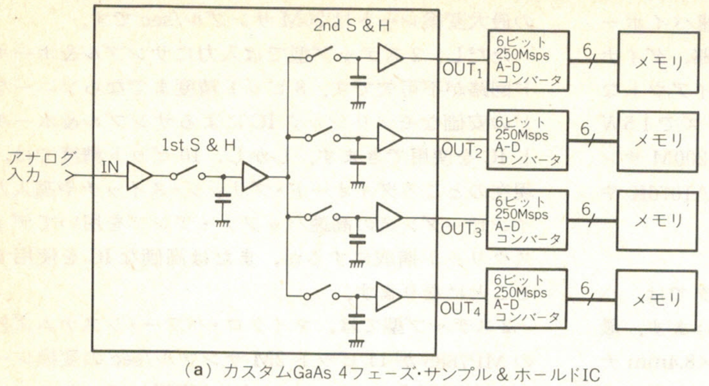
A-D 変換方式は，2 段構成のサブレンジング方式をどのメーカも採用しています．現在のところ，12 ビ

〈表 8-2〉 12 ビット高速 A-D コンバータ

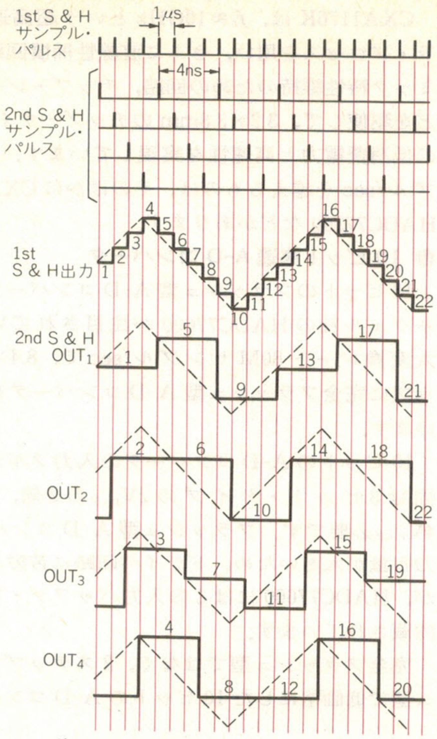
(特記なきは typ 値)

型　名	メーカ	ビット数	変換速度 (sps)	入力レンジ (V)	DC 直線性精度 (LSB)	ダイナミック特性(高調波ひずみ)	電　源(V) (消費電力)	変換方式	サンプル & ホールド	サイズ
CAV1220	アナログ・デバイセズ	12	20M	±1.024	±1/2	70(540k) 65(2.3M) 50(9.3M)	±15,+5,−5.2 (20.3W)	2 ステップ型 サブレンジング	内蔵	178×127 mm カード
ADC600	バーブラウン	12	10M	±1.25	±1 (max)	70dB(～1M) 65dB(～5M)	±15,+5,−5.2 (8.5W)	2 ステップ型 サブレンジング	内蔵	114×95 mm カード
CAV1210	アナログ・デバイセズ	12	10M	±1	±1/2	70dB(～1M) 65dB(～5M)	±15,+5,−5.2 (18W)	2 ステップ型 サブレンジング	内蔵	178×127 mm カード
CAV1205	アナログ・デバイセズ	12	5M	±1.024 ±2.048	±1/2	78dB(～500k) 70dB(～2.5M)	±15,+5,−5.2 (9.9W)	2 ステップ型 サブレンジング	内蔵	167×100 mm カード
CAV1202	アナログ・デバイセズ	12	2M	±2.048	±1/2	74dB(～500k) 67dB(～1M)	±15,+5,−5.2 (10.5W)	2 ステップ型 サブレンジング	内蔵	160×100 mm カード
AD9003	アナログ・デバイセズ	12	1M	±2.5	±1/2	82dB(～100k) 75dB(～500k)	±15,+5 (2.5W)	2 ステップ型 サブレンジング	内蔵	40 ピン ハイブリッド IC
CSZ5412	クリスタル・ セミコンダクタ	12	1M	±1.5 0～+3	±1/2	78dB(～100k)	±5 (700mW)	2 ステップ型 サブレンジング	内蔵	40 ピン CMOS モノリシック
HAS1202A	アナログ・デバイセズ	12	641k (1.56μs)	±5.12	±1/2		±15,+5 (1.9W)	逐次比較	外部	32 ピン ハイブリッド IC
ADC803	バーブラウン	12	660k (1.5μs)	+5,±10 0～−10	±1/2		±15,+5 (1.9W)	逐次比較	外部	32 ピン ハイブリッド IC
AD578	アナログ・デバイセズ	12	330k (3μs)	±5,±10 0～+10,0～+20	±1/2		±15,+5 (875mW)	逐次比較	外部	32 ピン ハイブリッド IC
AD7572	アナログ・デバイセズ	12	200k (2μs)	0～+5	±1 (max)		+5,−15 (135mW)	逐次比較	外部	24 ピン CMOS モノリシック
ADC84/85	アナログ・デバイセズ バーブラウン	12	100k (1μs)	±2.5,±5,±10 0～+5,0～+10	±1/2		±15,+15 (450mW)	逐次比較	外部	32 ピン ハイブリッド IC
ADS21	デイテル	12	1.3M	±10,±5 0～+10,0～+20	±1/2	80dB(～100k) 75dB(～500k)	±15,±5 (2.1W)	2 ステップ型 サブレンジング	内蔵	46 ピン ハイブリッド IC

〈図 8-1〉 ヒューレット・パッカードの計測器に使われているGaAsによる超高速A-Dコンバータ

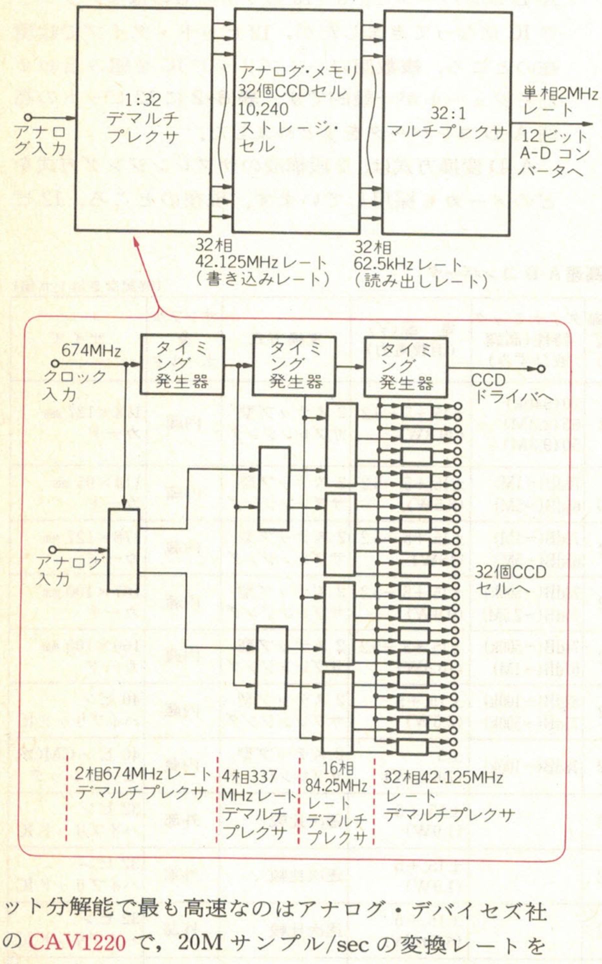


(a) カスタムGaAs 4フェーズ・サンプル＆ホールドIC



(b) 4フェーズ・サンプル&ホールドICの動作

〈図 8-2〉 CCDメモリを使って1.35GHzの変換レートを実現したA-Dコンバータ



ット分解能で最も高速なのはアナログ・デバイセズ社のCAV1220で，20Mサンプル/secの変換レートを得ています．

また，クリスタル・セミコンダクタ社のCSZ5412は，CMOS構成ながら12ビット1μsの変換速度を実現しています．

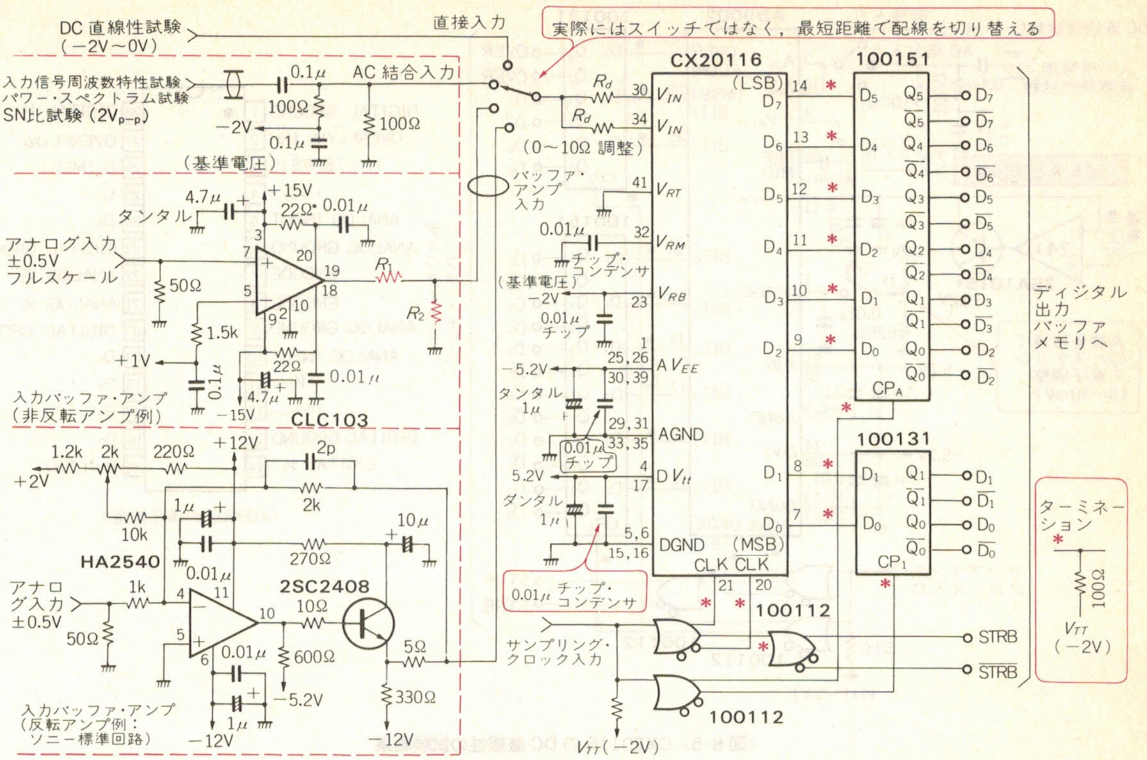
● **超高速A-Dコンバータ**

これまでに紹介したA-Dコンバータは主として民生用でしたが，計測用としては，ヒューレット・パッカード社が6ビットで1Gサンプル/secのA-Dコンバータを実現しています．これは市販されていませんが，少し特殊なので簡単に説明します．

図8-1に示したように，4相の出力をもったGaAsによるサンプル&ホールドICを用い，1GHzレートを250MHzの4チャネルに分割します．そして，4分割されたアナログ出力は，250Mサンプル/secレートをもった4個のフラッシュ型A-Dコンバータでディジタル化しています．

その他，レクロイ社はCCDをアナログ・メモリとして用い，入力信号をデマルチプレクサにより32チャネルに分割して32個のCCDメモリへ蓄えた後，再生は速度を落としてCCDよりはき出し，A-Dコンバータによりディジタル化する手法を用いて，等価的に1.35Gサンプル/secの変換レートを得ています．図8-2にその構成を示します．

〈図8-3〉CX20116，HADC77100の試験回路



また，GaAs素子を高速フラッシュ型A-Dコンバータに応用しようとする技術開発が，主に米国の軍需メーカで行われています．しかしGaAs素子はピンチオフ電圧などのばらつきを抑えることが難しく，4ビット分解能のフラッシュ型A-Dコンバータが試作されている現状です．ただし，変換速度は1Gサンプル/sec以上得られます．

8ビット高速A-Dコンバータの使い方

次に，8ビットの高速A-Dコンバータの使い方ならびに試験方法について詳しく説明していきます．

● 高速A-Dコンバータの試験

どの高速A-Dコンバータでも，DC直線性は±1/2LSB〜±1LSBを保証していますが，問題は高周波になったときのダイナミック精度です．すなわち，入力信号周波数が高くなると，精度が低下してきます．

これはSN比や有効ビット，ダイナミック直線性などで表現されます．

ここでは，8ビット100Mサンプル/secのフラッシュ型A-DコンバータCX20116，AD9002のDC直線性および各種ACダイナミック特性の評価の方法を紹介します．

図8-3にCX20116やHADC77100の試験回路を，**図8-4**にAD9002の試験回路を示します．

アナログ入力信号に基準D-Aコンバータ(14ビット精度)を用いて，DC直線性(非直線性および微分直線性)を試験しました．

D-Aコンバータは12ビット分解能で順次インクリメントし，試験A-Dコンバータの各コード遷移点電圧を求め，直線性を計算しています．

▶ DC直線性試験

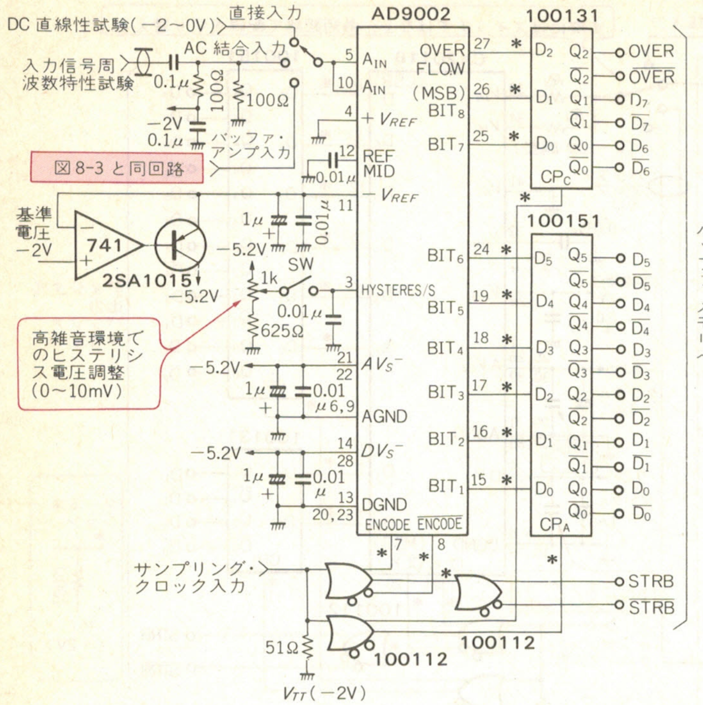
図8-5に，サンプリング・クロックを10Mサンプル/secから100Mサンプル/secまで変えたときのCX20116の直線性試験の結果を示しています．

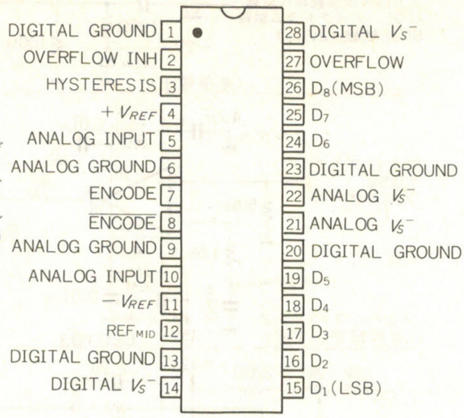
このとき試験したCX20116では，100Mサンプル/secのサンプリング周波数のとき，1/2FSのコード・レベルで微分直線性誤差が1/4LSBから1/2LSBに劣化しています．

図8-6は，入力バッファ・アンプをつけないで，50Ωの同軸ケーブルを直接ドライブしたときの入力信号周波数特性を試験しています．このときのサンプリング・クロック周波数は102.4MHzです．

A-Dコンバータのディジタル出力からの振幅レベルを計算するには，まず512ポイントのデータをバッファ・メモリに取り込みます．そして，コントローラへ転送し，コントローラ内で信号周波数でのDFT(ディスクリート・フーリエ変換)演算を行って振幅レベル

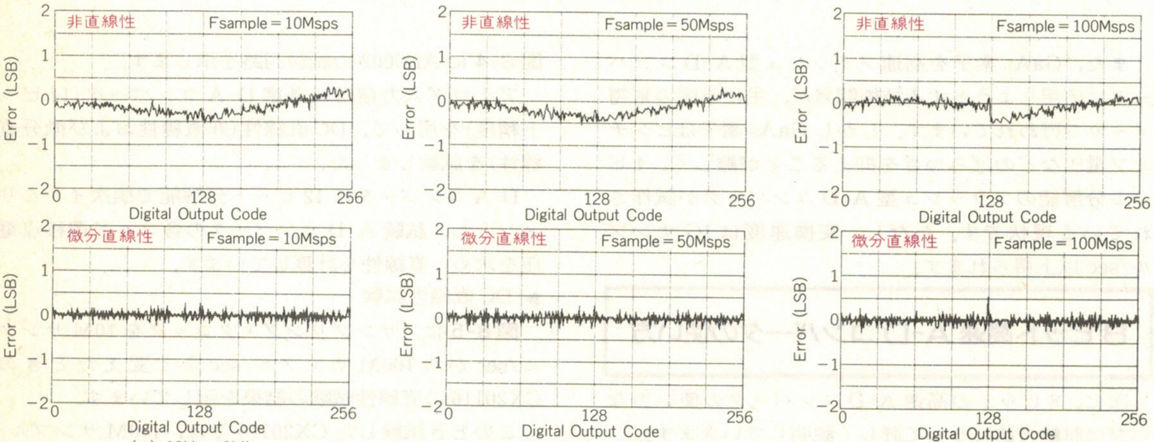
〈図 8-4〉 AD9002 の試験回路





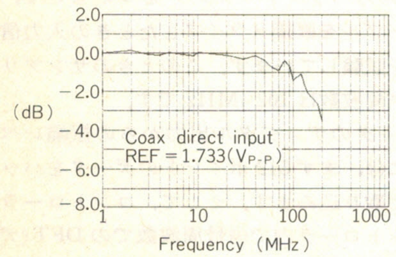
〈AD9002 の端子配置〉

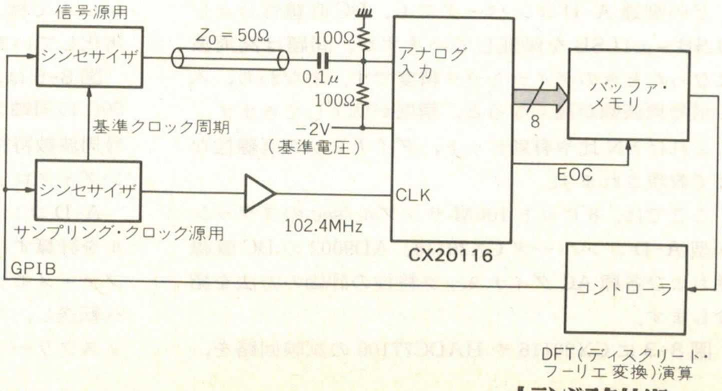
〈図 8-5〉 CX20116 の DC 直線性の試験結果



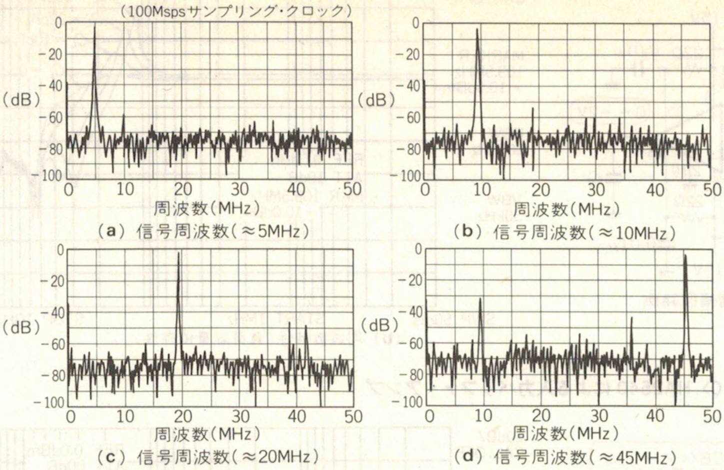
（a） 10Msps動作　（b） 50Msps動作　（c） 100Msps動作

〈図 8-6〉 CX20116 の入力信号周波数特性 (バッファ・アンプなし)

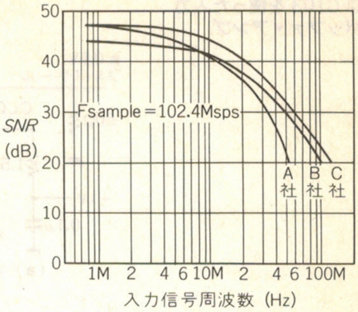




〈図 8-7〉CX20116のパワー・スペクトラム特性



〈図 8-8〉8ビット 100〜150Msps フラッシュ型 A-D コンバータの SN 比特性



を求めています．

図8-6の測定結果をみると，CX20116では100MHz(−1dB)，190MHz(−3dB)の広帯域特性が得られていることがわかります．

▶ パワー・スペクトラム測定試験

図8-7にCX20116のパワー・スペクトラム試験の測定結果を示します．この試験では信号源にピュアな正弦波を用い，バッファ・アンプなしで，50Ω同軸ケーブルのドライブ信号をAC結合で直接，試験用A-Dコンバータへ入力しています．

信号処理は，100Mサンプル/secの変換レートで捕らえた1024点の時間データにハニング窓をかけ，FFT演算を行って周波数データへ変換したのち，パワー計算をしています．

ここでは，入力信号周波数を約5MHzから約45MHzまで変化させています．10MHz信号入力では，2次高周波ひずみ−54dB of FS，3次以上の高周波ひずみは−60dB of FSレベルです．

雑音レベルは約−75dB of FSにあります．これはほぼ8ビットの量子化雑音に相当します．

▶ SN比の測定試験

図8-8にSN比の周波数特性を試験した結果を示します．SN比の周波数特性は先のパワー・スペクトラムの試験結果より簡単に計算できます．図8-8では，3種類の100〜150Mサンプル/secのA-Dコンバータ(CX20116, AD9002, HADC77100)について比較しています．

1MHz以下の信号におけるSN比は，ほぼDC直線性に起因します．A社，C社のDC直線性は±1/2LSBにおさまっていましたが，B社のDC直線性は±1LSBありました．

さらに，5MHz以上で，そのデバイスのもつダイナミック特性が明らかになってきます．ここで評価した3種類のA-Dコンバータでは，B社，C社はほぼ同じレベルのダイナミック特性をもっていますが，A社の製品は多少ダイナミック特性に問題がありそうです．

● A-D コンバータの入力バッファ・アンプについて

A-Dコンバータを単体で使用した場合のダイナミック特性の試験では，バッファ・アンプを用いずに，AC結合で50Ω同軸ケーブルを直接ドライブすることにより行いました．しかし，実際のアプリケーションに使用する場合は，A-Dコンバータの入力にはバッファ・アンプが必要です．

バッファ・アンプに要求される性能をまとめると，次のようになります．

①必要なDC精度があること
②DCレベル・シフトが可能なこと
③必要な周波数特性を確保していること
④必要なひずみ特性を確保していること
⑤負荷容量(A-Dコンバータの入力容量)に対する安定性をもっていること
⑥負荷容量をドライブできる十分な電流ドライブ能力があること

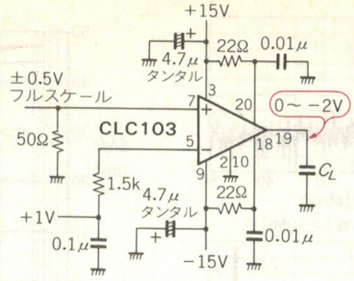
これらの内容を，もう少し具体的に考察してみることにします．

▶ DC精度

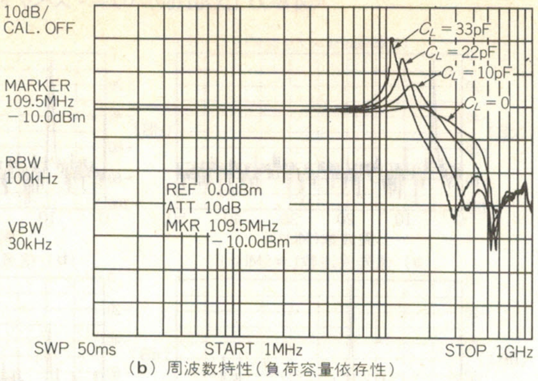
A-Dコンバータに1/2LSB精度を求めると，6ビットで0.78％，8ビットで0.2％，そして10ビットでは0.05％の直線性が必要です．また，オフセット電圧については，8ビットのフラッシュ型A-Dコンバータでは，$2V_{P-P}$振幅がフルスケールとすると1/2LSB誤差は4mV以下になります．

ただし，フラッシュ型A-Dコンバータは，多数のコンパレータ入力がパラレルに接続されているため，入力バイアス電流が8ビット100Mサンプル/secタ

〈図8-9〉
CLC103を使った入力バッファ・アンプ

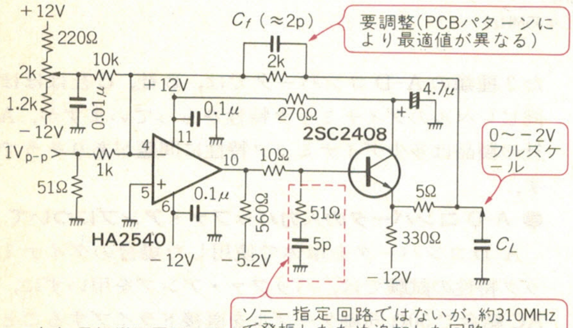


(a) 非反転増幅回路例

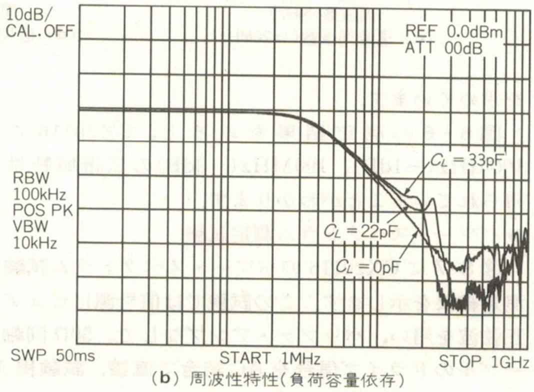


(b) 周波数特性(負荷容量依存性)

〈図8-10〉 HA2540による入力バッファ・アンプ



(a) 反転増幅回路



(b) 周波性特性(負荷容量依存)

イプで60μ〜400μA，10ビットで640μ〜1.5mA程度あります．このため，ドライブ・インピーダンスが大きいとオフセット電圧誤差になります．

さらに，入力バイアス電流は，入力振幅レベルに依存して大きく変化するタイプもあり，注意が必要です．

▶レベル・シフト

フラッシュ型A-Dコンバータの電源電圧は一般に単一電源です．そのため，入力レンジもゼロを中心にするバイポーラ入力にはなりません．例えば，TTLタイプでは+5〜+3Vの入力レンジ，ECLタイプでは0〜−2Vの入力レンジをもったユニポーラ入力になります．

このためバッファ・アンプでは，入力振幅をA-Dコンバータの入力振幅に増幅する機能のほかに，バイポーラ入力をユニポーラ出力に変換するDCレベル・シフト機能も必要になります．

▶周波数特性

サンプリング周波数をf_sとしたとき，解析可能な信号周波数はナイキストの定理から，$f_s/2$になります．ここで，A-Dコンバータにフルスケール振幅でナイキスト周波数である$f_s/2$の近傍の周波数成分が入力されたとき，最悪のときは$-f_s$〜$+f_s$間で交互に入力信号をサンプリングすることになり，周波数帯域は小信号帯域ではなくフル・パワー帯域幅で要求されます．したがって，8ビット・タイプでは$2V_{P-P}$を出力できるフル・パワー帯域幅が必要です．

入力バッファ・アンプの例として，**図8-9**にコムリニア社の高速アンプCLC103を用いたときの回路と周波数特性を，**図8-10**にソニーのデータ・シートに示されているハリス社の高速OPアンプHA2540にディスクリートによる出力バッファを付加した回路とその周波数特性の実験結果を示します．

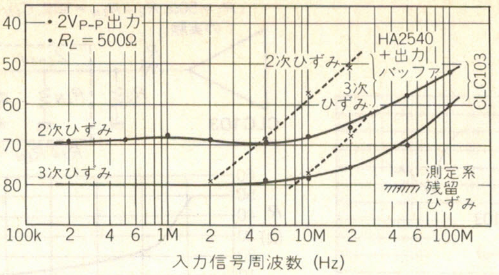
▶ひずみ特性

入力バッファ・アンプには，ビット数nに応じたダイナミック・レンジ$(6n+2)$dBが必要です．例えば，8ビットでは50dB，10ビットでは62dB以上必要ということになります．

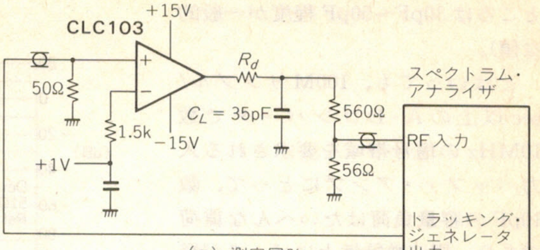
ただし，**図8-8**に示したようにA-Dコンバータ自身がもっているSN比は，ビット数により決定される理想的なSN比(ダイナミック・レンジ)をナイキスト周波数まで確保しているとはいえません．

100Mサンプル/secのA-Dコンバータの実測結果では，10M〜20MHz入力周波数以上で急激に特性は劣化しています．このことから，バッファ・アンプを設計するときには，A-Dコンバータ自身のもつ特性を把握したうえでバランスのとれた設計をしないと，

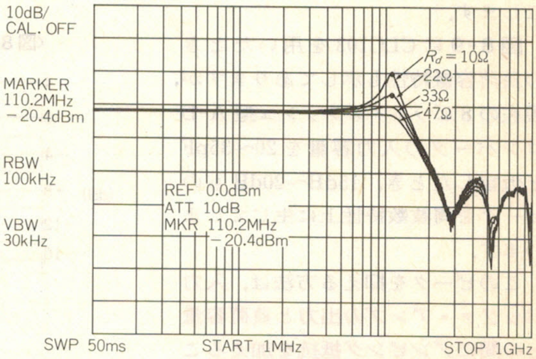
〈図 8-11〉入力バッファ・アンプのひずみ特性



〈図 8-12〉高速アンプの負荷容量に対する
ピークの改善されるようす



(a) 測定回路



(b) 周波数特性(C_L=35pF)

バッファ・アンプに必要以上のコストがかかります.

図 8-9 と図 8-10 に示した入力バッファ・アンプの $2V_{P-P}$ 出力時のひずみ特性の実測例を図 8-11 に示します.

▶ 負荷容量に対する安定性

高速入力バッファ・アンプの設計において，もっとも問題となるのはアンプの負荷容量に対する安定性です．8 ビット・フラッシュ型 A-D コンバータでは，256 個のコンパレータがパラレルに接続されているため，非常に大きな入力容量をもちます.

初期の頃の 8 ビット A-D コンバータでは，100～200pF の入力容量をもっていました．しかし，最近の製品ではプロセスの微細化，高速化(低容量トラン

▶新しい「実用電子回路ハンドブック」ができました

実用電子回路設計ノート

No.1 アナログ主体の回路集です **トランジスタ技術編集部 編**

好評発売中

B5判 172頁 定価1,600円(税込)

本書は月刊誌トランジスタ技術に掲載された膨大な記事の中から実用性の高いアナログ回路に関する部分をまとめなおしたものです．これらの回路情報はいずれも単純なICメーカのアプリケーション・ノートの転載ではなく，現場サイドの技術者の工夫によって完成されたものですから，高い確率で読者のニーズに応えられるものと信じております．キー・ワード索引およびデバイス情報についても完備しましたので，読者の手元に置いてアナログ回路のデータ・ベースとして活用することができます.

なおこの本に類するものとして，小社ではこれまで「実用電子回路ハンドブック」をNo.1～No.5まで発行してまいりましたが，時代事情を考慮して回路技術分野ごとに整理した続編が本書にあたります.

本書の内容は1980年1月号～1987年2月号のトランジスタ技術の記事の中から抽出したものです.

CQ出版社 〒170 東京都豊島区巣鴨1-14-2 ☎03-5395-2121(出版部) 03-5395-2141(営業部) 振替東京0-10665

ジスタ)により入力容量が20pFを切るものまで現れています(現在のところは30pF〜50pF程度が一般的な値)．

とはいっても，100Mサンプル/sec以上のA-Dコンバータで数10MHzの信号帯域を要求される入力バッファ・アンプにとって，数10pFの容量負荷はたいへんな重荷であり，周波数特性上にピークが発生したり，場合によっては発振を起こします．

図8-9にCLC103を用いたときの負荷容量特性も示してありますが，現在の8ビット・フラッシュ型A-Dコンバータの入力容量を20〜35pFと仮定したとき，15dB〜20dBものピークを周波数特性上に生じてしまいます．

このピークを抑える方法は，入力バッファ・アンプの出力と負荷容量との間にダンピング抵抗を加えることです，図8-12にその効果を示しています．この図をみると負荷容量35pFに対してダンピング抵抗が50Ω程度必要になります．

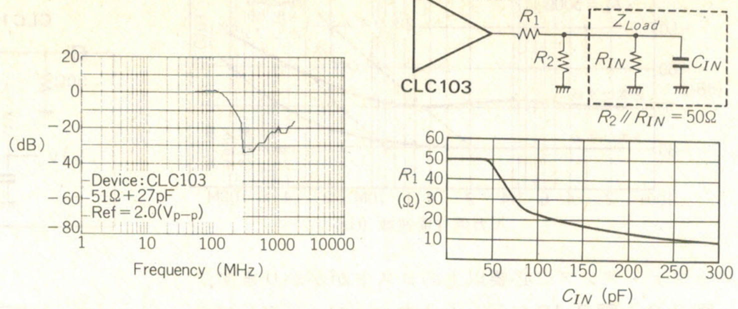
CLC103のアプリケーション・ノートには，容量負荷に対して図8-13に示す方法が紹介されています(実験結果も合わせて示した)．

次に，CLC103による入力バッファ・アンプをA-Dコンバータに使用したときの総合周波数特性を図8-14に示します．使用したA-Dコンバータの入力容量は35pFあります．

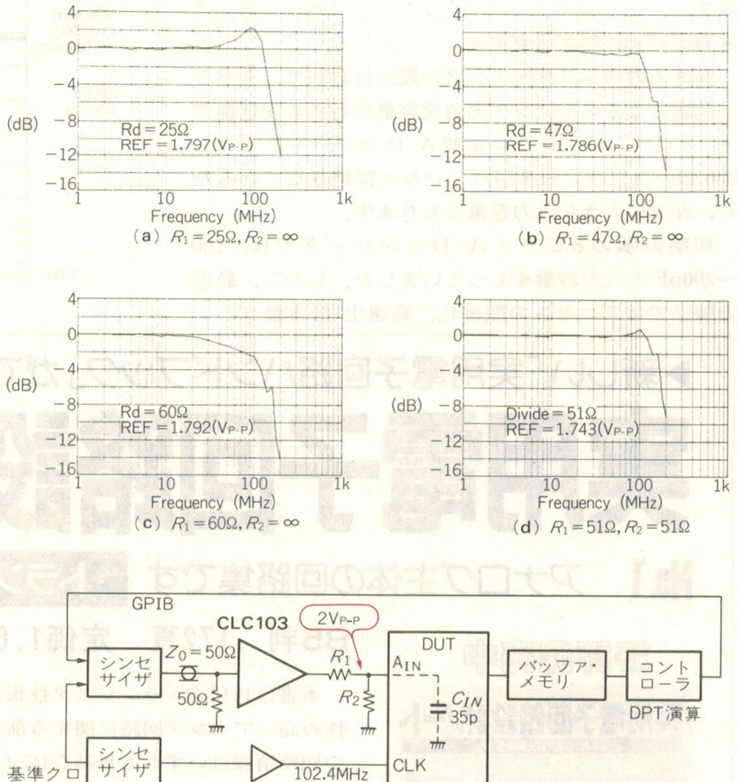
この測定では102.4Mサンプル/secでサンプリングし，512点のデータによりDFT演算を行って基本波レベルを算出しています．この総合周波数特性データをみると，アンプ単体で調べた最適ダンピング抵抗と一致していることが確認できます．

〈図8-13〉CLC103の負荷容量特性を改善する方法

〈R_1=50Ω, R_2 // R_{IN}=50Ω, C_{IN}=30pFでの実験〉



〈図8-14〉入力バッファ・アンプ+A-Dコンバータの総合周波数特性



(a) R_1=25Ω, R_2=∞　(b) R_1=47Ω, R_2=∞

(c) R_1=60Ω, R_2=∞　(d) R_1=51Ω, R_2=51Ω

(e) 測定回路

▶電流ドライブ能力

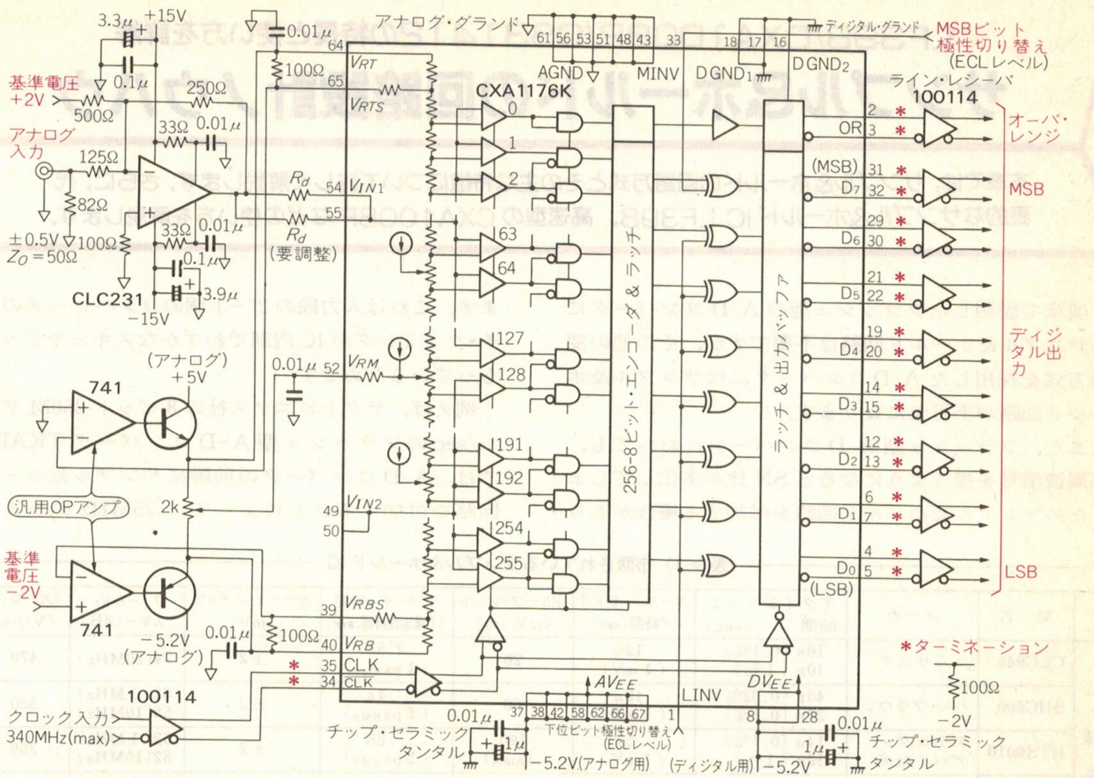
ドライバ回路に要求される性能として，周波数特性に加えてスルーレート特性も重要です．例えば，$2V_{P-P}$振幅で100Mサンプル/secのナイキスト周波数50MHzを十分ドライブできるスルーレートには600V/μs必要です．

また，出力電流ドライブ能力として，負荷容量を35pFとしたときエミッタ・フォロワによるA級ドライブ・アンプには30mA以上のバイアス電流が必要です．

高速電流バッファが必要なとき，なるべくf_tの高いNPNトランジスタによるエミッタ・フォロワ回路にします．f_tが小さいと負荷容量により発生する周波数特性上のピークを，より低い周波数へシフトさせてしまいます．

これは，エミッタ・フォロワ回路は出力から見たインピーダンス特性が誘導性となり，この等価インダクタンスがf_tの関数となることに起因します(f_tが低い

〈図 8-15〉 8 ビット 340Msps フラッシュ型 A-D コンバータ CXA1176K の基本回路例



と等価インダクタンスは増加する). すなわち, このトランジスタに起因する成分と, 実際の配線によるインダクタンス, それと A-D コンバータの入力容量により, 共振系を形成することになるからです.

最後に, 参考として 340M サンプル/sec の変換レートをもつ CXA1176K の回路例を図 8-15 に示します.

◆参考・引用・文献◆

(1)*アナログ・デバイセズ, データ・ブック.
(2)アナログ・デバイセズ, ハイスピード新製品セミナー資料.
(3)*バーブラウン, 1987 プロダクトデータブック.
(4)*ソニー, セミコンダクター IC データブック, 1987(産業用).
(5)ソニー, CX20116, CXA1176 データシートおよびアプリケーション資料.
(6)*クリスタル・セミコンダクター, CSZ5412 データシート.
(7)コムリニア, データブック, アプリケーションノート 103-3.
(8) ISSCC Dig. Tech. Papers, Feb.1987.
(9)萩原, 板垣 : A-D コンバータのダイナミック試験法, トランジスタ技術, 1987 年 10 月号.
(10) Waveform digitizer snares singleshot events at 1.348 G samples/s, Electronic Design, Mar. 6, 1986.

トランジスタ技術 SPECIAL No.4
特集 C-MOS標準ロジックIC活用マニュアル
実験で学ぶ4000B/4500B/74HCファミリ
2色刷 B5判 168頁 定価1,540円

●主な内容●
基本ゲートIC
インターフェース用IC
ラッチIC
フリップフロップ
マルチバイブレータ
カウンタ
デコーダ/エンコーダ
シフトレジスタ
ディバイダ
ディスプレイ・ドライバ
ディジタル・コンパレータ
他

第9章

LF398/CXA1008P/CS31412の特長と使い方を詳解

サンプル&ホールドの回路設計ノウハウ

本章では，サンプル&ホールドの回路方式とその主な特徴について詳しく解説します．さらに，代表的なサンプル&ホールドIC LF398，高速型のCXA1008Pなどの使い方を解説します．

前章で説明したフラッシュ型のA-Dコンバータにはサンプル&ホールド回路は不要ですが，その他の変換方式を採用したA-Dコンバータにはサンプル&ホールド回路が不可欠になります．

また，フラッシュ型A-Dコンバータにおいても，高周波信号を扱うようになるとSN比が劣化してしまうためサンプル&ホールド回路を付加する場合があります．これは入力段の2^n-1個のコンパレータのラッチ・タイミングがIC内部でわずかなスキュやジッタをもっているためです．

例えば，テクトロニクス社の8ビット250Mサンプル/secのフラッシュ型A-DコンバータTKAD20Cでは，A-Dコンバータの前段にサンプル&ホールド回路を付加することによって，125MHzのナイキス

〈表9-1〉市販されているサンプル&ホールドIC

	型名	メーカ	アクイジション時間 (sec)	ホールド・セトリング時間(sec)	ドループ・レート (μV/μs)	アパーチャ時間 (不確定性時間,sec)	ホールド・ステップ (mV)	フィールド・スルー(dB)	スルーレート (V/μs)
超高速	CLC940	コムリニア	16n (0.1%) 10n (1%)	12n (1mV)	20	2.5n (1 ps_{RMS})	±2	74(20MHz)	470
超高速	SHC600	バー・ブラウン	40n (0.02%) 27n (0.1%)	10n (1mV)	60	4n (5 ps_{RMS})	±2	62(1MHz) 58(10MHz)	300
超高速	HTS0010	アナログ・デバイセズ	14n (0.1%) 10n (1%)	5n (1mV)	100 (max)	2n (5 ps_{RMS})	±2	62(1MHz) 52(10MHz)	300
超高速	HTS0025	アナログ・デバイセズ	25n (0.1%) 20n (1%)	20n (5mV)	200	5n (20ps)	±5	70(1MHz) 65(10MHz)	250
超高速	SHM-HU	デイテル	25n (0.2%)	—	50	6n (10ps)	±100	74	200
超高速	CXA1008P	ソニー	8n(ΔV=1.2V)	—	2000	—	±15	50(4MHz)	—
高速・高精度	4860	テレダイン	160n (0.01%) 100n (0.1%)	60n (0.01%)	0.5	6n (50ps)	—	74(2.5MHz)	300
高速・高精度	MP272	アナロジック	200n (0.01%)	150n (0.01%)	5	5n (50ps)	±0.5	84	200
高速・高精度	MP271	アナロジック	550n (0.05%) 800n (0.01%)	150n (0.01%)	2	10n (0.2n)	±10	100(500kHz)	50
高速・高精度	HA5330	ハリス	500n (0.01%) 350n (0.1%)	100n (0.01%)	0.01	20n (0.1n)	±0.5	88(100kHz)	90
高速・高精度	HA5320	ハリス	1μ (0.01%) 0.8μ (0.1%)	165n (0.01%)	0.08	25n (0.3n)	±1.5	74(100kHz)	45
高速・高精度	CS31412	クリスタルセミコンダクター	0.8μ (0.01%) 0.6μ (0.1%)	500n (0.01%)	0.001	20n (0.1n)	±0.7	95(1kHz) 92(100kHz)	12
高速・高精度	CS3112	クリスタルセミコンダクター	0.9μ (0.01%) 0.5μ (0.1%)	500n (0.01%)	0.001	20n (0.1n)	±0.7	95(1kHz) 92(100kHz)	12
高速・高精度	AD346	アナログ・デバイセズ	1μ (0.01%)	150n	0.1	30n (0.4n)	±2	86(1kHz)	50
高速・高精度	AD389	アナログ・デバイセズ	2.5μ (0.003%) 1.5μ (0.01%)	500n (1mV)	0.1	30n (0.4n)	±2	86(20kHz)	30
高速・高精度	AD585	アナログ・デバイセズ	3μ (0.01%)	500n (0.01%)	1.0 (max)	35n (0.5n)	±3 (max)	92(10kHz)	10
高速・高精度	SHC76	バー・ブラウン	4μ (0.003%) 1.5μ (0.01%)	500n (1mV)	0.1	30n (0.4n)	±2	86(20kHz)	30
高速・高精度	SHA1144	アナログ・デバイセズ	5μ (0.003%) 4μ (0.01%)	1μ (0.003%)	1.0	50n (0.5n)	±1	80(1kHz)	3
高速・高精度	SMP10	PMI	5μ (0.01%) 3.5μ (0.1%)	7μ (1mV)	0.005	50n	±1.5	96(1kHz)	10
高速・高精度	LF398	NS	6μ (0.01%) 4μ (0.1%)	0.8μ (1mV)	0.03	200n	±10	82(10kHz)	—

（記載なきはtyp値，T_a=25℃）

ト周波数で7ビット以上の有効ビットを確保しています．

そこで本章では，サンプル&ホールド回路について詳しく検討することにします．

サンプル&ホールドの回路方式

表9-1に，比較的高速・高精度のサンプル&ホールドICをまとめてみました．

表9-1に示したサンプル&ホールドICを回路方式別に分類整理してみると，**図9-1**のようになります．各方式にはそれぞれの利点や欠点があるため，使用する目的(速度や精度)に合わせて使い分けられます．

例えば，高速動作をさせたいときには無帰還タイプ(ただし精度が悪い)が，低速度で高精度が必要なときは帰還タイプ（ただし低速度）が使用されます．そして，その中間的なものが積分タイプです．

したがって，無帰還タイプはより精度を上げる工夫が，逆に帰還タイプはより速度を上げる工夫がなされてきました(積分タイプはその両方といえる)．

● 高速動作に適した無帰還バッファ型サンプル&ホールド回路

無帰還バッファ型はサンプル&ホールド回路の最も基本的な方式です．**図9-1**に示したようにスイッチ回路，ホールド・コンデンサおよび高入力インピーダンス・バッファにより構成されます．スイッチ回路にはFETやダイオード・ブリッジが用いられます．ビデオ用サンプル&ホールドICは，ほとんどこの方式で構成されています．

ソニーではバイポーラ・プロセスを用い，35MHzサンプリング・クロックで動作するモノリシック・サンプル&ホールドIC CXA1008Pを製品化しています．CXA1008Pの精度は直線性が0.08％(typ)ですから，8ビット対応です．

また，工業用ハイブリッド構成では，アナログ・デバイセズ社のHTS0010/0025などが，無帰還型で構

〈表9-1〉市販されているサンプル&ホールドIC(つづき)

入出力ゲイン	入力レンジ(V)	電源(V)	電力(W)	構　造	方　式	そ の 他
0.98	±2.0	±15	1.65	24ピン(ハイブリッド)	無帰還バッファ・タイプ	
1.0	±1.25	±15 ±5	1.3	24ピン(ハイブリッド)	補償型バッファ・タイプ (OPアンプ・バッファ)	
0.96	±1.0	±15 ±5	1.75	24ピン(ハイブリッド)	無帰還バッファ・タイプ	
0.95	±1.0	±15 ±5	2.3	24ピン(ハイブリッド)	無帰還バッファ・タイプ	
0.955	±2.5	±15 ±5	2.5	24ピン(ハイブリッド)	無帰還バッファ・タイプ	出力バッファ外付け (LH0033)
1.0	±3	±5	1.1	24ピン(バイポーラ・モノリシック)	無帰還バッファ・タイプ	6dB入力アンプ 基準電圧バッファ付き
−1.0	±11.5	±15 ±5	0.73	24ピン(ハイブリッド)	積分タイプ	
−1.0	±10	±15	1.5	50.8×50.8×11.2mm モジュール	積分タイプ (補償回路付き)	
−1.0	±10	±15	1.5	50.8×50.8×9.9mm モジュール	電流スイッチ・モード 帰還タイプ	
1.0	±10	±15	0.555	14ピン(バイポーラ・モノリシック)	電流スイッチ・モード 帰還タイプ	
1.0	±10	±15	0.33	14ピン(バイポーラ・モノリシック)	電流スイッチ・モード 帰還タイプ	
1.0	±3.0	±5	0.25	18ピン(C-MOSモノリシック)		4チャネル内蔵セルフ・キャリブレーション付き
1.0	±3.0	±5	0.13	14ピン(C-MOSモノリシック)		セルフ・キャリブレーション付き
1.0	±10	±15	0.2	14ピン(ハイブリッド)	積分タイプ (補償回路付き)	
−1.0	±10	±15	0.3	14ピン(ハイブリッド)	積分タイプ (補償回路付き)	
−1.0	±10	±15	0.3	14ピン(バイポーラ・モノリシック)	電流スイッチ・モード 帰還タイプ	
−1.0	±10	±15	0.3	14ピン(ハイブリッド)	積分タイプ (補償回路付き)	
1.0	±10	±15	1.6	51×51×10.7mm モジュール	電流スイッチ・モード 帰還タイプ	
0.99983	±11.5	±15	0.16	14ピン(バイポーラ・モノリシック)	無帰還バッファ・タイプ (補償回路付き)	C_H=0.001μF外付けにて
1.0	±10	±15	0.135	8ピン(バイポーラ・モノリシック)	電圧スイッチ・モード 帰還タイプ	C_H=0.005μF外付けにて

成され，アクイジション時間は各々10ns/25nsと高速です．

しかし，基本回路構成だけでは，速度は速くても精度はあまり期待できません．8ビット精度が限度です．そこで回路的な工夫を行って高速性を維持しつつ高精度化したものに，CLC940(コムリニア社)，やSHC600(バーブラウン社)などがあります．例えば，SHC600では0.1％精度でアクイジション時間が27ns，0.02％精度で40nsと，高速性と高精度を高度にバランスさせています．

SHC600は図9-2に示したように高精度化するため，出力バッファは一般的なFETソース・フォロワ+エミッタ・フォロワ構成によるバッファではなく，FET入力の高速OPアンプによるバッファ回路を採用しています．

また，ダイオード・ブリッジにも出力からブートストラップをかけ，入力電圧振幅依存による誤差要因を軽減し，高精度化しています．

● 補償型無帰還バッファ型サンプル＆ホールド回路

無帰還バッファ型を回路的に工夫することにより高精度化する方法として，補償型無帰還バッファ・タイプがあります．この方式は，図9-1に示したように出力バッファにOPアンプを用い，反転入力側にも補償用スイッチS_2とホールド・コンデンサと同値のC_Hを設けます．

サンプル・モードでは，S_1，S_2とも同時にONし，ホールド・モードでは同時にOFFにします．

この付加回路によって，出力バッファの非反転，反転入力条件はサンプル・モードおよびホールド・モードで同じになり，スイッチ部で生じる各種の誤差要因は，OPアンプの同相信号除去特性(*CMRR*)により大幅に改善できます．

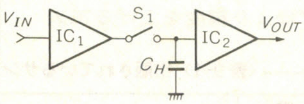
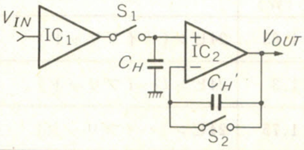
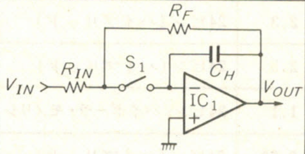
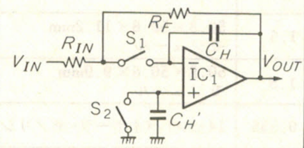
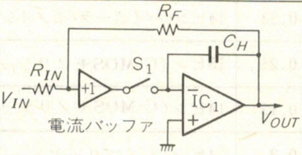
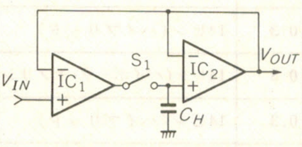
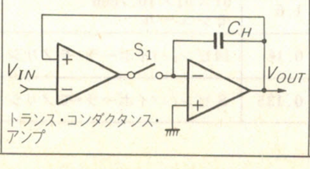
この方式を採用したサンプル＆ホールド回路の例を図9-3に示します．これはバーブラウン社のPCMオーディオ用のアプリケーションとして，16ビットA-Dコンバータ用に紹介されているものです．この回路例では，さらにスイッチを2段接続にしてフィードスルー特性を改善しています．

このほか汎用バイポーラ・プロセスで作られた高速・高精度サンプル＆ホールドICに，PMI社のSMP10/11があります．このICは，図9-4に示したように入出力バッファはOPアンプ回路で構成され，スイッチ回路はダイオード・ブリッジになっています．ただし，ホールド・コンデンサは外付けになります．

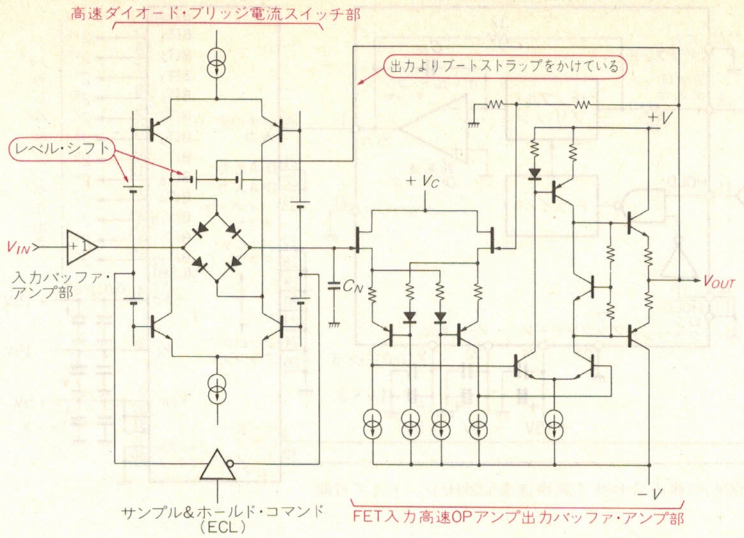
高精度にするには，ホールド・コンデンサを大容量にすればよいわけですが，今度はダイオード・ブリッジ電流により速度が制限を受けます．そこで，ダイオード・ブリッジとは別系統にスーパ・チャージと呼ばれる回路が付加されています．

このスーパ・チャージ回路は，大振幅時に電荷がチ

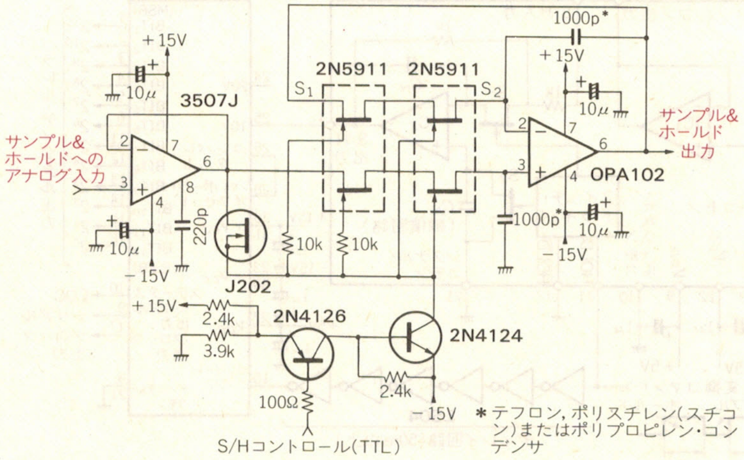
〈図9-1〉サンプル＆ホールド回路のタイプ別分類

形式	回路構成	アクイジション時間	特徴
無帰還バッファ・タイプ		数十ns	●サンプル＆ホールド回路の基本型 ●基本的に最も高速 ●精度が得られにくい
補償型無帰還バッファ・タイプ		数百ns～数μs	●スイッチ部をIC_2の反転入力部にも付加し，IC_2の*CMRR*特性でスイッチ部の劣化要因を補償する ●高精度特性が得られる ●高速性はむずかしい
積分タイプ		数百ns	●スイッチ部が帰還ループ内にあり，高精度が得られやすい ●比較的高速．*CR*時定数が速度制限要因となる ●スイッチ部が仮想グラウンドにおける電流スイッチでよいため設計しやすい
補償型積分タイプ		数百ns	●積分タイプの非反転入力にも，スイッチとホールド・コンデンサを付加する ●スイッチ部劣化要因をIC_1の*CMRR*特性で改善する．高精度が得られる
電流バッファ付加積分タイプ		数十ns～数百ns	●積分タイプの速度制限要因を電流バッファ付加により改善． ●高速化できる．
電圧スイッチ・モード帰還タイプ		数μs	●モノリシック・サンプル＆ホールドの標準回路構成 ●スイッチ部が帰還内にあり高精度 ●高速化はむずかしい
電流スイッチ・モード帰還タイプ		数百ns	●モノリシック・サンプル＆ホールドのもう一つの方式 ●IC_1にトランス・コンダクタンス・アンプを用い，スイッチは電流モード動作 ●高速化しやすい

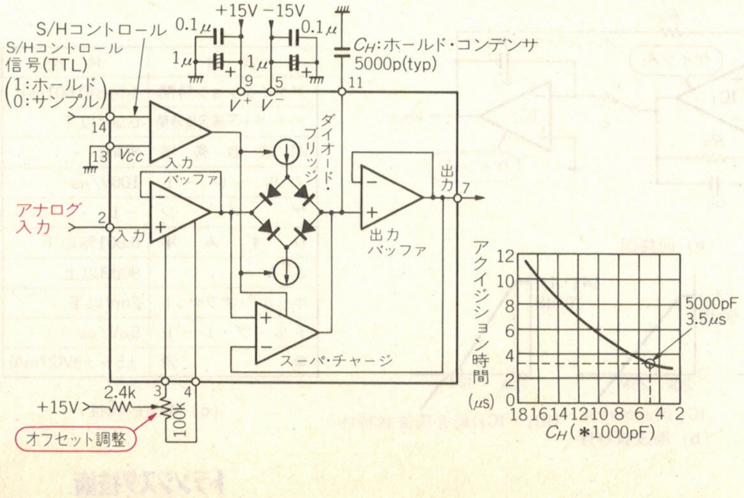
〈図 9-2〉 高精度化した無帰還バッファ・タイプ SHC600 のブロック図



〈図 9-3〉 補償型無帰還バッファ・タイプのサンプル&ホールド回路



〈図 9-4〉 補償型無帰還バッファ・タイプ SMP10/11 の内部ブロックと基本回路例



ャージアップ/ディスチャージされるときのみ働きます．そして，高精度部分のセトリング状態ではスーパ・チャージ回路は OFF になり，ダイオード・ブリッジ回路が働きます．このほかにも各種の回路技術を駆使して，FET を使わないバイポーラ・プロセスで高速・高精度を達成しています．

● 精度と速度をバランスさせた積分タイプ

速度と精度を適当にマッチングさせる方式として積分タイプがあります．積分タイプは図 9-1 に示したようにホールド・コンデンサを OP アンプの反転入力と出力の間に接続し，入力抵抗と帰還抵抗の間にスイッチを設ける方式です．

この方式は，スイッチ回路およびホールド・コンデンサが帰還系の中にあるため，高精度特性が得られます．ただし，入力抵抗とホールド・コンデンサの時定数により帯域が制限され，高速にするには多少問題があります．

図 9-5 に，積分タイプのサンプル&ホールド IC である HTC0300A (アナログ・デバイセズ社)を用いた回路例を示します．

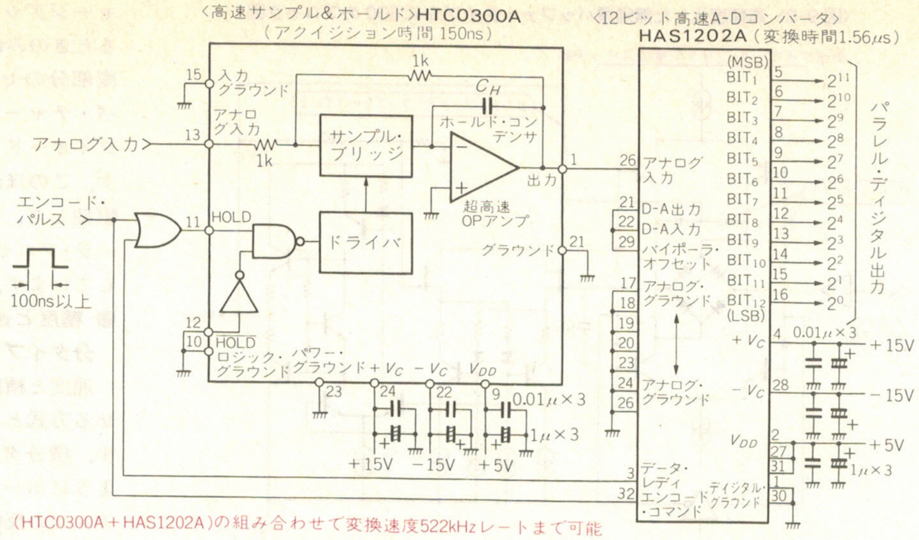
HTC0300A では 0.01 %の非直線性，8MHz の小信号帯域，および 170ns(0.01 %)のアクイジション時間が得られます．

● 精度を上げた補償型積分タイプ

積分タイプでより高精度化する方法として，非反転入力端子を直接グラウンドに接続せず，補償スイッチとコンデンサ(ホールド・コンデンサと同じもの)を付加する方法があります．

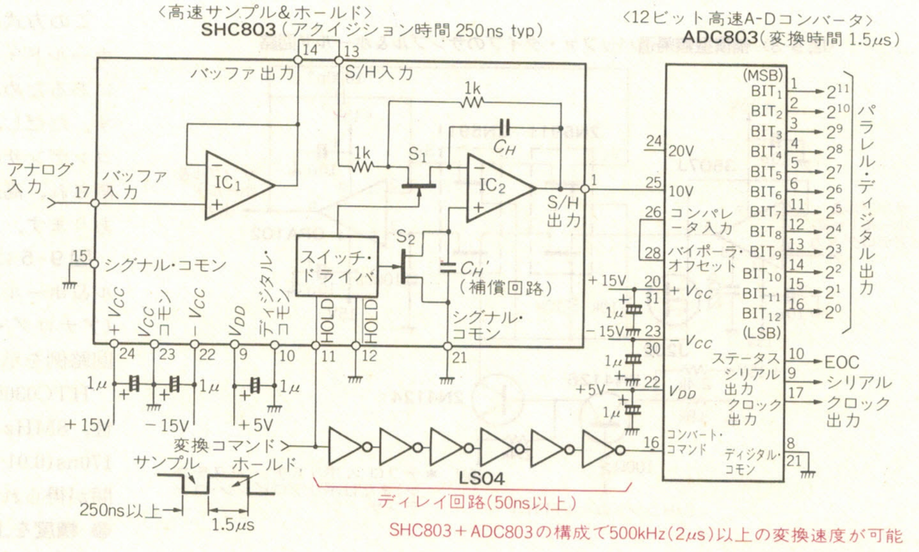
この例に，バーブラウン社の SHC803 などがあります．図 9-6 に SHC803 の内部ブロック構成を示します．サンプル・モードとホールド・モードにおける OP アンプの反転，非反転入力端子でのインピーダンス差，スイッチング雑音，スイッチ容量によるチャージ・インジェクション誤差などが，OP アンプの

〈図 9-5〉
HTC0300A の内部回路と基本回路例



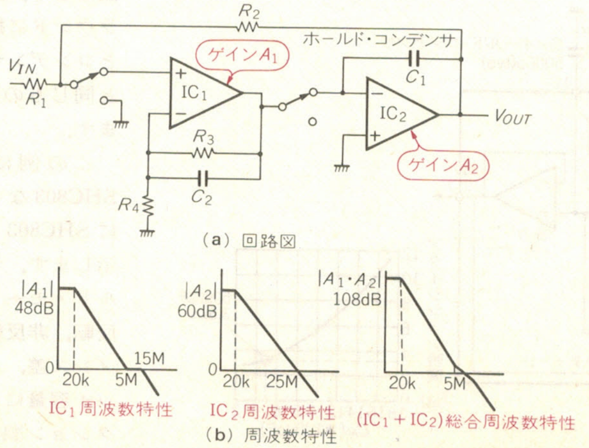
(HTC0300A + HAS1202A)の組み合わせて変換速度522kHzレートまで可能

〈図 9-6〉
SHC803 の内部回路と基本回路例



SHC803 + ADC803 の構成で500kHz(2μs)以上の変換速度が可能

〈図 9-7〉
PCM オーディオ用高精度モノリシック・サンプル&ホールド回路



(a) 回路図

IC_1 周波数特性　IC_2 周波数特性　$(IC_1 + IC_2)$総合周波数特性
(b) 周波数特性

項目	特性
アクイジション時間	1.5μs(0.001%)
アパーチャ不確定性時間	0.5ns以下
周波数帯域	8MHz
スルーレート	100V/μs
ゲイン	−1
ひずみ率	0.001%以下
S/N	90dB以上
ホールド・オフセット	2mV以下
ドループ・レート	5μV/μs
電源	±5〜±9V(27mA)

(c) 電気的特性

CMRR 特性により改善されます．

● その他の積分タイプのサンプル＆ホールド回路

入力抵抗とホールド・コンデンサによる周波数帯域とスルーレートの低下を軽減するため，スイッチの前に電流バッファを設ける方法があります．

電流バッファが帰還内に追加されるため，電流バッファの周波数特性が重要になりますが，入力抵抗とホールド・コンデンサを分離でき，またホールド・コンデンサを電流バッファによって大電流ドライブできるようになるため，高速化できます．この方式を採用している例として，テレダイン・フィルブリック社の4855，デイテル社のSHM5などがあります．

また，フィリップス社からは図9-7に示したような回路構成にすることにより，積分タイプをより高精度化する方法を発表しています．まだICとして市販されていませんが，ディジタル・オーディオ用として0.001％のひずみ率を実現しています．

この方式は，帯域を維持しつつ高精度特性を得るために，IC_1をバッファにするのではなく，ゲインをもたせています(A_1＝48dB)．そして，IC_2のゲイン60dBと合わせて16ビット1/2LSB以上(108dB)のオープン・ループ・ゲインを帯域20kHzで得ています．

● GaAs素子によるサンプル＆ホールド回路

GaAs素子を用いたモノリシック構造で補償型積分タイプを用いて，超高速サンプル＆ホールドICを実現したメーカがあります．それは米国のアナデジックス社です．図9-8に示したような構成になっており，500Ωの入力/帰還抵抗，1pFのホールド・コンデンサおよび500MHz GaAs OPアンプを1チップに内蔵しています．さらに，非反転入力端子側には補償回路が加えられています．

このICは，170MHzのフル・パワー帯域幅と8nsのアクイジション特性，さらに20MHz入力信号での全高調波ひずみ率が−60dBというダイナミック特性を得ています．

● 低速だが高精度の帰還型サンプル＆ホールド回路

扱う信号帯域が数10kHz以内であれば，ナショナル・セミコンダクタ社のBi FETモノリシックICのLF398が最も一般的に使用されています．

LF398は，図9-9に示したように，2個のOPアンプと電圧モード・スイッチがワンチップになっています．そして，ホールド・コンデンサは外付けです．

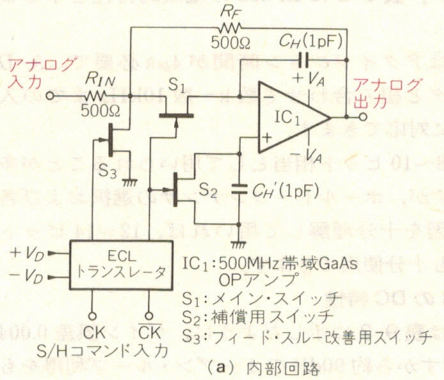
この方式は，スイッチ部分が完全に帰還回路内に含まれているため，基本的に高精度が得られやすい方式です．精度と速度のバランスは，外付けホールド・コンデンサの値で決めることになります．

したがって，長いホールド時間を高精度で必要とするようなアプリケーションでは，ホールド・コンデンサの選択に注意が必要です．すなわち，できるだけ誘電体吸収の少ないコンデンサを選びます．

テフロン・コンデンサがもっとも理想的ですが，入手が難しいためポリスチレン(スチコン)，およびポリプロピレン・コンデンサなどがテフロンに次いで低誘電体吸収特性をもっています．

LF398を用いたときの高速限界は，アクイジション時間で5μs程

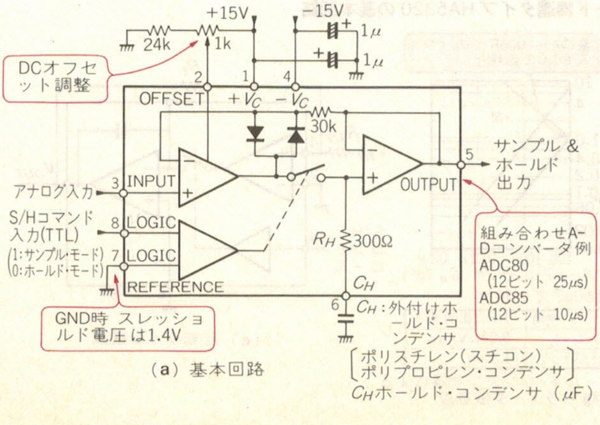
〈図9-8〉GaAsサンプル＆ホールドICの概要



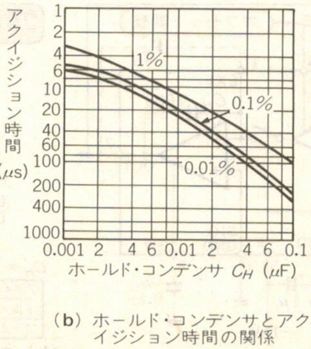
(a) 内部回路

入力レンジ	2$V_{P\text{-}P}$
アクイジション時間	8ns(1％)
フル・パワー帯域	170MHz
トランジェント雑音	20mV
ホールド・モード・セトリング時間	5ns
全高調波ひずみ	60dB以下(20MHz)
ドループ・レート	50mV/μs
DCオフセット電圧	20mV
ホールド・ステップ(ペデスタル)	30mV
電源	V_A＝±5V～±9V V_D＝±5V

(b) 特性概要



(a) 基本回路



(b) ホールド・コンデンサとアクイジション時間の関係

〈図9-9〉電圧スイッチ・モード帰還タイプのLF398の基本回路

度です．

● **高速化した電流スイッチ・モード帰還タイプ**

LF398よりさらに高速なモノリシック・サンプル&ホールドICとしては，DIプロセス(誘電体分離プロセス)を用いたハリス社のHA5320およびHA5330などがあります．

0.01％精度でアクイジション時間がHA5320で1μs，HA5330では0.5μsと高速です．しかも，ホールド・コンデンサはIC内に内蔵されています．図9-10にHA5320の内部ブロックおよび基本特性などを示しますが，回路的にはLF398とは異なっており，ホールド・コンデンサは反転入力と出力間に積分コンデンサとして接続されています．前段アンプはトランス・コンダクタンス・アンプによる電流出力型であり，スイッチは電流スイッチとして働きます．

この方式はLF398のような帰還方式に比べ，高速性に優れています．したがって，ハイブリッドICなどでは高速・高精度を得る回路方式として，よく用いられています．

HA5320/5330は，通常ゲイン1倍の非反転バッファとして使用しますが，抵抗2本を外付けして，反転バッファ構成でも使用できます．

● **CMOSモノリシック・タイプ**

最近では，クリスタル・セミコンダクタ社から，CMOSモノリシック構成のサンプル&ホールドICが発売されています．

例えば，CS3112は，出力バッファとホールド・コンデンサを内蔵し，0.001μV/μsの低ドループ・レート特性と，0.01％精度でアクイジション時間0.9μsという高速性をもっています．

このICのユニークな点は，精度維持のため，セルフ・キャリブレーション技術を用いていることです．この方式は，キャリブレーション用にマイクロ・コントローラ，較正用D-Aコンバータ，RAMなどを内蔵し，パワー・オン・リセットおよびCAL命令により，チップ内でアナログ入力を切り離し，AGND接続として，内部オフセット電圧およびチャージ・インジェクションによるダイナミック・エラーなどを補償します．その結果，トータル・エラーとして12ビット±1/2LSB($6V_{p-p}$に対して±700μV)内に収めることに成功しています．

また，CS31412は4チャネル分のサンプル&ホールド回路と，出力マルチプレクサ回路をワンチップ内に収めています．しかも，CS3112と同じ精度と速度をもっており，全チャネルに対してセルフ・キャリブレーションが行われ，トータル・エラーで12ビット±1/2LSBを確保しています．

LF398の使い方

LF398は，現在最も一般的に用いられているBi FET構造のモノリシック・サンプル&ホールドICです．オリジナル・メーカはナショナル・セミコンダクタ社ですが，リニア・テクノロジー社，バーブラウン社，日本電気などからもセカンド・ソースが供給されています．ただし，各社のデータ・シートを詳細に比較してみると，特性に若干の違いが見受けられます．

例えば，LF398は出力許容電流，特にシンク電流が一般にOPアンプに比べて低くなっており，2～4mA程度ですが，日本電気製のものは10mA流せるようです．表9-2にLF398の電気的特性を示します．

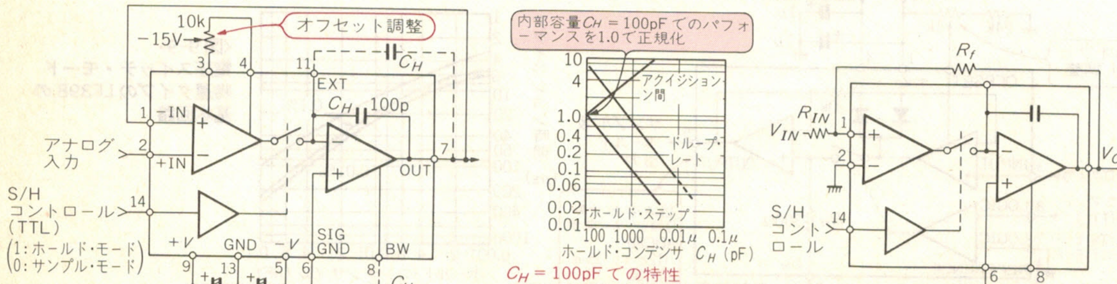
LF398はアクイジション時間が4μs必要で，A-Dコンバータと組み合わせて数k～数10kHzまでの入力周波数に対応できます．

精度は8～10ビット相当として用いられることが多いようですが，ホールド・コンデンサの選択および各種誤差要因を十分理解して用いれば，12～14ビット用としても十分使用できます．

● **LF398のDC特性**

LF398は表9-2に示したように，ゲイン誤差0.004％(typ)ですから約90dBのオープン・ループ利得をも

〈図9-10〉電流スイッチ・モード帰還タイプHA5320の基本回路



(a) 基本回路

(b) ホールド・コンデンサ値による各種パラメータ依存度

C_H＝100pFでの特性

アクイジション時間	1μs(0.01％)
ドループ・レート	0.08μV/μs
ホールド・ステップ	1.5mV

(c) 反転ゲイン構成

つことになります．このことから，DC精度的には14ビットが限界といえます．

また，データ・シート上では諸特性の温度依存性が数多く示されていますが，使用するときのジャンクション温度が $T_j = 25°C$ であると考えるのは間違いです．すなわち，LF398自体の自己発熱は135mWあり，130°C/Wの熱抵抗をもつプラスチック・パッケージに収められているとすると，T_j は約18°Cも周囲温度より上昇します．したがって，周囲温度25°Cのときは負荷電流による発熱を考慮すると，T_j は50°C以上になると考えるべきです．

この温度上昇は，特にホールド・モード時のリーケージ電流の増加に影響を与えます．LF398の $T_j = 25°C$ でのリーケージ電流30pAは，$T_j = 50°C$ では150pAまで増加します．150pAのリーケージ電流は，ホールド・コンデンサ $C_H = 1000pF$ とすると，$dV/dt = i/C$ より1msで約150μVのドループ特性になります．

〈表9-2〉LF398の電気的特性

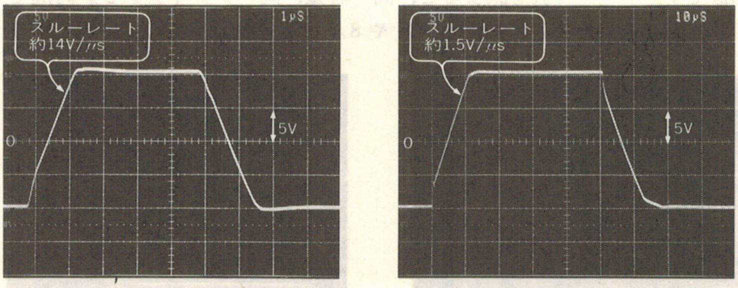
項目	min	typ	max	単位	条件
入力オフセット電圧		2	7	mV	
入力バイアス電流		10	50	nA	
入力インピーダンス		10^{10}		Ω	
ゲイン誤差		0.004	0.01	%	
フィード・スルー	80	90		dB	$f = 1kHz$, $C_H = 0.01\mu F$
出力インピーダンス		0.5	4	Ω	
ホールド・ステップ		1.0	2.5	mV	$C = 0.01\mu F$, $V_{OUT} = 0V$
電源電流		4.5	6.5	mA	
ホールド・モード・リーケージ電流（C_Hホールド・コンデンサ・リーケージ）		30	200	pA	ホールド・モード
アクイジション時間		4 20		μs	$C_H = 1000pF$, 10V $C_H = 0.01\mu F$, 10V
ホールド・コンデンサ充電電流		5		mA	
PSRR	80	110		dB	$V_{OUT} = 0$
ロジック・スレッショルド電圧	0.8	1.4	2.4	V	

写真9-1にサンプル・モードでのパルス・レスポンスを示します．ホールド・コンデンサ $C_H = 1000pF$ および0.01μFで，それぞれ20V_{p-p}のパルスを印加しています．$C_H = 1000pF$ 時のスルーレートは約14V/μs，0.01μFで約1.5V/μsです．

アクイジション時間と C_H の関係は**図9-9**(b)をみてください．

ホールド・モードからサンプル・モードへ切り替わり，出力パルスがセトリングする時間（アクイジション時間）は，**写真9-1**に示すサンプル・モードでのパルス・レスポンスとほぼ同特性です．

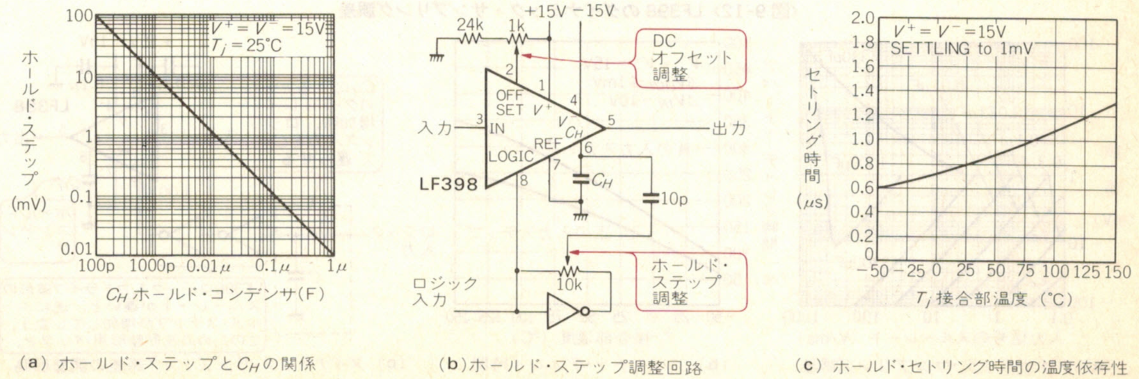
図9-11(a)にホールド・ステップと C_H の関係を示します．ホールド・ステップとはホールド・コンデンサに電荷が充電されることにより出力に現れるアナログ入力の誤差であり，ホールド・コンデンサが小さいほど，ホールド・ステップが大きく



(a) $C_H = 1000pF$ (1μs/div)　(b) $C_H = 0.01\mu F$ (10μs/div)

〈写真9-1〉LF398のパルス・レスポンス

〈図9-11〉ホールド・ステップ特性とその調整回路



(a) ホールド・ステップと C_H の関係　(b) ホールド・ステップ調整回路　(c) ホールド・セトリング時間の温度依存性

なります．

C_H＝1000pF でのホールド・ステップ電圧は約 4mV，0.01μF では約 1mV です．

ホールド・ステップを外部調整したい場合は，**図 9-11**(b)に示すようにインバータでロジック信号を反転し，ボリュームと小容量のコンデンサを介して C_H端子に接続し，出力ホールド・ステップが最小となるようにボリュームを調整します．

写真 9-2 に入力 GND で，サンプル&ホールド・コマンドを与えたときの出力に現れる，ホールド・ステップおよびトランジェント雑音のようすを示します．

また，サンプル・モードからホールド・モードへ切り替わった際に出力される雑音成分が，1mV 以内に収束するセトリング時間は，ホールド・コンデンサ値に依存せず約 0.8μs です．したがって，A-D コンバータと組み合わせる場合，A-D 変換開始命令はこの時間分だけ遅らせて供給する必要があります．

図 9-11(c)にホールド・セトリング時間の温度依存性を示します．

● LF398 の AC ダイナミック特性

LF398 のデータ・シートにはダイナミック・サンプリング誤差と称する**図 9-12**(a)に示したような図が載っています．

ホールド・コマンドが与えられてから内部スイッチが OFF するまでの時間は，アパーチャ・ディレイ時間として定義されます．LF398 では約 150ns です．

このアパーチャ・ディレイ時間により，アナログ入力信号の変化が大きいほど，実際にホールドされるレベル誤差は大きくなります．これと次に示すアナログ・ディレイ時間による誤差を，ダイナミック・サンプリング誤差といいます．

LF398 のアパーチャ・ディレイ時間は，正入力変化時と負入力変化時とで異なり，ダイナミック特性が劣化する要因になります．LF398 のアパーチャ・ディレイ時間は，正入力変化時 150ns に対し，負入力変化時には 200ns です．

これは，IC 内部のスイッチがコンプリメンタリのエミッタ・フォロワ・スイッチで構成され，NPN と PNP トランジスタのしゃ断周波数 f_tが異なるためです．このため，メーカやプロセスが異なると，このアパーチャ・ディレイ時間および正入力と負入力変化時のアパーチャ・ディレイ時間差は，当然異なってきます．

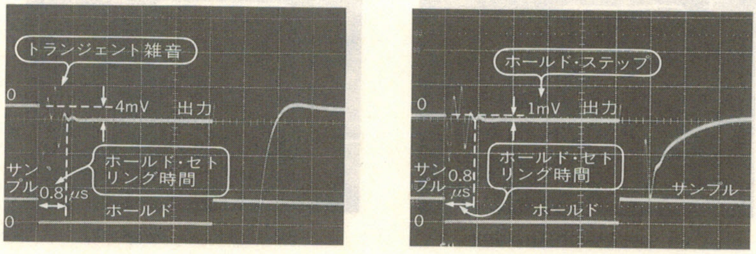
LF398 ではアパーチャ・ディレイ時間のほかに，ホールド・コンデンサ C_Hに依存するアナログ・ディレイ時間が存在します．LF398 では IC 内部に，C_Hと直列につながる R_H＝300Ω の抵抗(リニアテクノロジー社製では 150Ω)があり，($C_H \times R_H$)の時定数によるアナログ信号ディレイを発生します．

C_Hが大きくアナログ・ディレイ量が増加する場合には，**図 9-12**(c)に示すようにロジック信号を *RC* 回路で同様に遅らせることによって調整することができます．

● ホールド・コンデンサの選択で性能が決まる

LF398の唯一の選択素子はホールド・コンデンサC_Hです．容量値については必要とする速度と精度によって，データ・シート上のアクイジション時間から決定します．

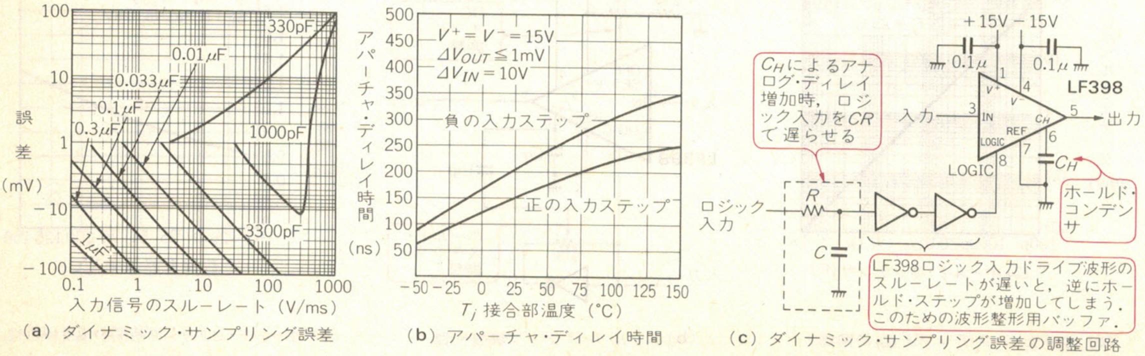
しかしながら，材質面でホールド・コンデンサの選択を誤まると，同一容量，同一アクイジション時間でありながら，片や 8 ビット精度，片や 14 ビット精度



(a) C_H＝1000pF　(b) C_H＝0.01μF

〈写真 9-2〉 LF398 のホールド・ステップとトランジェント雑音(10mV/div，1μs/div)

〈図 9-12〉 LF398 のダイナミック・サンプリング誤差



(a) ダイナミック・サンプリング誤差　(b) アパーチャ・ディレイ時間　(c) ダイナミック・サンプリング誤差の調整回路

といった具合になります．

実際のコンデンサの等価モデルは図9-13(a)に示すように，理想コンデンサ C_H とパラレルに (R_a+C_a)，(R_b+C_b)……(R_n+C_n) の時定数が接続された形になっています．このパラレルにつながる *RC* 時定数の存在が，誘電体吸収と呼ばれるコンデンサ独特のヒステリシス誤差要因になります．

誘電体吸収による誤差は，長い時定数をもつ，サグとして現れてきます．サンプル時間(充電時間)が短いと，C_H は充電されても R_a，R_b，…R_n の存在により，C_a，C_b…C_n が完全に充電されないうちにホールド・モードになります．このため，ホールド・モードにおいて，C_H から C_a，C_b…C_n への電荷の移動が生じ，C_H 端子での電圧変化(サグ)として現れます．

このサグはサンプル時間が短く，ホールド時間が長いほど，その影響は顕著に現れます．また，コンデンサの絶縁体を構成する材質によりたいへん大きな差があります．

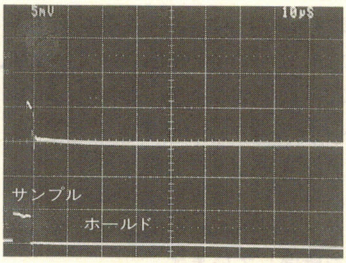
▶各種コンデンサの誘電体吸収誤差を調べる

実際に同一容量(1000pF)で，4種類のコンデンサ(スチロール，ポリプロピレン，マイラ・フィルム，セラミック・コンデンサ)について誘電体吸収によるサグを実験で調べてみました．図9-13(c)に実験回路を示します．

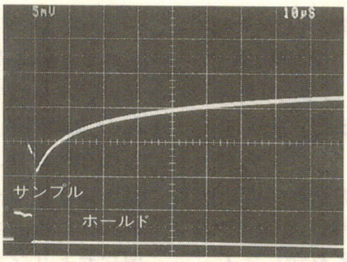
写真9-3にサンプル・パルス幅 5μs での各種コンデンサで生じる，出力サグを観測した結果を示します．

10V ステップ入力時において，ホールド時間 50μs 後のサグ発生量について見た場合，スチロール・コンデンサで約 0.5mV (0.005％以内)，ポリプロピレン・コンデンサで約 10mV (0.1％)，マイラ・フィルム・コンデンサで約 100mV (1.0％) であり，セラミック・コンデンサでは約 190mV (1.9％) に達しています．

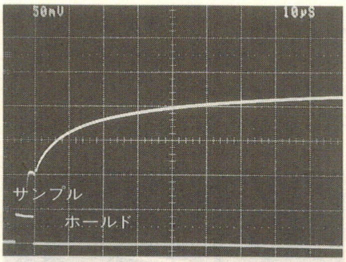
また，**写真9-4**には，サンプル時間を 100μs として長いホールド時間を経過させたときのサグの発生を調べた写真を示します．ホールド時間 1ms 経過後のサグの発生量は，スチロール・コンデンサで 1mV (0.01％) 以下，ポリプロピレン・コンデンサで約 5.5mV (0.055％)，マイ



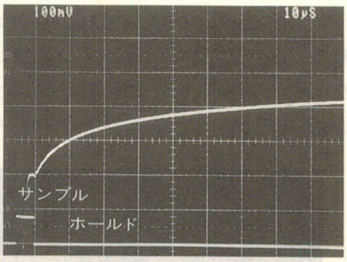
(a) スチロール・コンデンサ (5mV/div，10μs/div)



(b) ポリプロピレン・コンデンサ (5mV/div，10μs/div)



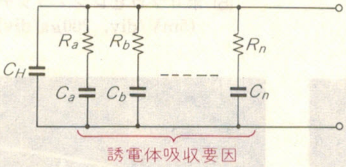
(c) マイラ・フィルム・コンデンサ (50mV/div，10μs/div)



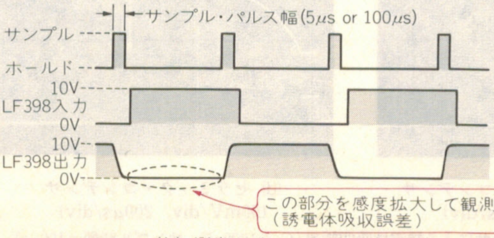
(d) セラミック・コンデンサ (100mV/div，10μs/div)

〈写真9-3〉各種コンデンサによる誘電体吸収誤差 (C_H=1000pF，サンプル時間=5μs)

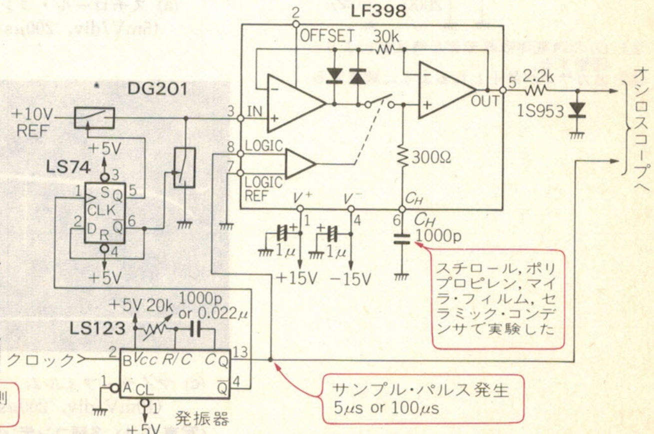
〈図9-13〉ホールド・コンデンサによる誘電体吸収誤差とその測定回路



(a) 誘電体吸収モデル



(b) 測定タイミング



(c) 測定回路の構成

ラ・フィルム・コンデンサで約24mV(0.24%)，セラミック・コンデンサでは実に130mV(1.3%)にも及んでいます．

材質的に見た場合，スチロールよりもさらに特性がよいのがテフロンであり，理想的には空気を絶縁体とするコンデンサです．テフロン・コンデンサは国内では入手が難しく，一般的な高精度用途ではスチロール・コンデンサかポリプロピレン・コンデンサから選択することになるでしょう．

ただし，同一材質であってもメーカや製造方法が異なると特性も違ってきます．

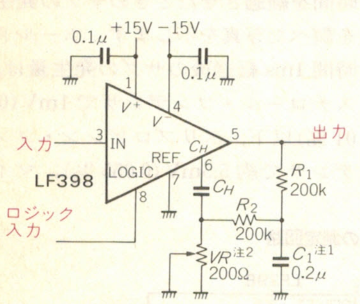
▶誘電体吸収を補償する回路

図9-14にホールド・コンデンサの誘電体吸収を回路的に補償する方法を示します．コンデンサの等価モデルで最も大きな誤差要因は図9-13に示す(R_a+C_a)であり，(R_b+C_b)，…，(R_n+C_n)はだんだん影響は小さくなります．

ホールド・モード時，C_Hの電荷がR_aを介してC_aに移送され，C_H端子にサグを生じます．今，このサグ発生は一方向とします．補償回路ではR_1を介してC_1にチャージされ，C_1の端子電圧は，徐々に増加していきます．

このR_1・C_1時定数をホールド・コンデンサC_HのR_a・C_a時定数に合わせ，サグ発生量をR_2とVRのアッテネート比により調整することにより，C_Hのサグによる一方向成分は，補償回路の＋方向成分とでキャンセルされます．

〈図9-14〉誘電体吸収誤差の補償回路



注1：C_Hの誘電体吸収モデル時定数により調整する．
注2：出力サグが最小となるように調整する．

● ADC76とLF398とのインターフェース

次に実際に高精度A-Dコンバータと接続して，ダイナミック特性(パワー・スペクトラム)試験を行ってみることにします．ここで使用したA-Dコンバータは，16ビット分解能，14ビット精度をもったバーブラウン社のADC76です．

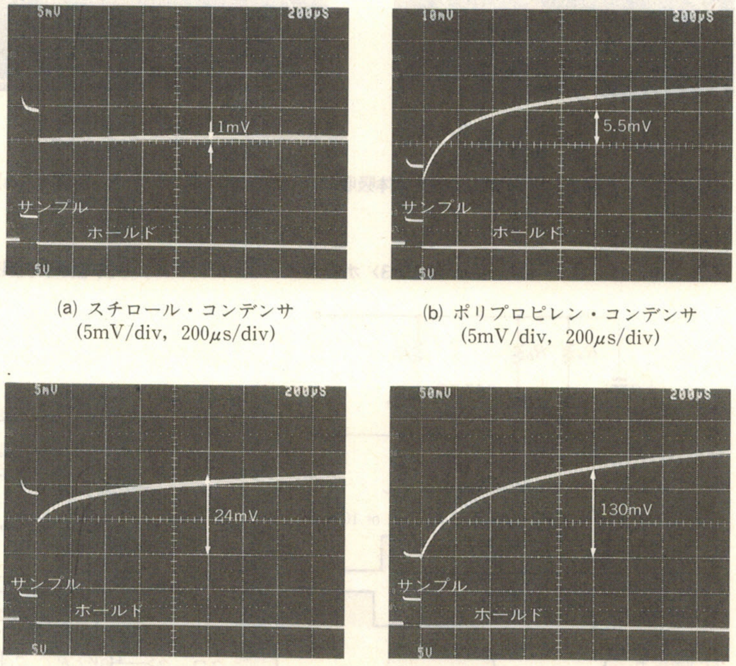
ADC76の変換時間は17μs(16ビット分解能時)ですので，LF398のアクイジション時間は5μs(C_H=1000pF時)とし，トータル・スループット40kHz(25μs)で試験しました．

図9-15に試験回路を示します．40kHzサンプリング・クロックによりワンショット・パルス発生器をトリガし，5μsのサンプル・パルスを発生させています．サンプル・パルスの立ち上がりにより，さらに1μsのA-D変換開始パルスを発生させています．

LF398では，サンプル・モードからホールド・モードへ切り替わったときのセトリング時間が0.8μs以上必要なため，エンコード・パルス幅を1μsとして，必要なセトリング時間を確保しています．

ホールド・コンデンサは，アクイジション時間5μsより，C_H=1000pFとします．コンデンサの種類については，スチロール，マイラ・フィルムおよびセラミック・コンデンサについて，誘電体吸収のダイナミック特性に及ぼす影響を試験しました．

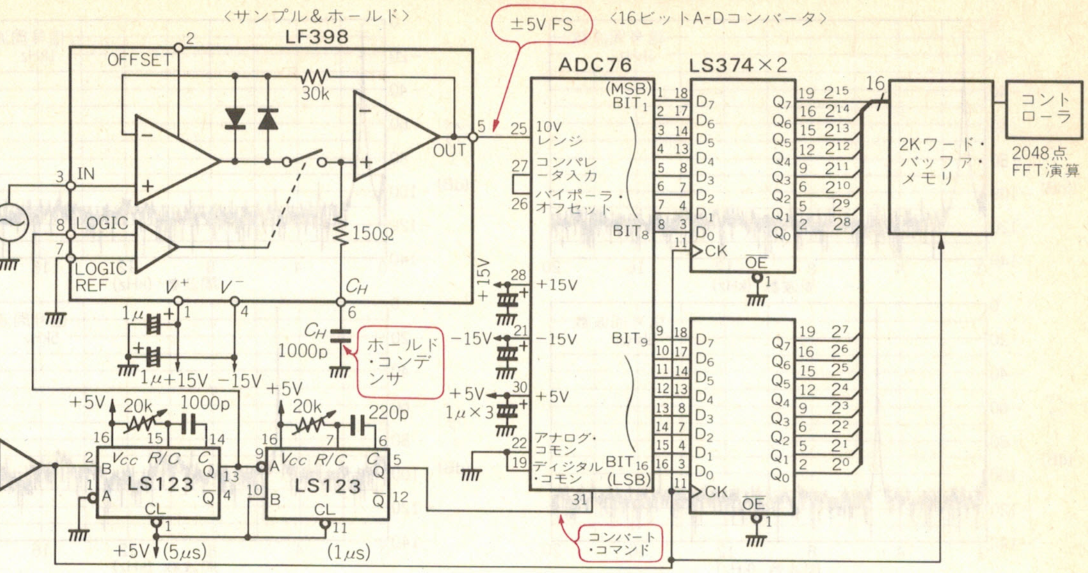
サンプル&ホールド出力とA-Dコンバータの間の



(a) スチロール・コンデンサ (5mV/div，200μs/div)
(b) ポリプロピレン・コンデンサ (5mV/div，200μs/div)
(c) マイラ・フィルム・コンデンサ (10mV/div，200μs/div)
(d) セラミック・コンデンサ (50mV/div，200μs/div)

〈写真9-4〉各種コンデンサによる誘電体吸収誤差(C_H=1000pF，サンプル時間=100μs)

〈図 9-15〉 LF398 のダイナミック特性試験回路



配線は，できるだけ短くするように注意します．逐次比較型 A-D コンバータのアナログ入力は，非常に高速な電流変化が発生します．すなわち，逐次比較型 A-D コンバータは内部の D-A コンバータを上位ビットより逐次セット/リセット動作することに起因しています．

このため，逐次比較型 A-D コンバータの入力ドライブ・アンプには，この高速の電流変化に十分追従できることが必要なほか，配線によるインダクタンスなどを最小にする配慮が重要になります．

このような配慮が欠けると，特にゼロ・クロス点(MSB 変化点)での微分直線性が悪くなり，ダイナミック特性では小信号レベルでのひずみの増加として現れます．

図 9-16(a)は，ホールド・コンデンサにスチロール・コンデンサを，図(b)はマイラ・フィルム・コンデンサを，図(c)ではセラミック・コンデンサをそれぞれ用いた場合のスペクトラム試験結果を示します．ホール

好評発売中

CQ出版社

技術のベースをかためるための――CORE BOOKS

PLDの論理回路設計法

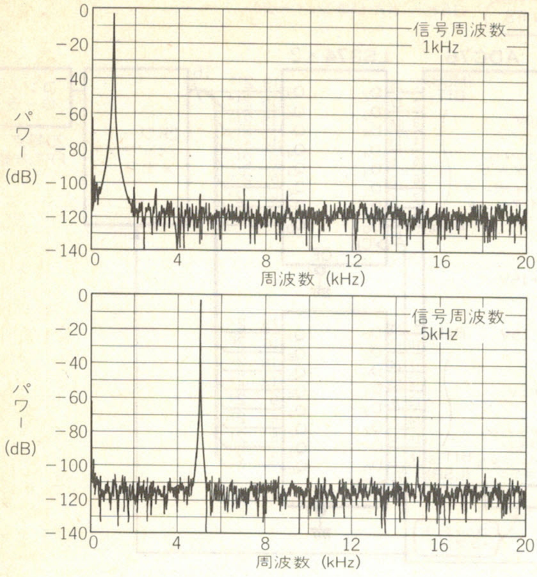
ASIC時代に備えるディジタル回路設計ノウハウ

ディジタル回路のコンパクト化に欠かせないPLDの実戦応用のための待望の書籍です．

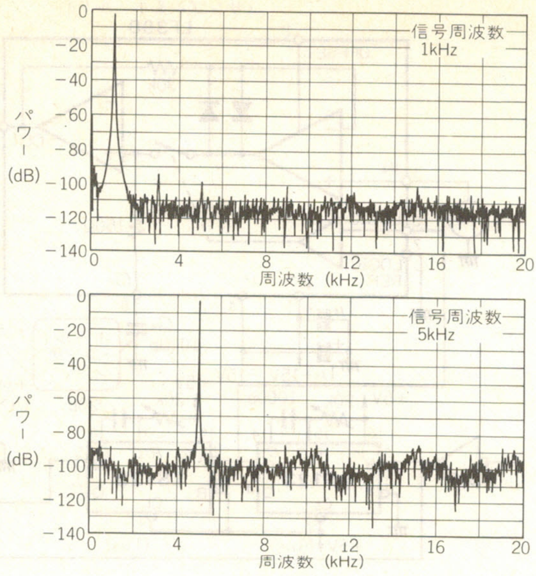
小林芳直 著
A5判 272頁
定価1,854円(税込み)

第1章 PLD…マイ・ロジックICへの誘い，第2章 組み合わせ回路をTTLに学ぼう，第3章 サポート・ソフトウェアを理解しよう，第4章 PLDはデコーダが得意，第5章 PLDは同期式システムだ，第6章 PLDでカウンタを構成してみよう，第7章 少し複雑なPLDにチャレンジしよう，第8章 順序制御にPLDを使ってみよう，第9章 少し複雑なシーケンサをPLD化しよう，第10章 高度なシーケンサをPLD化しよう

〈図 9-16〉 図 9-15 の回路の周波数特性(2048点, FFT, 40kHz サンプリング)



(a) スチロール・コンデンサ



(b) マイラ・フィルム・コンデンサ

ド・コンデンサはいずれも C_H=1000pF であり，アクイジション時間は 5μs です．入力信号レベルは 10V フルスケール・レンジで，約 90 % of FS を印加しています．

信号周波数 1kHz では，スチロール・コンデンサを使ったとき−120dB of FS のノイズ・フロアを，マイラ・フィルム・コンデンサでは−115dB of FS，セラミック・コンデンサでは−100dB まで雑音特性(SN 比)が劣化しています．

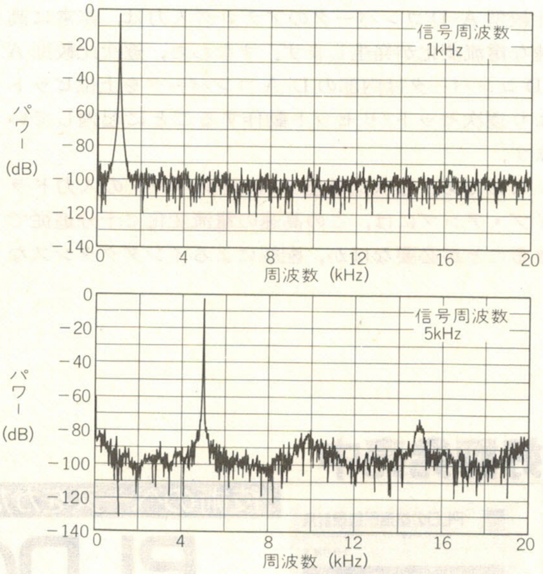
ひずみ特性についても，スチロール・コンデンサで−102dB，マイラ・フィルムで−94dB，セラミック・コンデンサで−92dB です．

SN 比特性の劣化は，信号周波数を高めた場合に顕著に現れてきます．5kHz 信号印加時のノイズ・フロア・レベルはスチロール・コンデンサで−115dB，マイラ・フィルム・コンデンサで−100dB，セラミック・コンデンサでは−90dB まで上昇しています．また，セラミック・コンデンサでは，2 次および 3 次ひずみ近くにノイズ・フロアが広帯域にもちあがっていることが確認できます．

以上のように，LF398 でも正しいコンデンサの選択を行えば，14 ビット精度で 20〜25μs スループットをもつ A-D 変換システムを構成できます．

高速サンプル&ホールド IC CXA1008P の使い方

初めに紹介したように，無帰還バッファ型で高速なサンプル&ホールド IC に，ソニーの CXA1008P があります．ここでは CXA1008P の特徴ならびに使い方を説明します．



(c) セラミック・コンデンサ

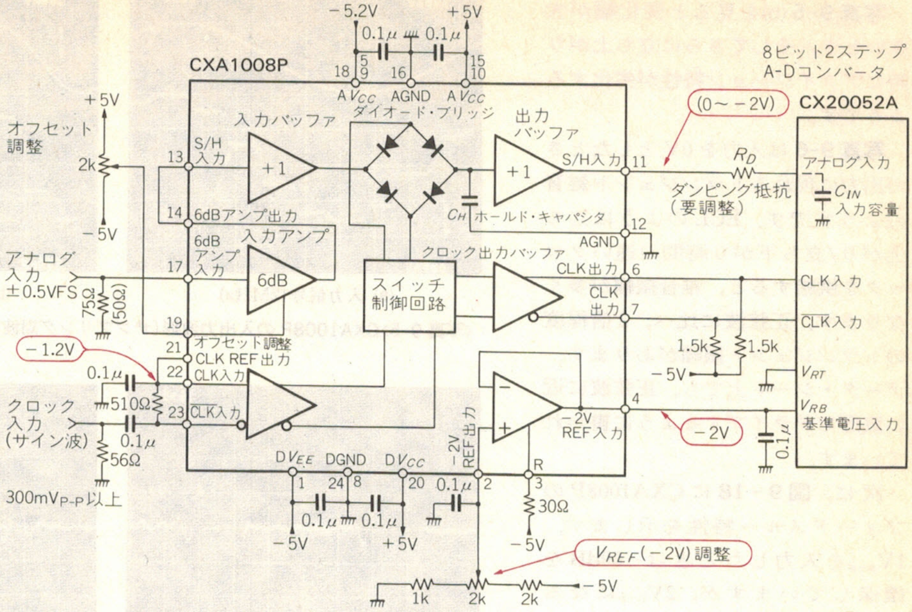
● CXA1008P の概要と基本特性

CXA1008P は，2 ステップ型 8 ビットの A-D コンバータ CX20052A とペアで使用される，バイポーラ・モノリシック構成のサンプル&ホールド IC です．

CXA1008P の最大サンプリング・クロック周波数は 35MHz です．

内部は図 9-17 に示したように，6dB 入力アンプ，入力バッファ・アンプ，ダイオード・ブリッジ，ホール

〈図9-17〉
CXA1008Pの
内部ブロックと
基本回路接続



〈表9-3〉 CXA1008Pの電気的特性

	項目	min	typ	max	単位
サンプル&ホールド部	アナログ入力電圧範囲	−3		+3	V
	出力電圧範囲	−3		+3	V
	入出力ゲイン比	0.99	1.0	1.01	
	DCオフセット電圧		±15	±100	mV
	直線性		0.08	0.15	%
	フル・パワー・バンド幅 $2V_{P-P}$(−3dB)		12		MHz
	アクイジション時間 $\Delta V=1.2V$		8	12	ns
	セトリング時間		25		ns
	フィードスルー4MHz,$1V_{P-P}$		−50	−40	dB
	ドループ・レート		2	20	mV/μs
	サンプリング周波数範囲	5		35	MHz
	微分利得		0.5	1.0	%
	微分位相		0.5	1.0	deg
6dBアンプ部	入力電圧範囲	−1.3		+0.8	V
	帯域幅(−3dB) $V_{IN}=1V_{P-P}$	45	55		MHz
	電圧ゲイン	5.1	6.0	6.9	dB
	−2V基準アンプ部電圧ゲイン比	0.9	1.0	1.1	

ド・コンデンサ，コンプリメンタリ・エミッタ・フォロワ型出力バッファ，ダイオード・ブリッジをドライブするクロック回路，そしてA-Dコンバータに供給する基準電圧用バッファ・アンプなどが，ワンチップ上に集積されています．

CXA1008Pを使用する上で注意を要する点は，ダイオード・ブリッジがクロック・ドライバ間とでAC結合されているため，常時サンプル(トラック・モード)動作はしません．

入力クロック(CLK)の立ち上がりエッジでサンプリング・パルスが生成され，その瞬間のみダイオード・ブリッジはONします．

クロックが印加されないと，ダイオード・ブリッジは常にOFF，すなわちホールド・モードになります．また，ドループ・レートに起因して，最低サンプリング・クロック周波数の規定もあり，5MHz以上で使用するようになっています．

もう一箇所注意すべきところは，2点間のサンプリングにおけるアナログ入力電圧の変化幅に対する規定です．次のサンプリングへの電圧変化幅が1.2V以上になると，ダイナミック精度が劣化します．これはIC内部で，ダイオード・ブリッジをドライブするクロック・ドライバの駆動能力によるものです．

表9-3に，CXA1008Pのアナログ特性に関する主要スペックを示します．

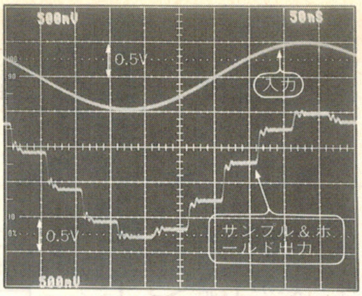
写真9-5にサンプリング・クロック20MHzにおけるサンプル&ホールドの入出力波形を示します．ここでは6dB入力アンプを使用して，入力±0.5Vフルスケール，出力(0〜−2V)フルスケールとして使用しています．

ところで，CXA1008Pを単体で評価中に，負荷容量が約15pF(プローブ容量)では出力に発振(約200MHz)が観測されました．この発振は負荷容量を45pFとすると止まりましたが原因は不明です．

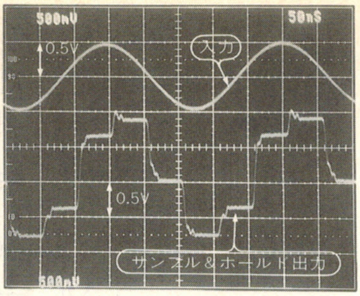
写真9-5(b)を見ると変化幅が大きいとき，そしてさらに立ち上がり時にアクイジション特性が劣化するようです．

写真9-6は入力を0Vとしたときの出力に現れるトランジェント雑音のようすです．ECLのように立ち上がり/立ち下がり時間の速いクロックを供給すると，雑音振幅が多くなります．正弦波に比べ，2倍程度のトランジェント振幅があります．データ・シート上でも，正弦波に近い波形でドライブするように書かれています．

次に，**図9-18**にCXA1008Pのフィードスルー特性を示します．$1V_{p-p}$を入力したときは-50dBを確保していますが，$2V_{p-p}$になると-30dB程度に劣化しています．ただし，周波数依存性はほとんどないようです．

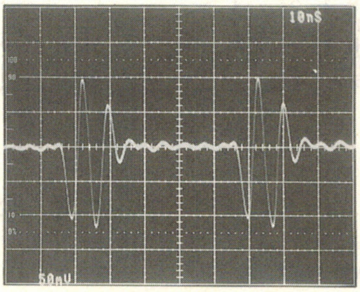


(a) 入力信号(2MHz)

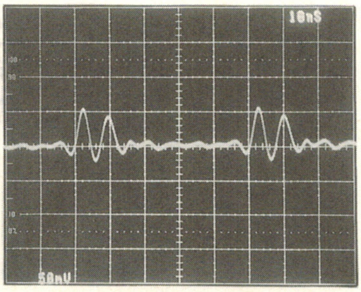


(b) 入力信号(4MHz)

〈**写真9-5**〉**CXA1008Pの入出力波形**(サンプリング周波数20MHz，$1V_{P-P}$，正強波)



(a) サンプリング・クロック
(ECLドライブ)



(b) サンプリング・クロック
(正弦波ドライブ)

〈**写真9-6**〉**CXA1008Pの出力トランジェント雑音**(50mV/div，10ns/div)

● 高速8ビットA-DコンバータCX20052Aとのインターフェース

サンプル&ホールドICの用語解説

①サンプル＆ホールドとトラック＆ホールド

一般的にはサンプル&ホールドと呼ぶ場合が多いようですが，機能的な意味からいうとトラック&ホールドとは違いがあります．

トラック&ホールドとは，入力に常に追従している“トラック・モード”と，普通にサンプル&ホールドと呼んでいるレベルを保持する“ホールド・モード”のふたつの機能があります．

したがって，サンプル&ホールドは，サンプル・コマンドにより瞬間的に入力信号をサンプルするだけで，入力に追従するモードはありません．すなわち，トラック&ホールドICはサンプル&ホールドICの機能を含みますが，逆が常にいえるとは限りません．

そこで，サンプル&ホールドICといわれるものについては，内容をよく調べる必要があります．例えば,CXA1008Pはサンプル&ホールドICであって,トラック&ホールドICではありません．

②アクイジション時間

サンプル・コマンドが与えられて，ホールド・モードから出力が規定された最終値の誤差範囲までに収まる時間をいいます．

したがって，アクイジション時間よりも短い時間でサンプリングすると正確な入力信号にはならなくなります．

③アパーチャ時間(アパーチャ・ディレイ)

ホールド・コマンドが与えられてから，スイッチが完全に開くまでの時間をいいます．入力アナログ信号は，このアパーチャ時間だけ遅れてホールドされます．

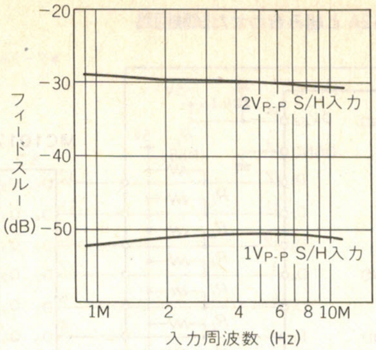
④アパーチャ不確定性時間(アパーチャ・ジッタ)

アパーチャ時間の変動幅をいいます．このアパーチャ不確定性時間は，ACダイナミック特性において重要な意味をもちます．すなわち，この時間が高周波特性でのSN比を劣化させる要因となり，雑音レベルが上昇する原因になります．

⑤フィードスルー

ホールド時に入力信号が変化したり，またはAC入力波形が出力に現れる割合を示し，通常dBで表します．

⑥ドループ・レート



〈図 9-18〉
フィードスルーの周波数依存性

次に，8ビットA-DコンバータCX20052A〔変換レート20Mサンプル/sec(min)〕と組み合わせて，DC直線性およびACダイナミック特性を試験してみました．試験回路は**図9-19**に示したように，エバレーション・ボードを利用しました．ただし，出力にはECLラッチを付加して，タイミングを取り直しています．

配線上で注意することは，CX20052A(ECL出力)のターミネーション抵抗R_Lが，ディジタル雑音の観点から4.3kΩとかなり高いため，出力ラッチMC10176との間はできるだけ短くする必要があります．また，CLK出力は振幅が少ないため，CLKと$\overline{\text{CLK}}$をライン・レシーバで差動で受けて，増幅する必要があります．

図9-20は，**図9-19**の試験回路についてのDC直線性の試験結果です．図(a)が非直線性を，図(b)が微分直線性を示しています．どちらも最大約±0.4LSBの直線性誤差となっています．この試験でのサンプリング・クロック周波数は20MHzです．

また，**図9-21**は，**図9-19**の回路の入力周波数特性です．サンプリング・クロック周波数を20.48MHzとし，入力信号をシンセサイザで0.1MHz〜100MHzに可変して，各測定周波数ポイントで512点のデータをDFT(ディスクリート・フーリエ変換)演算することにより基本波レベルを計算して，プロットしています．

図9-21(a)をみると，約2V$_{p-p}$フルスケール入力とした場合，周波数帯域は約32MHz(−3dB)でした．図(b)は約1V$_{p-p}$(1/2FSレベル)振幅レベルでの周波数特性で，約50MHz(−3dB)という広帯域特性を確認できました．

図9-22はパワー・スペクトラム特性の試験結果です．20MHzのサンプリング・クロックで，1MHz入力時に約−53dBの2次ひずみが，4.5MHzで約−46dBの2次ひずみが観測されました．

また，ナイキスト周波数近くになると急激にひずみ特性が劣化しています．これはサンプリング間の電圧変化幅が，たいへん大きくなることに起因しています．

図9-23はSN比の周波数特性をグラフにしたものです．たいへん良好なダイナミック特性を示していま

ホールド・モード中，ホールド・コンデンサからのリークやバイアス電流により生ずる出力電圧の変動のことを示し，dV/dtで規定されます．通常の表示では，μV/μsが多く用いられます．

⑦ホールド・ステップ(ペデスタル)

スイッチ素子の電極容量，および浮遊容量を介して，ホールド・コンデンサへ不要な電荷のチャージが行われます．これにより生じる出力電圧の変動をホールド・ステップと呼びます．

⑧スイッチング・トランジェント

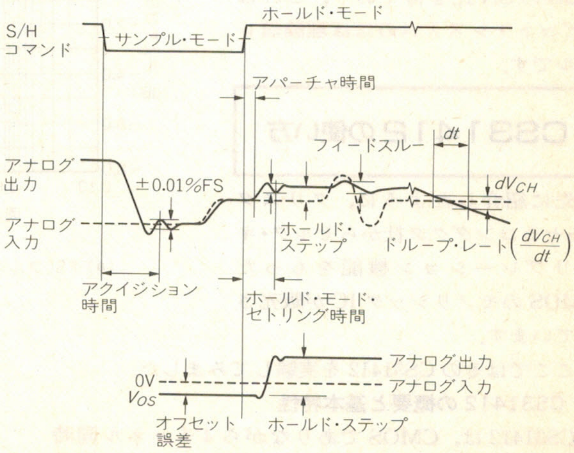
サンプル・モードからホールド・モードへ切り替えられたとき，出力に現れるトランジェント雑音のことをスイッチング・トランジェントといい，その振幅ピーク値とセトリング時間で規定します．

⑨サンプル(トラック)モードでのスペック

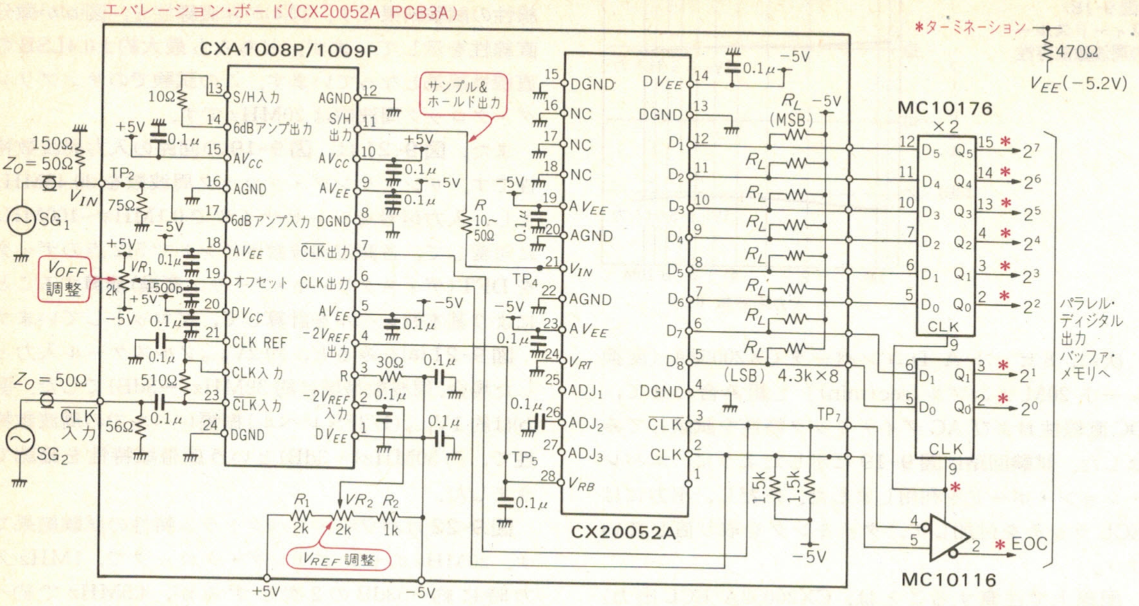
サンプル(トラック)モードでの各種特性は，一般的なOPアンプと同様なスペックが規定されます．

DC特性ではオフセット電圧/ドリフト，バイアス電流，ゲイン精度，直線性などです．AC特性では小信号帯域，フル・パワー帯域幅，スルーレート，雑音および電源変動除去特性($PSRR$)などです．

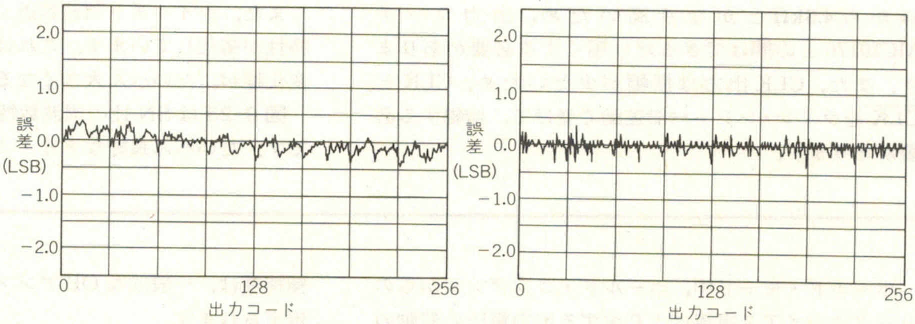
〈図1〉
サンプル&ホールドの仕様定義



〈図 9-19〉 A-D コンバータ CX20052A と組み合わせた試験回路



〈図 9-20〉
図 9-19 の試験回路の DC 特性
(20M サンプル/sec 時)

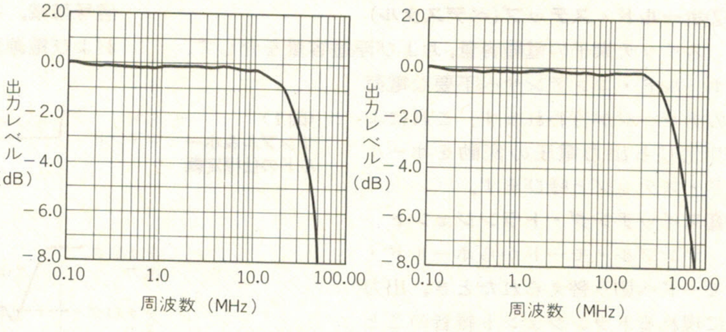


(a) 非直線性　(b) 微分直線性

す.

8MHz 以下で, 40dB 以上の SN 比があります. 100kHz では約 49dB の SN 比を得ており, これは 8 ビット・システムのほぼ理論値レベルです.

〈図 9-21〉 図 9-19 の試験回路の入力周波数特性



(a) FS(フルスケール)入力特性　(b) (FS/2)入力特性

CS31412 の使い方

先に紹介したように, クリスタル・セミコンダクタ社からセルフ・キャリブレーション機能をもった CMOS のモノリシック IC が販売されています.

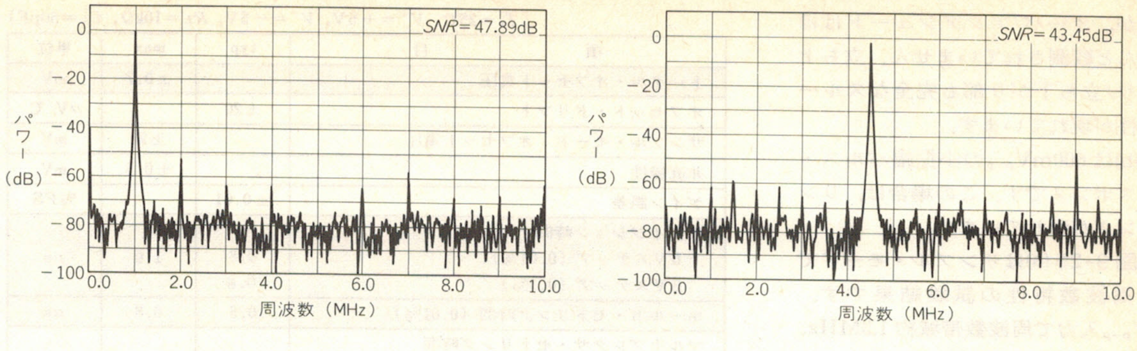
ここではその CS31412 を実験してみました.

● CS31412 の概要と基本特性

CS31412 は, CMOS でありながら 4 チャネル同時にサンプル&ホールドできるモノリシック IC です. LF398 のように, ホールド・コンデンサやオフセット電圧調整用 *VR* などを外付けする必要はありません. **図 9-24** に CS31412 の内部構成を, **表 9-4** にアナログ特性の主なスペックを示します.

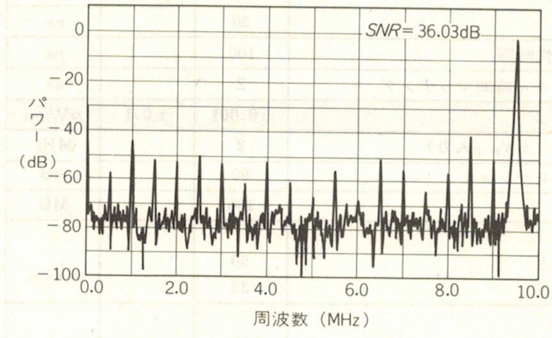
4 チャネルのサンプル&ホールド回路は, 各々独立

〈図 9-22〉 図 9-19 の試験回路のパワー・スペクトラム特性



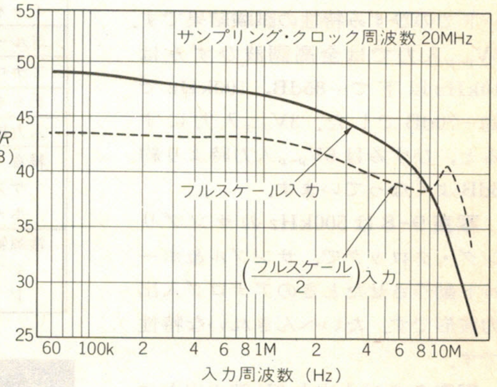
(a) 入力信号周波数 1MHz

(b) 入力信号周波数 4.5MHz

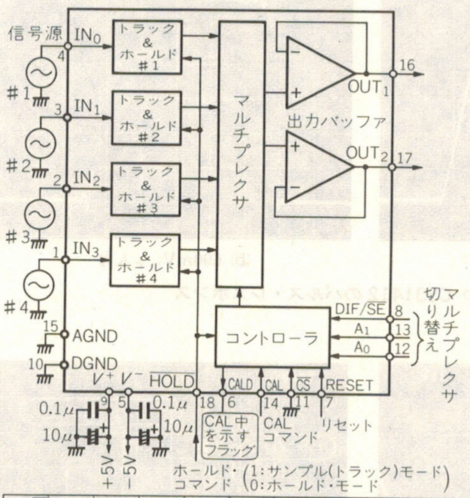


(c) 入力信号周波数9.5MHz

〈図 9-23〉 図 9-19 の試験回路の SN 比周波数特性



〈図 9-24〉 CS31412 の内部構成



DIF/SE	A_1	A_0	OUT_1	OUT_2	DIF/SE	A_1	A_0	OUT_1	OUT_2
0	0	0	IN_0	0V*	1	0	0	IN_0	IN_1
0	0	1	IN_1	0V*	1	0	1	N/A	N/A
0	1	0	IN_2	0V*	1	1	0	IN_2	IN_3
0	1	1	IN_3	0V*	1	1	1	N/A	N/A

*AGND±50mV　N/A:フローティング出力

したタイミングでコントロールすることはできません。4 チャネル同時のサンプル&ホールド動作になります。アパーチャ時間は 20ns であり，チャネル間のアパーチャ時間差は 2ns と規定されています。

DC オフセットおよびチャージ・インジェクションによるダイナミック誤差は，トータル誤差として 12 ビット±1/2LSB 内($6V_{p\text{-}p}$で±700μV 内)に保証されています。

各サンプル&ホールド出力は，アナログ・マルチプレクサを介して出力されます。

マルチプレクサは，モード切り替えにより 4 チャネルのシングルエンド・モードか，2 チャネルずつを差動入力とするディファレンシャル・モードかを設定できます。

CMOS 構造ですから 4 チャネル内蔵ながら，±5V 250mW と低消費電力です。しかも，±5V 電源で，±3V の入力レンジをもっています。

アクイジション時間は，6V 変化時に 0.01 %精度で 0.8μs と高速です。また，ドループ・レートは 0.001μV/μs(typ)と良好なため，長時間ホールド状態を保つ必要のあるアプリケーションに有効でしょう。

次に，CS31412 のダイナミック特性を試験してみました(出力マルチプレクサも切り替えないで CH_0出力のみ)。

写真 9-7 はサンプル・モードでのパルス・レスポン

スです．(a)は$6V_{p-p}$の大振幅特性ですが，オーバ/アンダシュートはほとんど観測されていません．立ち上がり/立ち下がり部も完全なスルー特性が現れています．

(b)は$600mV_{p-p}$の小振幅パルス・レスポンスです．この場合は，リンギングが現れています．

図9-25(a)はサンプル・モードでの周波数特性の試験結果です．$6V_{p-p}$入力で周波数帯域約1.3MHz，$600mV_{p-p}$入力では6MHz近くで約1.5dBのピークが見られ，−3dB帯域は約9MHzとなっています．

また，**図9-25**(b)はサンプル・モードでのひずみ特性の試験結果です．$6V_{p-p}$入力では全高調波ひずみは10kHz以下で−85dB，100kHzで約−70dBでした．$3V_{p-p}$入力にすると，ひずみは$6V_{p-p}$入力時より約6dBよくなっています．

写真9-8は500kHzのサンプリング・クロックで，サンプル&ホールド動作させたときのアナログ入出力波形です．たいへんきれいな特性です．

写真9-9は入出力0V時の出力に現れるホールド・ステップおよびトランジェント雑音波形です．約10mVのホールド・ステップ(ただし，ホールド時には0にキャリブレーションされている)と約30mVピークのトランジェント雑音が観測されました．

● A-Dコンバータ ADC76とのインターフェース

次に，実際にA-Dコンバータと組み合わせて，ACダイナミック特性を試験してみました．CS31412は，実際のアプリケーションでは12ビット1μs程度のA-Dコンバータと組み合わせるのが普通でしょう．

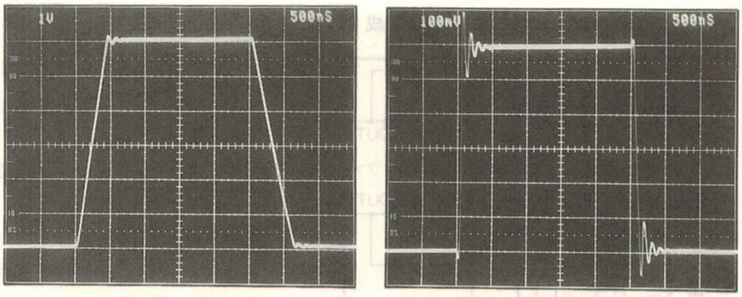
しかしここでは，このサンプル&ホールドICがどの程度の高精度特性をもっているのかを調べる目的で，16ビット15μsのA-DコンバータADC76と組み合わせてみました．その試験回路を**図9-26**に示します．

図9-27に**図9-26**の回路のパワ

〈表9-4〉CS31412の電気的特性(主にアナログ特性)

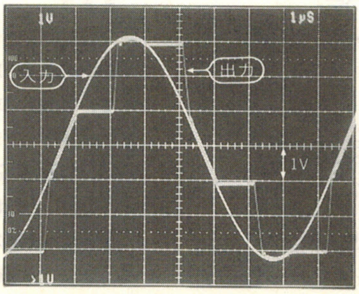
(T_a=25℃，V^+=+5V，V^-=−5V，R_L=10kΩ，C_L=50pF)

項目	typ	max	単位
トータル・オフセット電圧		±0.7	mV
オフセット・ドリフト	±20		μV/℃
サンプル・モード・オフセット電圧		±20	mV
非直線性		±0.5	mV
ゲイン誤差	±0.01		%FS
アクイジション時間 6Vステップ(0.01%) 6Vステップ(0.1%)	 0.8 0.6	 1.0	μs
ホールド・セトリング時間(0.01%)	0.5	0.8	μs
マルチプレクサ・セトリング時間 6Vステップ(0.01%) 6Vステップ(0.1%)	 1.3 1.0	1.5	μs
アパーチャ時間	20		ns
アパーチャ不確定性時間	100		ps
チャネル間アパーチャ時間マッチング	2		ns
ドループ・レート	±0.001	±0.1	μV/μs
アナログ入力帯域($6V_{P-P}$入力)	2		MHz
チャネル間アイソレーション	90		dB
入力抵抗	100		MΩ
雑音 サンプル・モード ホールド・モード	 50 33		μV_{RMS}
電源雑音除去特性 V^+ V^-	 75 60		dB

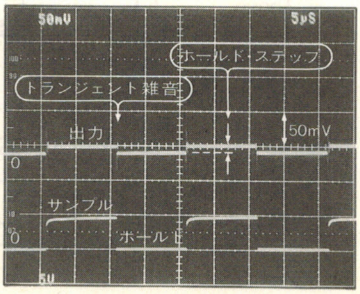


(a) $6V_{P-P}$入力　(b) $600mV_{P-P}$入力

〈写真9-7〉CS31412のパルス・レスポンス

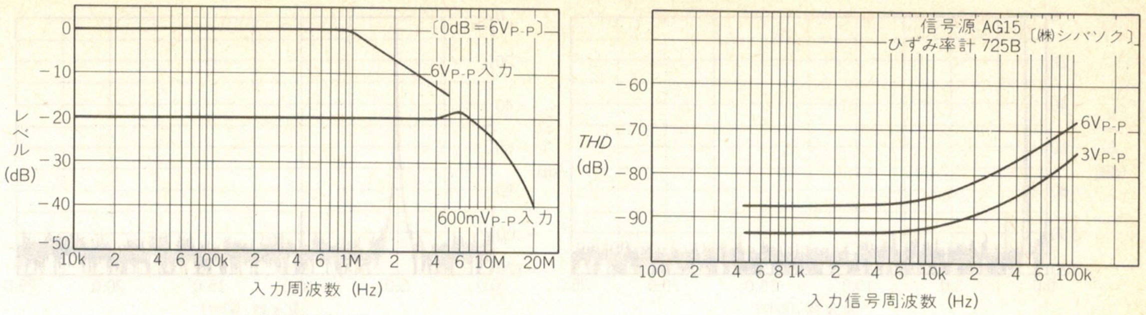


〈写真9-8〉500kHzサンプリング時の入出力波形
(入力周波数125kHz，$6V_{P-P}$)



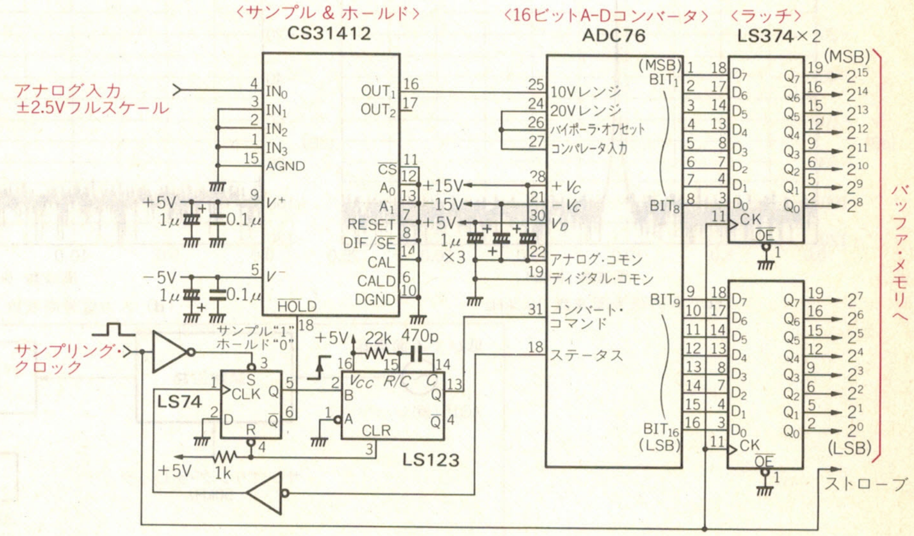
〈写真9-9〉ホールド・ステップとトランジェント雑音

〈図9-25〉 CS31412のダイナミック特性



(a) 周波数特性　　(b) 高調波ひずみ特性

〈図9-26〉
CS31412のダイナミック特性試験回路



ー・スペクトラムの測定結果を示します．入力信号周波数5kHzで，ひずみレベルは－90dB，10kHzでも－87dBとたいへん優れた特性を示しています．ちなみにサンプル・モードでCS31412を単体で測ったひずみレベルは，5kHzで2次ひずみ－87dB，10kHzで2次ひずみ－85dBでした．スペクトラム試験データのほうが2～3dB良くでていますが，原因は調べていません．

好評発売中

トランジスタ技術 SPECIAL No.9

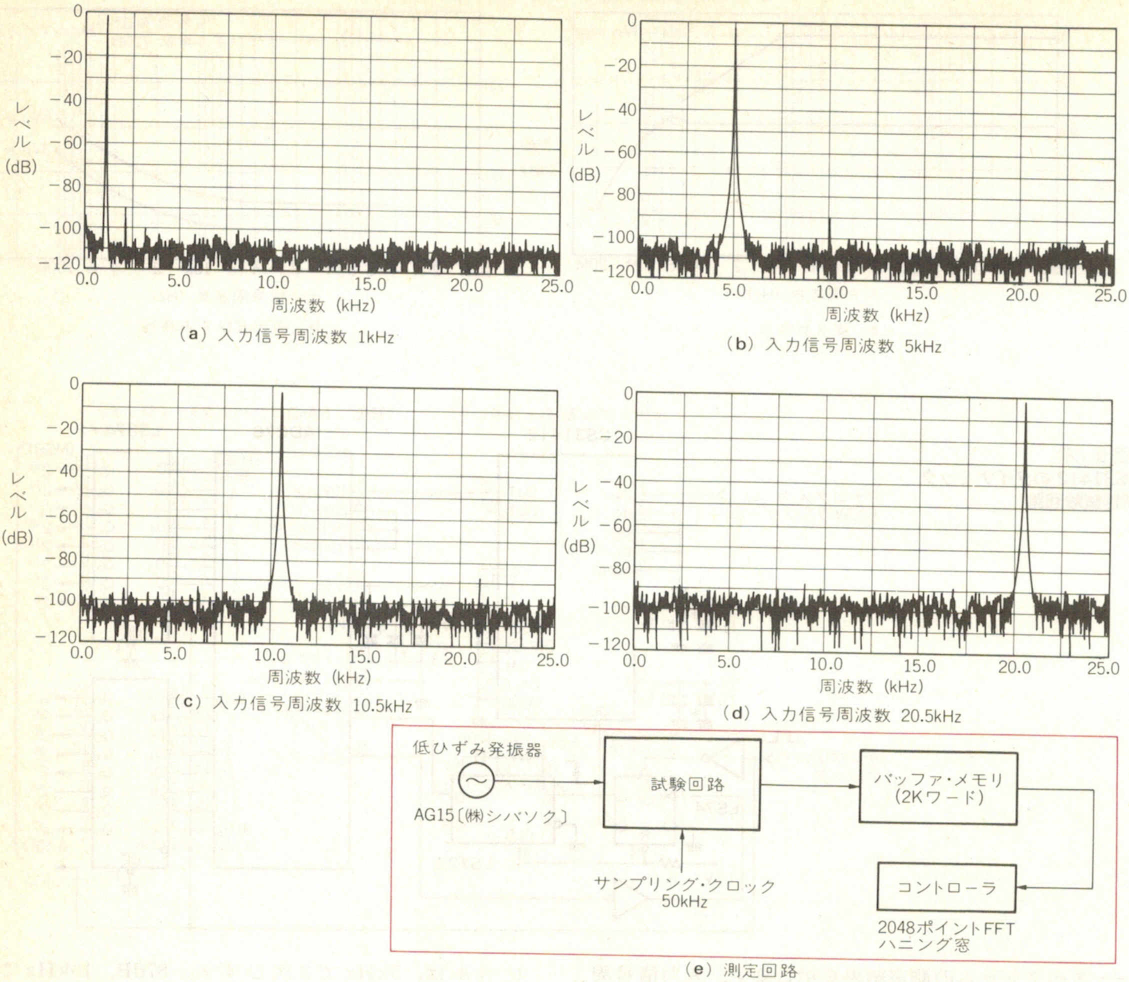
B5判 160頁
定価1,540円
(税込み)

特集 パソコン周辺機器インターフェース詳解
セントロニクス/RS-232C/GPIB/SCSIを理解するために

パソコン/マイコンが外界と通信するために必要な代表的四大インターフェースを詳しく解説します．まず最初に，インターフェースの規格について説明します．そして，そのインターフェースを実現するのに使われるLSI/ICの使い方を説明します．後半では，説明だけでは理解しにくいタイミングなどを，実際の製作記事をとおして学んでいきます．

CQ出版社　〒170 東京都豊島区巣鴨1-14-2　☎03-5395-2121(出版部) 03-5395-2141(営業部)　振替 東京0-10665

〈図 9-27〉図 9-26 の回路の周波数特性



(a) 入力信号周波数 1kHz
(b) 入力信号周波数 5kHz
(c) 入力信号周波数 10.5kHz
(d) 入力信号周波数 20.5kHz
(e) 測定回路

それにしても CMOS モノリシック構造で，これだけの高速性/高精度特性を得ているのは驚きです．

◆参考・引用*文献◆

(1) アナログ・デバイセズ，データ・ブック，1987 年．
(2)*バーブラウン，プロダクト・データ・ブック，1987 年．
(3) ナショナルセミコンダクター，リニア・データ・ブック，1982 年．
(4)*PMI，PMI リニア IC データ・ブック，1986 年．
(5) ハリス，アナログ・プロダクト・データ・ブック，1986 年．
(6)*ソニー，CXA1008P データ・シート．
(7) テレダインフィルブリック，総合カタログ，1986 年．
(8) クリスタルセミコンダクター，CS31412 データ・シート．
(9)*Robert Bayruns; An 8ns Monolithic GaAs Sample and Hold Amplifier, ISSCC 1987 Digest of Technical Paper.
(10) Rudy J van de Plassche; A Monolithic High-Speed Sample and Hold Amplifier for Digital Audio, IEEE J. Solid State Circuits, VOL.SC-18 No.6, DEC 1983.

第10章

16ビット以上の精度を実現するデバイスと周辺回路技術

高精度A-Dコンバータの回路方式と使い方

16ビット精度のA-Dコンバータが最近増えてきました．本章では，高精度を実現するA-D変換の回路方式ならびに特徴を詳しく解説します．さらに周辺回路技術についても紹介します．

最近では，民生機器のディジタル化が進み，オーディオ分野ではディジタル・オーディオ・テープレコーダ(DAT)などが16ビット分解能のA-Dコンバータを要求しているため，低価格で高精度の製品開発が進んでいます．

少し前までは，16ビットでモノリシックICにすることは大変難しかったのですが，現在ではCMOSワンチップの製品が登場しています．

表10-1に，現在入手可能な高精度A-Dコンバータの一覧を示します．

高精度A-Dコンバータの回路方式

● 積分型A-Dコンバータ

昔は高級ディジタル・ボルト・メータなどの計測器でしか使用されていなかった18～22ビットという高分解能の積分型A-Dコンバータが，小型なモジュールで入手できる時代になりました．

例えば，変換速度は3サンプル/secと遅いのですが，小型で高性能という点ではADC100は分解能22ビット，直線性±3ppmという性能をもち，40ピンDIP(トリプル幅)のハイブリッドICに収められています．

表10-1の中で最も高性能なのはアナログ・デバイセズ社のAD1175Kで，22ビット分解能を20サンプル/secというこの種の中では高速性を実現しています．しかも±0.5ppm(max±1ppm)という直線性をもち，133×94×13.5mmのモジュールに収められています．

AD1175Kの内部構成を図10-1に示します．一般に，積分型A-Dコンバータで精度を劣化させる原因は，積分コンデンサの誘電体吸収誤差，およびスイッチ切り替えにより生じるスパイク雑音(チャージ・インジェクション)です．

一般的な二重積分型では，積分コンデンサに大きな電圧変化が急に加えられるため，誘電体吸収の影響を強く受けます．このため，コンデンサの選択が最も重要な課題のひとつでした．したがって，コンデンサにかかる電圧を下げて，誘電体吸収の影響を低減させるテクニックとして，多重積分型，電荷平衡型などが各社で開発され採用されています．

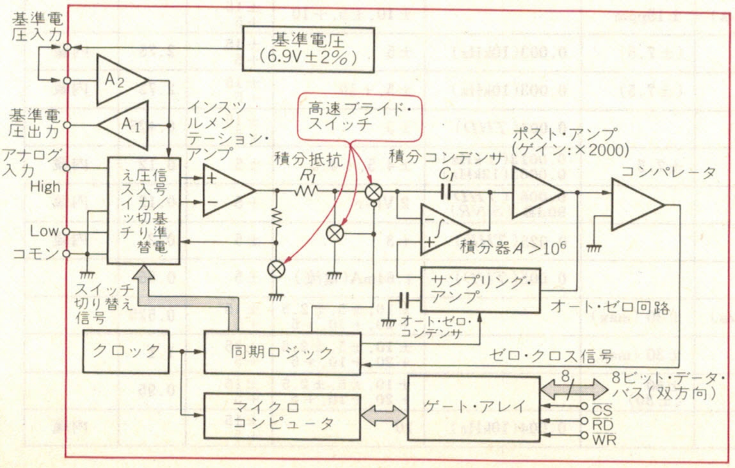
AD1175Kもそのひとつであり，詳細な変換方式は不明ですが，700kHzのクロックを用いて等価的に(二重積分型に対して)120MHzクロックで，しかも50Vの基準電圧を用いたのに相当するとされています．

● 16ビット・サブレンジング A-D コンバータ

16ビットでも高速のA-Dコンバータでは，逐次比較変換方式を採用するメーカが多いのですが，高精度型ではアナログ・ソリューション社が16ビット125k～300kサンプル/secの高精度A-Dコンバータ(サンプル&ホールド内蔵)を，3ステップ・サブレンジング方式で実現しています(ZAD2846/2836/2736)．

ZAD2846/2836の内部構成を図10-2に示します．サンプル&ホールド回路，16ビットD-Aコンバー

〈図10-1〉 22ビット積分型A-Dコンバータ AD1175Kの内部ブロック



タ，6 ビット・フラッシュ A-D コンバータ，誤差増幅器およびマルチプレクサなどから構成されています．

このICの3段階の変換のようすを簡単に説明すると，まずSW_1をONにし，上位6ビットがディジタルに変換されます．これが第1ステップです．

次に，この上位6ビットのディジタル出力が高精度D-Aコンバータによりアナログ値に戻され，入力信号と引き算され，その差分が誤差増幅器1で増幅されます．そしてSW_2がONで，中位6ビットをディジタルに変換します．これが第2ステップです．

最後に，先に変換されたディジタル・データと合わせて上位12ビットがD-Aコンバータにセットされ，再度アナログ入力信号との差分が求められ，誤差増幅器2により増幅されます．その後SW_3がONとなったとき，下位4ビット(+2ビットがオーバレンジ分と推測される)がディジタルに変換されます．

以上の3ステップで得られたディジタル・データが加算演算され，16ビット出力されます．

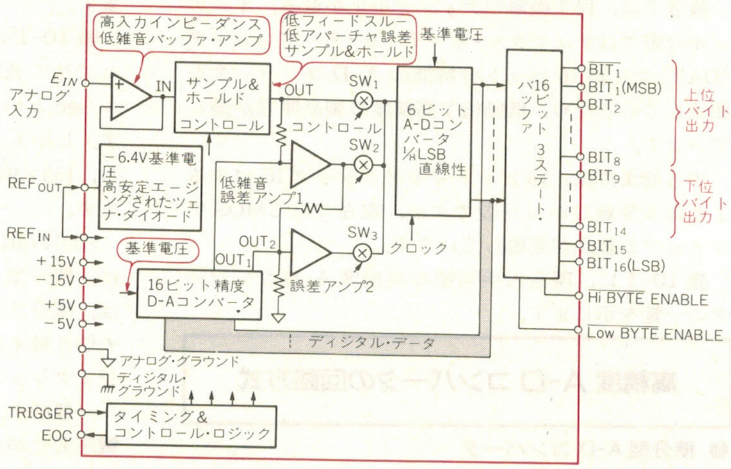
最大変換速度をもつZAD2846では，全変換時間3.3μsですが，そのうちのA-D変換時間分は2.5μsとたいへん高速です．

精度面においても微分直線性16ビット±1/2LSB，高調波ひずみ0.003%(f=10kHz)を得ています．

次に，アナロジック社のADAM826シリーズは，16ビット1.5μsとたいへん高速です．変換方式については発表されていませんが，おそらく多段サブレンジング方式だと思われます．

また，バーブラウン社からは，3段サブレンジング方式の16ビットで1.5μsの変換速度をもつADC701

〈図10-2〉16ビット逐次比較型A-DコンバータZAD2846/36の内部ブロック



〈表10-1〉高精度A-Dコンバータの一覧

型名	メーカ	ビット数	速度 サンプル/s	直線性ppm (微分直線性)	高調波ひずみ(%) (SNR dB)	入力レンジ (V)	電源 (V)	消費電力 (W)	サンプル&ホールド
AD1175K	アナログ・デバイセズ	22	20	±0.5		±5	±15 ±5		
ADC100	Thaler	22	3	±3 (max)		±10.48	±15 +5		
AD1170	アナログ・デバイセズ	18	50	±10 (±3.5)		±5	±15 +5	0.91	
MP8037	アナロジック	17	250	±7.5 (±2.5)		±10	±15 ±5	2.54	
ADAM826-1	アナロジック	16	435k(2.3μs)	(±3.5)		±10, +10	±15 +5, −6	3.93	内蔵
ADAM826-3	アナロジック	16	667k(1.5μs)	(±3.5)		±10, +10	±15 +5, −6	2.8	
ADC701	バーブラウン	16	607k(1.5μs)	±15ppm		±10, ±5, +10	±15 +5		
ZAD2846	アナログ・ソリューション	16	300k	(±7.5)	0.003(10kHz)	±5	±15 +5	2.75	内蔵
ZAD2836	アナログ・ソリューション	16	200k	(±7.5)	0.003(10kHz)	±5, +10	±15 +5	2.75	内蔵
PCM77	バーブラウン	16	125k(8μs)		0.004(*THD*)	±3	±15 +5	0.425	
CS5016 CSZ5116	クリスタル・セミコンダクター	16	50k	±7.5	0.0013(1kHz) 0.0063(12kHz)	±4.5, +4.5	±5	0.12	内蔵
MN86081	松下電子工業	16	48k		0.008 (*THD*) 90dB (*SNR*)	2 V_{P-P}	+5	0.12	内蔵
CS5316	クリスタル・セミコンダクター	16	16k		0.025(*THD*)	±3	±5	0.2	内蔵
CX20018	ソニー	16	44.1k		0.005(*THD*)	1.64mA(電流)	±5	0.56	
ADC76	バーブラウン	16	66.7k(15μs)	±30 (max)		±10, ±5, ±2.5 +20, +10, +5	±15 +5	0.525	
AD376	アナログ・デバイセズ	16	60.6k	±30 (max)		±10, ±5, ±2.5 +20, +10, +5	±15 +5	1.1	
HS9576	ハイブリッド・システム	16	58.8k	±60 (±30)		±10, ±5, ±2.5 +20, +10, +5	±15 +5	0.95	
MN6290	マイクロ・ネットワーク	16	20k		0.004(10kHz)	10	±15 +5		内蔵

が発表されています．ADC701は，18ビットD-Aコンバータ，プログラマブル・ゲイン・アンプ，7ビット・フラッシュA-Dコンバータ，コントロール回路を内蔵し，ディジタル・オーバレンジ補償技術などを用いて，±0.0015％の精度を得ています．

● 16ビット逐次比較型A-Dコンバータ

16ビットで数10kHzの変換速度をもったA-Dコンバータでは，逐次比較変換方式が主流です．しかし，変換はMSBよりLSBまで1ビットごとに順次行われるため，高速セトリングD-Aコンバータと高速・高精度のコンパレータが必要です．工業用ではバーブラウン社のADC76が標準となっています．ADC76は，15μsの変換時間をもっています．

ちなみに，各ビットは約940nsで動作することになります．

直線性誤差は±30ppmですから，精度は15ビット±1LSB(14ビット±1/2LSB)といえます．

図10-3に，参考としてADC76の内部ブロック図と基本回路例を示します．

バーブラウン社では，この他にPCMディジタル・オーディオ用16ビットA-DコンバータPCM77とPCM78を発表しています．これらは変換時間が8μsとたいへん高速です．

PCM77は，ピン切り替えによりD-Aコンバータとしても使用することが可能です．

● 電荷再配分方式16ビットA-Dコンバータ

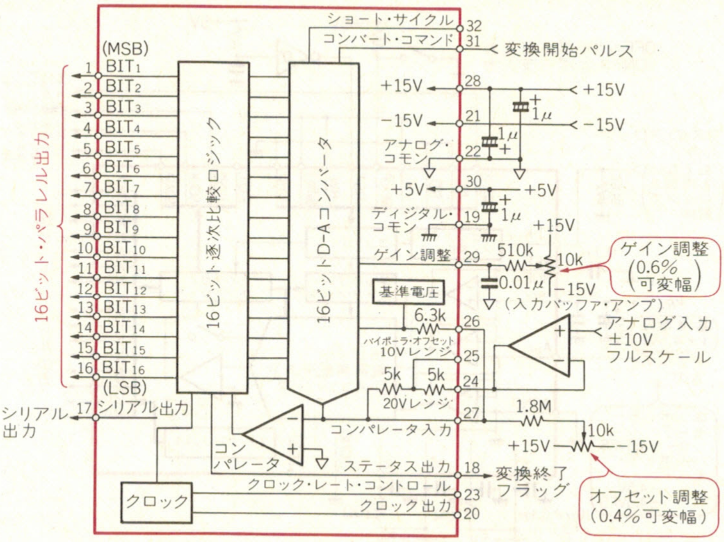
最近，技術的に最も注目されているのは，クリスタル・セミコンダクタ社のCMOSワンチップ16ビットA-DコンバータCS5016/CSZ5116です．モノリシック構造で，サンプル&ホールド機能を含みながら，50kHzの変換レートを実現しています．

精度は，セルフ・キャリブレーション機能を用いて，CS5016で16ビット±1/2LSBを得ています．また，ダイナミック特性でも，CSZ5116で0.002％の高調波ひずみ(f＝1kHz，SN比92dB)を得ています．

CS5016/CSZ5116の内部ブロックを図10-4に示しますが，D-Aコンバータ(キャパシタ・アレイによる電荷再配分型)，コンパレータ，逐次比較ロジック機能をもつコントローラ，各種キャリブレーション回路などを内蔵しています．

D-Aコンバータ部は，バイナリ・ウェイトをもつキャパシタ・アレイ

〈図10-3〉16ビット逐次比較型A-DコンバータADC76の内部ブロックと基本回路例



〈表10-1〉高精度A-Dコンバータの一覧(つづき)

サイズ(mm)	変換方式(構　造)	その他
133×94×13.5	積分型(モジュール)	
40ピンDIP(トリプル幅)	二重積分型(ハイブリッド)	
63.5×31.4×14	電荷平衡積分型(モジュール)	
101.6×50.8×11.3	三重積分型(モジュール)	
127×76.2×11.2	サブ・レンジング(モジュール)	
127×76.2×11.2	サブ・レンジング(モジュール)	
40ピンDIL	3ステップ・サブ・レンジング(ハイブリッド)	
114.3×96.5×14.3	3ステップ・サブ・レンジング(モジュール)	
114.3×96.5×14.3	3ステップ・サブ・レンジング(モジュール)	
42ピンDIP	逐次比較型(ハイブリッド)	A-D/D-A兼用コンバータ(ひずみは外付けS&Hを付加して)
40ピンDIP	逐次比較型(C-MOSモノリシック)	セルフ・キャリブレーション機能を含む
28ピンVSO	多段デルタ・シグマ型(C-MOSモノリシック)	2.56MHzオーバ・サンプル 256段ディジタル・フィルタ内蔵
18ピンDIP	2次デルタ・シグマ型(C-MOSモノリシック)	2.048MHzオーバ・サンプル 384段ディジタル・フィルタ内蔵
28ピンDIP	二重積分型(バイポーラ・モノリシック)	2チャネル内蔵
32ピンDIP	逐次比較型(ハイブリッド)	
32ピンDIP	逐次比較型(ハイブリッド)	
32ピンDIP	逐次比較型(ハイブリッド)	
32ピンDIP	逐次比較型(ハイブリッド)	

などで構成されています．ちなみに，MSBのキャパシタ容量は100pFです．

図10-5にCS5016/CSZ5116の動作原理を示します．A-Dコンバータがサンプル・モードのとき，全キャパシタはアナログ入力(A_{IN})につながれます．そしてSW$_1$をONにすると，A$_1$がアンプとして働き入力信号に追従します．

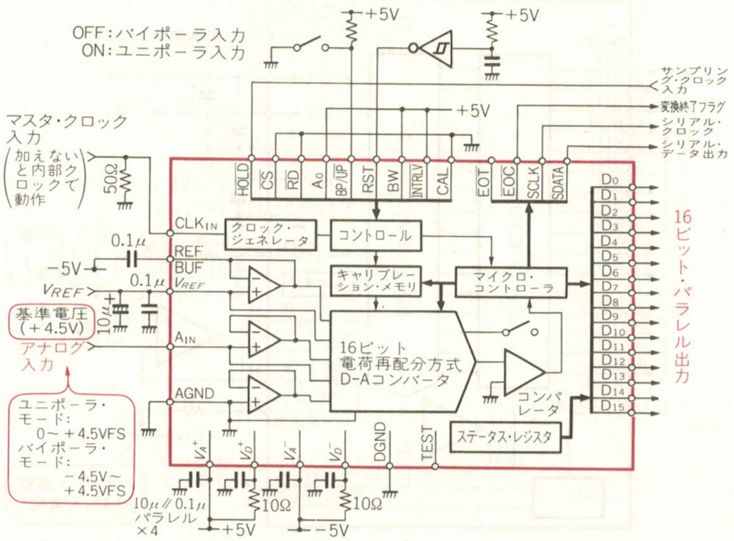
A-D変換モードになるとA_{IN}を切り離し，またSW$_1$をOFFにしてA$_1$をコンパレータにします．そして，サンプル・モードで，入力信号レベルに比例して蓄えられた全電荷に対して，逐次比較A-D変換動作が行われます(電荷再配分動作)．

このICでは，サンプル&ホールドは特別の専用回路ではなく，D-Aコンバータのキャパシタ・アレイ自体がホールド・コンデンサとして働きます．

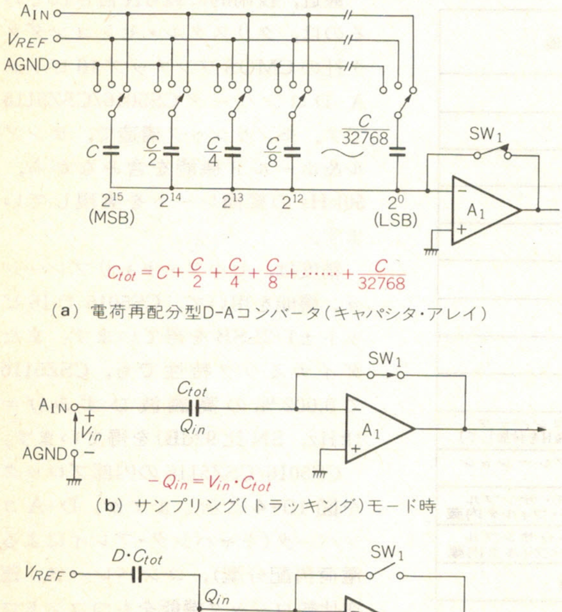
逐次比較A-D変換動作は，各ビットのキャパシタ・アレイ・ノードをV_{REF}(基準電圧)とGND間で切り替え，V_{REF}とGND間へのキャパシタ・アレイ接続の組み合わせにより，キャパシタ・アレイの接続コモン・ノードの電位が0Vとなるところを探す動作になります．

キャパシタ・アレイが正確にバイナリ・ウェイトをもっていないと，直線性誤差を生じます．このため，キャリブレーション・モードにおいて，D-Aコンバータの各ビット容量が正確にバイナリ・ウェイトになるように較正します．そのため，サブD-A変換用キャパシタ・アレイとキャリブレーション用RAMが用意さ

〈図10-4〉16ビットCMOS A-DコンバータCS5016/CSZ5116の内部ブロック図



〈図10-5〉CS5016/CSZ5116の動作原理

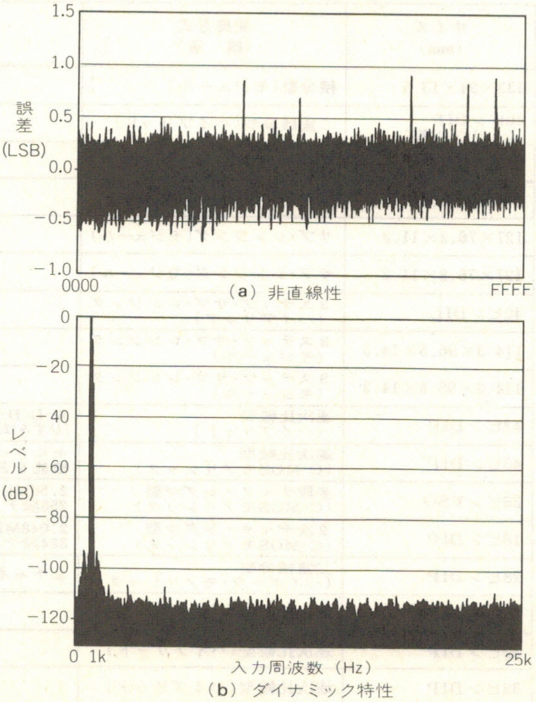


(a) 電荷再配分型D-Aコンバータ(キャパシタ・アレイ)

(b) サンプリング(トラッキング)モード時

(c) A-D変換モード時

〈図10-6〉CS5016/CSZ5116の特性例



(a) 非直線性

(b) ダイナミック特性

れています．

図10-6に，メーカが発表しているDC微分直線性とダイナミック特性(スペクトラム解析データ)を示します．たいへん優れた特性であることが，これらのデータから確認できます．

その他，1ビットA-D変換と呼ばれているデルタ・シグマ変調型A-Dコンバータなどがあります．これについては次章で詳しく紹介します．

16ビットA-DコンバータPCM77の使い方

バーブラウン社の16ビットA-DコンバータPCM77は，オーディオ用として開発された製品で，16ビットA-Dコンバータとしてだけでなく，16ビットD-Aコンバータとしても使用することができます．

したがって，ディジタル・オーディオ・テープレコーダに用いるときは，ピン接続を切り替えることにより録音時にはA-Dコンバータとして，再生時にはD-Aコンバータとして動作させることができます．

内部構成を図10-7に示しますが，モノリシック16ビットD-Aコンバータ，コンパレータ，逐次比較ロジックをハイブリッドで構成し，42ピンDIPプラスチック・パッケージに収められています．

A-Dコンバータとして動作させるときは，サンプル&ホールド回路を外付けし，±3Vフルスケール信号を印加します．変換時間は8μsなので，44.1kHzでサンプリングするときはL-Rチャネルを時分割で処理できます．また，L-R独立で使用すれば，88.2kHzの2倍オーバ・サンプリングで使用できます．

ディジタル出力は，パラレルおよびシリアルいずれでも使用できます．

D-Aコンバータとして動作させるときは，従来のPCMシリーズのD-Aコンバータと同様に使用でき，ディジタル入力はパラレルおよびシリアルでも使用できます．

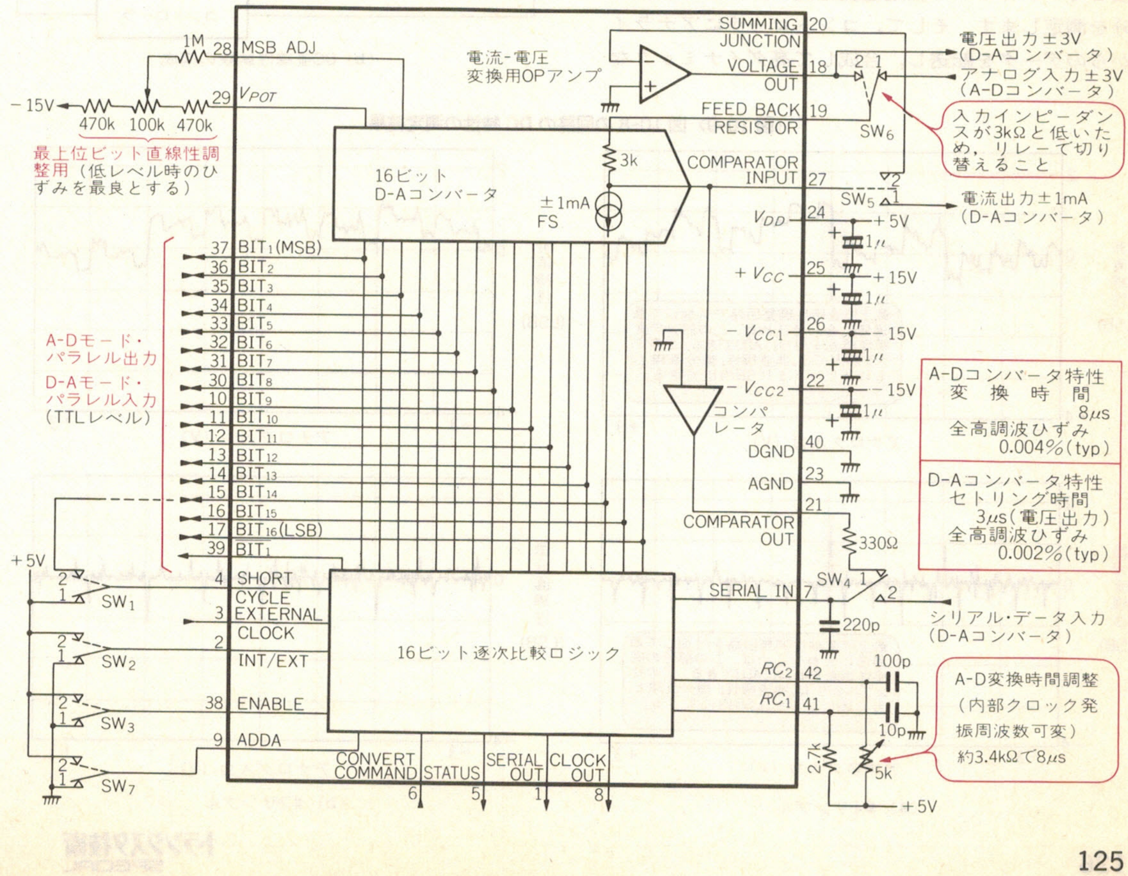
D-A出力は電流出力(±1mA)または内蔵のOPアンプにより，I-V変換して±3V(フルスケール)で使用できます．

また，図10-7に示したように，D-AコンバータのMSBビットの電流値を外部回路で調整することが可能ですので，固定抵抗とボリュームを追加してMSB変化点のゼロ・クロス部分における微分直線性を改善できます．

● PCM77のD-Aコンバータとしての特性試験結果

まず初めに，D-Aコンバータ接続を行ってDC直線性を試験しました．DC直線性は，図10-8に示した試験回路により上位8ビット分の直線性を試験しています．すなわち，コントローラにより順次D-Aコ

〈図10-7〉16ビットA-DコンバータPCM77の内部ブロックと基本回路



ンバータに加えるディジタル・コードをインクリメントし，D-A コンバータ出力を 6 ½桁の高精度ディジタル・ボルト・メータで測定し，GP-IB を介してコントローラへ読み出しています．

図 10-9 に，2 個のサンプル・デバイスについて非直線性および微分直線性を試験した結果を示します．ただし，ここに示すデータは MSB ビットの微分直線性を外部調整していません．

#1 サンプルでは，約 1.3LSB の非直線性と 1.5LSB 程度の微分直線性が観測されています．#2 サンプルでは非直線性，微分直線性とも約 1LSB の直線性誤差が示されています．

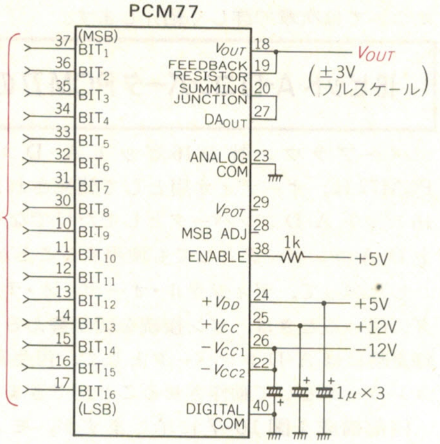
次に，正弦波を再生させてダイナミック特性試験を行いました．測定回路は図 10-10 に示したように，ROM から正弦波のディジタル・コードを出力し，D-A コンバータへ印加します．このときの試験サンプリング・クロックは 44.1kHz です．

D-A コンバータ出力は，デグリッチャ(ON/OFF により測定)とローパス・フィルタを介してスペクトラム解析します．スペクトラム解析には FFT アナライザを用いますが，測定ダイナミック・レンジが不足するため，ノッチ・フィルタを用いています．

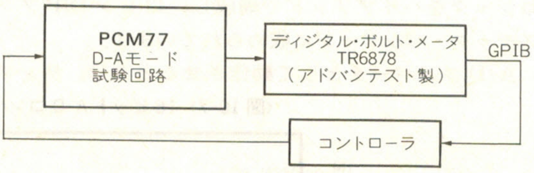
ノッチ・フィルタを OFF にして基本波レベルを測定し，ノッチ・フィルタを ON にして基本波レベルを抑圧してアナライザの測定感度を高め，ひずみと雑音成分を測定します．そして，コントローラにアナライザからのデータを転送し，合成して高ダイナミックな特性評価を行いました．

測定結果を図 10-11 に示します．1kHz(正確には 990.529Hz)0dB(フルスケール)，−20dB，−40dB，−60dB of FS 信号再生時のスペクトラム・データを示しています．低レベル時，MSB コード変化

〈図 10-8〉 PCM77 の D-A モードでの試験回路

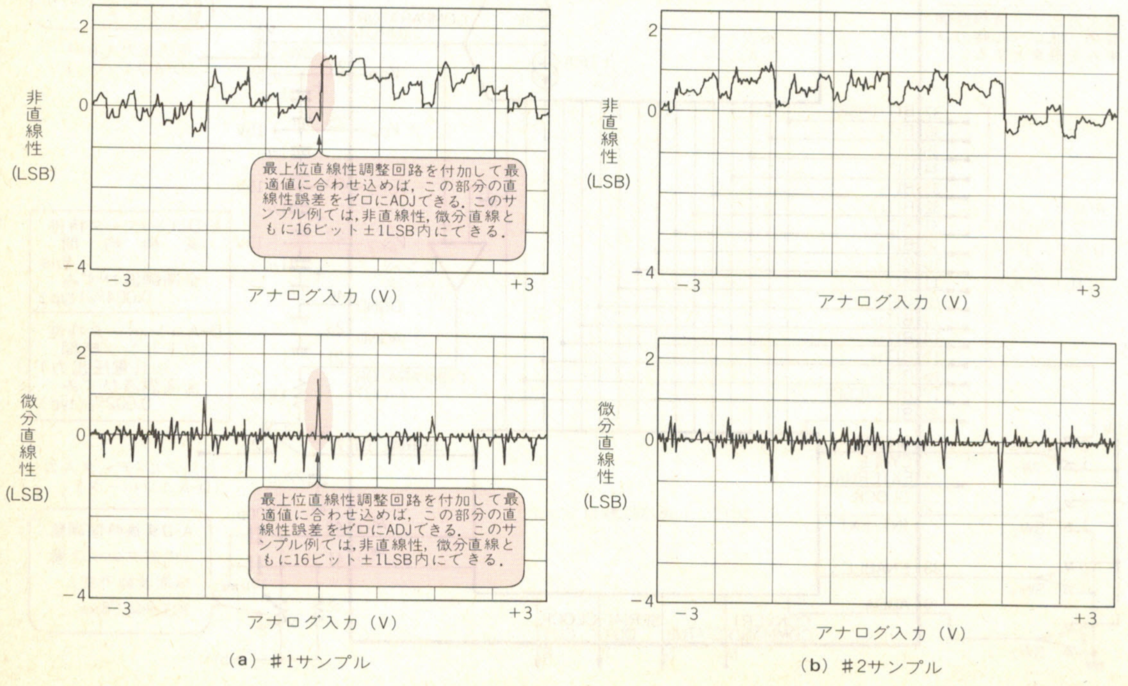


(a) D-Aモード試験回路



(b) DC直線性試験の構成

〈図 10-9〉 図 10-8 の回路の DC 特性の測定結果



(a) #1サンプル

(b) #2サンプル

点(ゼロ点)での微分直線性により，ひずみ特性が劣化しているようすが確認できます．

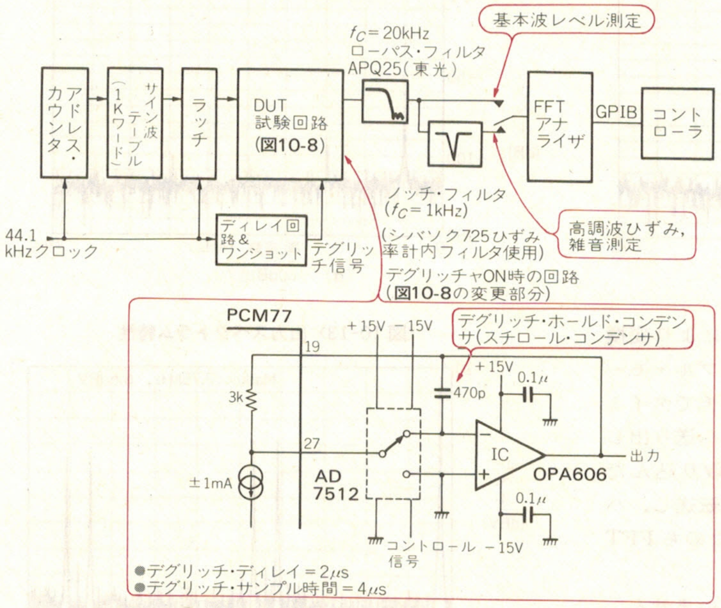
図 10-12 にデグリッチャを ON にしたときのパワー・スペクトラム特性を示します．デグリッチャ回路が付加されることにより，特性が改善されていることがわかります．すなわち，ひずみ以外に不要スプリアス成分が低減されているようすがわかります．

写真 10-1 と **写真 10-2** に D-A 出力のフルスケール・パルス・レスポンスを示します．デグリッチャ，ローパス・フィルタは含みません．たいへんきれいなパルス特性が示されています．スルーレートについても 10V/μs 以上得られています．

写真 10-3 に正弦波再生時の D-A 出力波形およびフィルタ出力波形を示します．

次に，**図 10-13** には D-A 出力のスペクトラム波形を示しています．44.1kHz と 88.2kHz のサイド・バンドにスプリアスが発生していますが，ローパス・フィルタは，これらの成分を除去するためのものです．

〈図 10-10〉 図 10-8 の回路のダイナミック試験回路

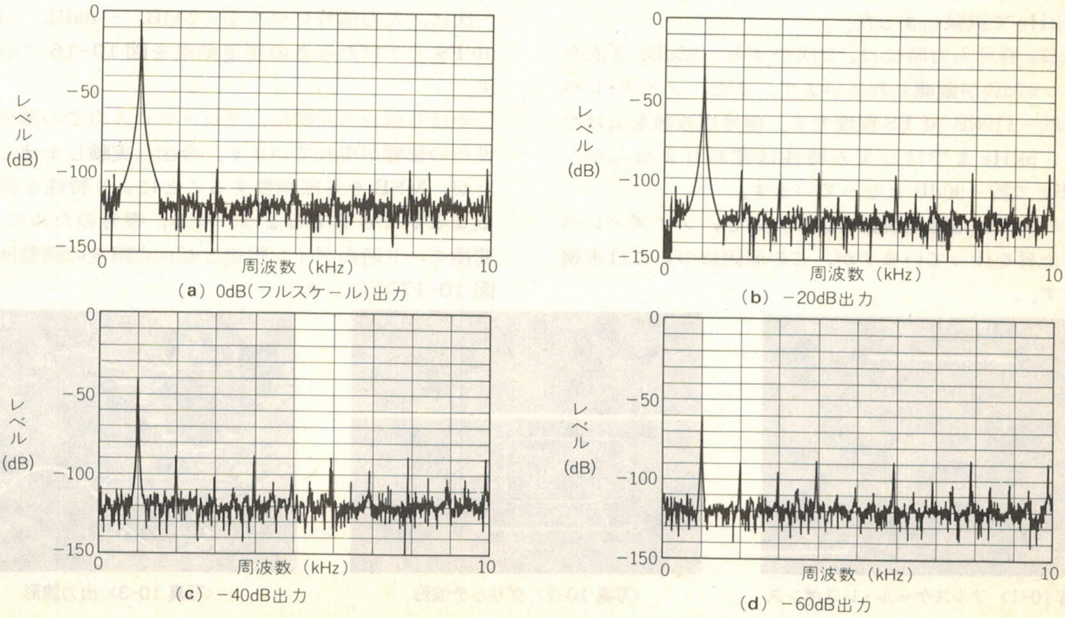


● PCM77 の A-D コンバータとしての特性試験結果

次に，PCM77 を A-D コンバータとして使用したときの特性試験を行いました．その試験回路を **図 10-14** に示します．サンプル&ホールド回路は，標準回路に示されているバーブラウン社の SHC5320(オリジナルはハリス社 HA5320)モノリシック IC で組んでいます．**写真 10-4** にサンプル&ホールド入出力波形を示します．

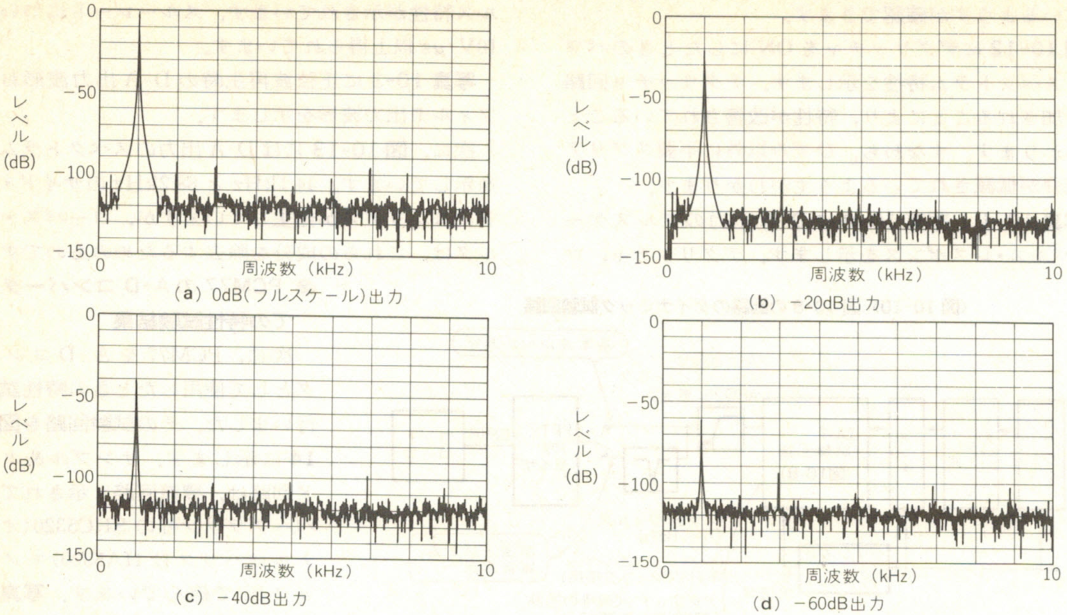
A-D コンバータは，内部クロック回路により 8μs の変換時間で動作させています．タイミングは，44.1kHz のサンプリング・クロックの立ち上がりに同期して，サンプル&ホールドをホールド・モードとし，ワンショット IC で PCM77 への変換開始パルスを作っています．

〈図 10-11〉 図 10-10 のパワー・スペクトラム特性(デグリッチャなし，44.1kHz サンプリング)



(a) 0dB(フルスケール)出力
(b) −20dB出力
(c) −40dB出力
(d) −60dB出力

〈図 10-12〉 図 10-10 のパワー・スペクトラム特性(デグリッチャ付き，44.1kHz サンプリング)



(a) 0dB(フルスケール)出力 (b) −20dB出力 (c) −40dB出力 (d) −60dB出力

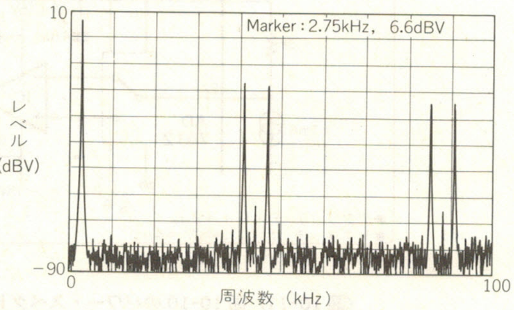
PCM77 から出力される STATUS 信号により変換終了を確認し，サンプル&ホールドをサンプル・モードに戻します．ディジタル出力は一度ラッチでタイミングを取り直したのち，バッファ・メモリへ送り出しています．そして，バッファ・メモリへ取り込んだ2048 ポイントのデータはコントローラへ転送し，ハニング窓によるウェイティング処理をしたのち FFT 演算しています．

この測定では MSB の外部調整は行っていません．入力信号は，低ひずみ発振器から約±3V フルスケール信号を印加しています．測定周波数は 1kHz〜10kHz で試験しました．

1kHz 信号入力時には，2 次ひずみ−93dB，3 次ひずみ−97dB が観測されています．また，ノイズ・レベルは約−110dB of FS 程度です．信号周波数を上げたとき，5kHz まではひずみ特性は変わりませんが，10kHz で約−90dB となっています．

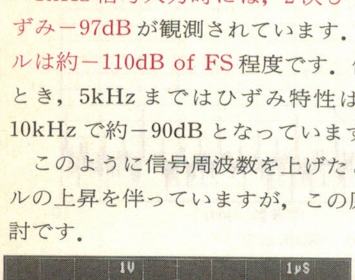
このように信号周波数を上げたとき，ノイズ・レベルの上昇を伴っていますが，この原因については未検討です．

〈図 10-13〉 出力スペクトラム特性

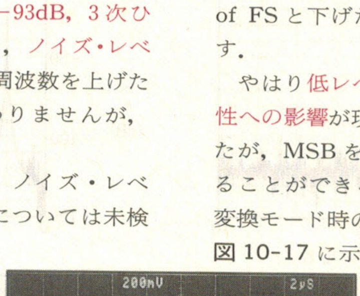


次に，入力信号レベルを−20dB，−40dB，−60dB of FS と下げたときの測定結果を図 10-16 に示します．

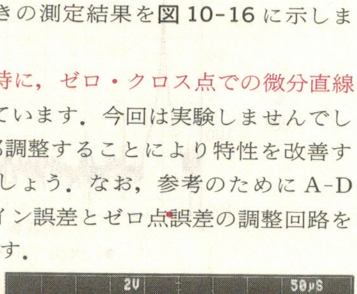
やはり低レベル時に，ゼロ・クロス点での微分直線性への影響が現れています．今回は実験しませんでしたが，MSB を外部調整することにより特性を改善することができるでしょう．なお，参考のために A-D 変換モード時のゲイン誤差とゼロ点誤差の調整回路を図 10-17 に示します．



〈写真 10-1〉 フルスケール・レスポンス

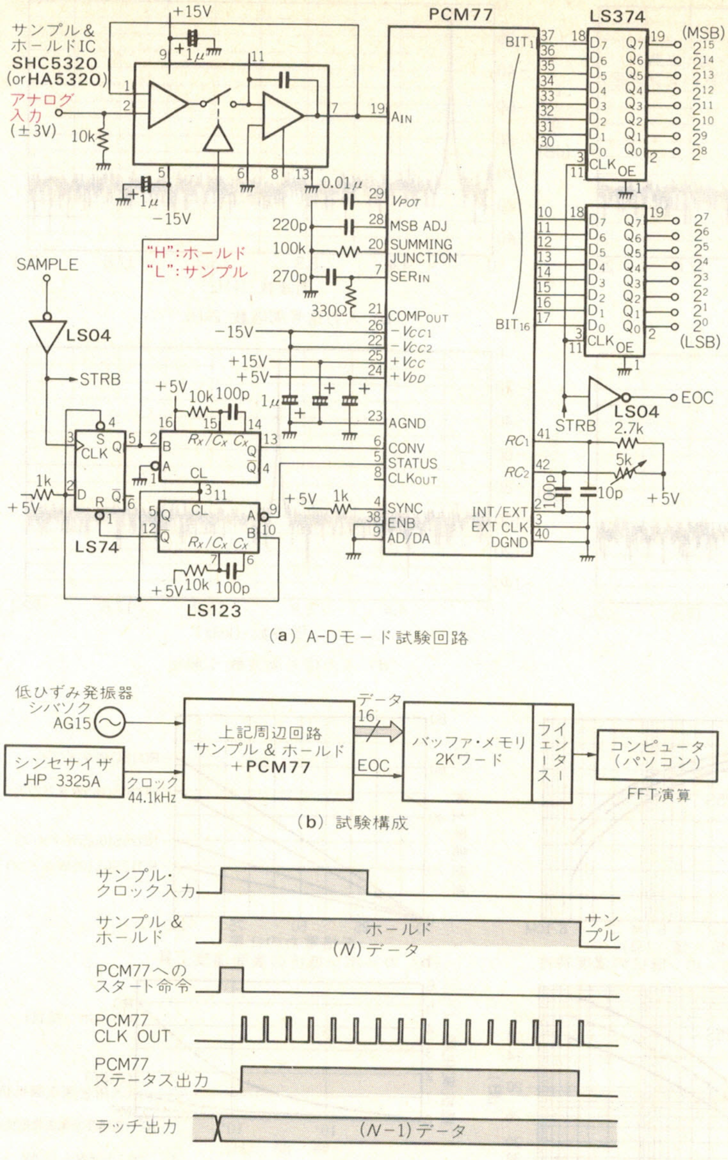


〈写真 10-2〉 グリッチ波形



〈写真 10-3〉 出力波形

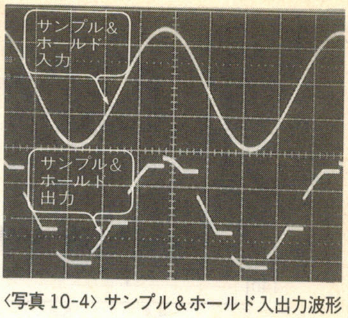
〈図 10-14〉PCM77 の A-D コンバータ・モードでの試験回路



(a) A-Dモード試験回路

(b) 試験構成

(c) タイミング



〈写真 10-4〉サンプル＆ホールド入出力波形

ひずみや *THD* 値は A-D/D-A コンバータの直線性と大きな相関性をもっています．

今回実験した PCM77 の *THD* は，D-A モードではデグリッチャ OFF で約 0.005 %(1kHz フルスケール時)，デグリッチャ ON で約 0.003 %です．また，A-D モードでは約 0.003 %です．

ところで PCM77 の直線性は，**図 10-15** に示した A-D コンバータのフルスケール信号入力時の特性からみると，14～15 ビットあるように見えますが，**図 10-16** において入力レベルを下げていったときにひずみや雑音レベルが劣化しています．この特性から判断すると，12～13 ビット程度の直線性といえます．

高精度を実現するための周辺回路技術

前にも述べたように，高分解能を得るためには周辺回路技術がたいへん重要になります．例えば，14 ビット分解能を実現するには 61ppm/LSB，16 ビットでは実に 15ppm/LSB とたいへんな高精度が要求されます．これらの精度を得る部品(OP アンプ，抵抗，基準電圧など)のドリフト(温度，経時変化)に対する要求は非常に厳しいものです．

図 10-18 に 1/2LSB 精度を得るための許容ドリフト量を示します．実際のところ，これらの高精度を要求する回路設計に対してはかなりの経験とノウハウが必要になります．

ここでは部品に係わる問題として，抵抗や可変抵抗器および基準電圧源について検討してみます．また，サンプリング・システムにおける OP アンプ雑音の影響も考察します．

● 抵抗の選択

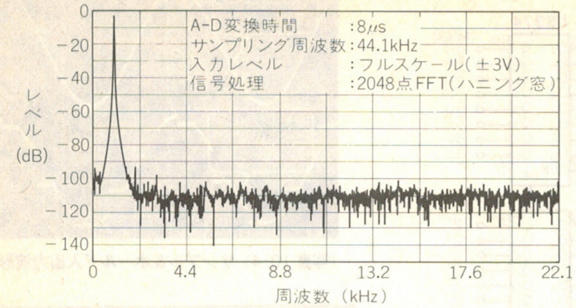
高精度回路を設計する場合，OP アンプの選択と同様に抵抗も必要精度に応じた適切な選択がたいへん重要になります．各種の抵抗がどのような仕様をもっているかを**表 10-2** に示します．

カーボン抵抗は**図 10-19** に示したように抵抗値により温度係数が，約−450～−1300ppm/°Cの幅で変化します．

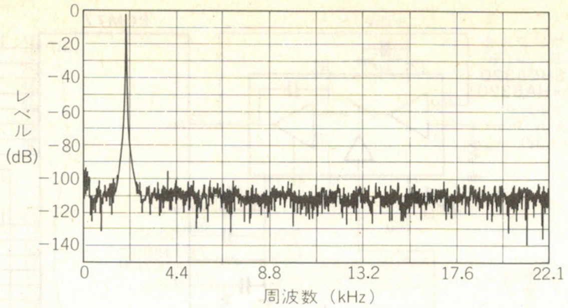
したがって，カーボン抵抗をゲイン設定用抵抗として用いた場合，周囲温度が 1°C変化すると 16 ビット・システムでは 30LSB 以上，14 ビット・システムでも 8LSB 以上のゲイン誤差が生じることになります．

さらに経時変化についても，**図 10-19**(d)に示したようにカーボン抵抗では 1 年間で約 1.5 %の抵抗値変

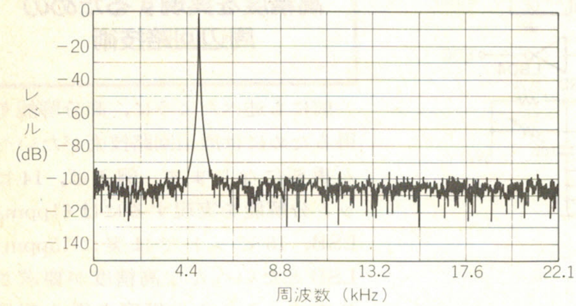
〈図 10-15〉図 10-14のパワー・スペクトラム特性



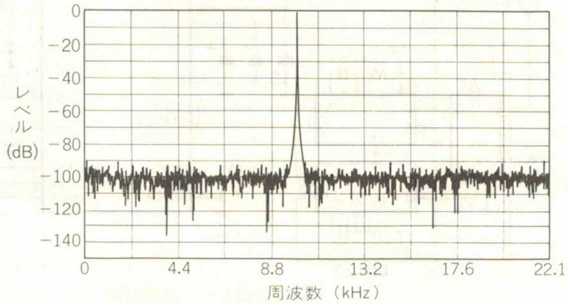
(a) 入力信号周波数 1kHz



(b) 入力信号周波数 2kHz

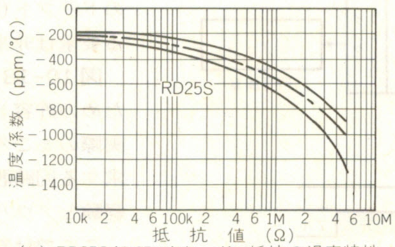


(c) 入力信号周波数 5kHz

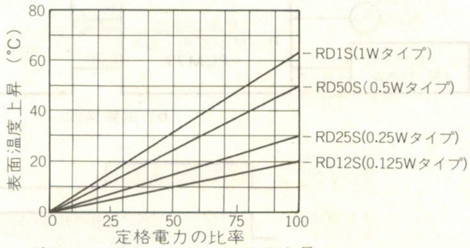


(d) 入力信号周波数 10kHz

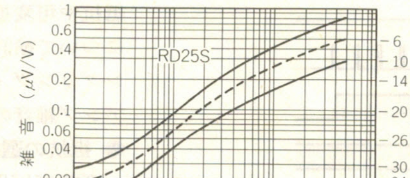
〈図 10-19〉
カーボン抵抗の諸特性



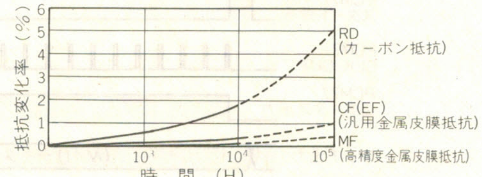
(a) RD25S(0.25W)カーボン抵抗の温度特性



(b) カーボン抵抗の表面温度上昇



(c) カーボン抵抗の雑音



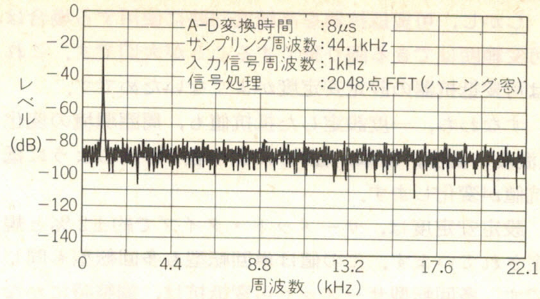
(d) カーボン抵抗,金属皮膜抵抗の経時ドリフト

形　状:1/8W〜1/2W
抵抗値:100Ω〜100kΩ
周囲温度:70°C
負荷電力比:50%負荷
抵抗値変化率:$(\bar{X}+3\delta)$

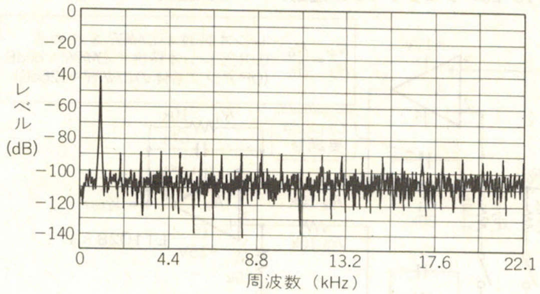
〈表 10-2〉各種抵抗の特性比較

種　類	抵抗値範囲(Ω)	誤差(%)	電力(W)	温度特性(ppm/°C)	経時ドリフト(年)	備　考
カーボン抵抗	2.2〜10M	±2〜5	0.125〜2	−450 (〜47kΩ) −700 (〜100kΩ) −1000 (〜330kΩ) −1300 (360kΩ以上)	1.5%	RDタイプ(興亜電工) 温度特性はRD25Sタイプ
汎用金属皮膜抵抗	10〜4M	±0.5〜2	0.125〜2	±50, ±100, ±200	0.2%	SN14タイプ(興亜電工)
高精度金属皮膜抵抗	20〜5M	±0.05〜1	0.1〜1	±25, ±50, ±100	0.025% (10kΩ) 0.1% (100kΩ)	MF(RN)タイプ(多摩電気工業)
超高精度金属薄膜抵抗	30〜200k	±0.005〜1	0.33	±0.5, ±2.5, ±5	25ppm	MCタイプ(アルファ・エレクトロニクス)

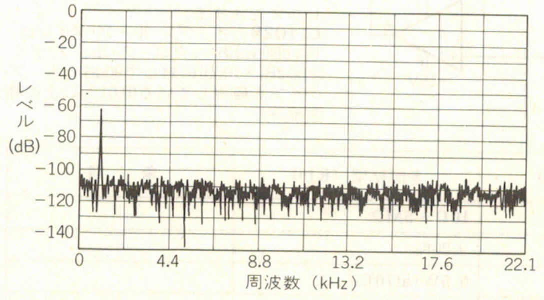
〈図 10-16〉入力レベルを変えたときのパワー・スペクトラム特性



(a) 入力信号レベル−20dB of FS

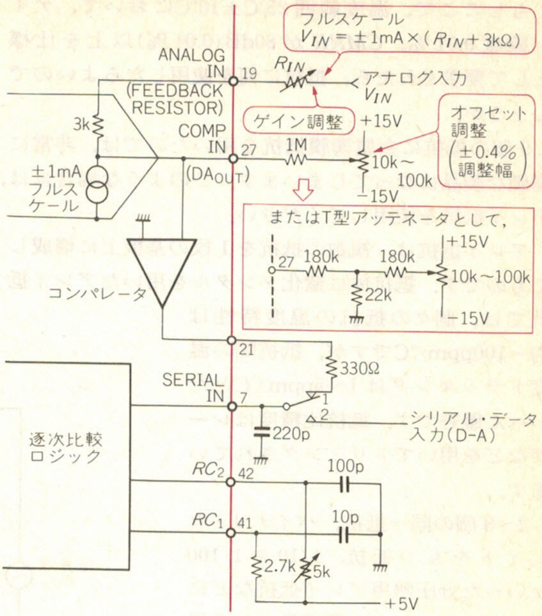


(b) 入力信号レベル−40dB of FS

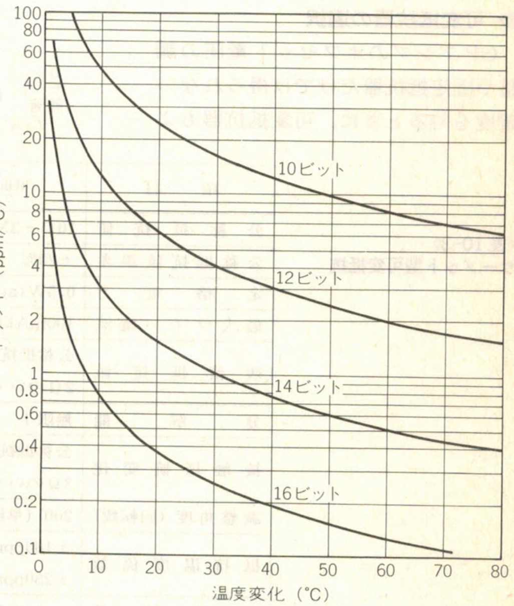


(c) 入力信号レベル−60dB of FS

〈図 10-17〉ゲイン調整とゼロ点調整



〈図 10-18〉1/2LSB 精度を得るための許容ドリフト量



化(70°C, 50%負荷として)があります.

以上のことから, 高精度なゲイン設定を行うときやフィルタ定数を設定するところには金属皮膜抵抗を使用すべきです. 金属皮膜抵抗には, **表 10-2** に示したように, 精度や安定度により数多くの品種があります.

低価格汎用タイプは, F級(1%)の温度係数±100ppm/°Cが標準であり, カーボン抵抗に比べ諸特性約5倍改善されています.

もう1ランク高精度な金属皮膜抵抗としては温度係数±25ppm/°C, 抵抗値確度C級(0.25%)〜D級(0.5%)がありますが, これ以上の精度のものは価格が急激に高くなります.

基準電圧回路などに絶対確度が必要なところでは, 超高安定金属薄膜抵抗を使用します. 例えば, **表 10-2** に示した金属薄膜抵抗は, 温度係数±1〜±5ppm/°C, 抵抗値確度±0.005〜±0.01%, 経時安定性25ppm/年という仕様をもっています. ただし, たいへん高価なため, 使用するところは限られたところにすべきです.

複数の抵抗で精度が必要な場合でも, それぞれの絶対確度は必要なく, 抵抗間の相対確度(レシオ特性)のみが精度を決定する場合が多いものです. 例えば, 分圧器やプログラマブル・ゲイン・アンプなどです.

図 10-20 に示す差動プログラマブル・ゲイン・アンプにおいて, R_1, R_2, …R_{Gn}(図ではR_1〜R_3)のレシオ精度がゲインを決定し, R_3〜R_6のレシオ精度が

CMRR 特性を決定します．

もしここで，温度範囲 25°C±10°Cにおいて，ゲイン確度 0.01％，*CMRR* が 80dB(0.01％)以上を仕様として要求されたら，抵抗に何を使用したらよいのでしょうか．

9個の抵抗に金属薄膜抵抗を用いたのでは，非常に高価な製品になってしまいます．このような場合には，アレイ抵抗を使用してください．

アレイ抵抗は，複数の抵抗を1枚の基板上に構成したものです．抵抗体に窒化タンタルを用いたアレイ抵抗では，個々の抵抗の温度特性は約−100ppm/°Cですが，抵抗間の温度トラッキングは1〜5ppm/°Cとたいへん優秀です．抵抗比精度はレーザなどを用いてトリミングされています．

2〜8個の同一抵抗，バイナリ・ウェイトをもつ抵抗，1/10や1/100といった分圧器用アレイ抵抗などについては，メーカの標準品として扱われている場合があります．

● 可変抵抗器の選択

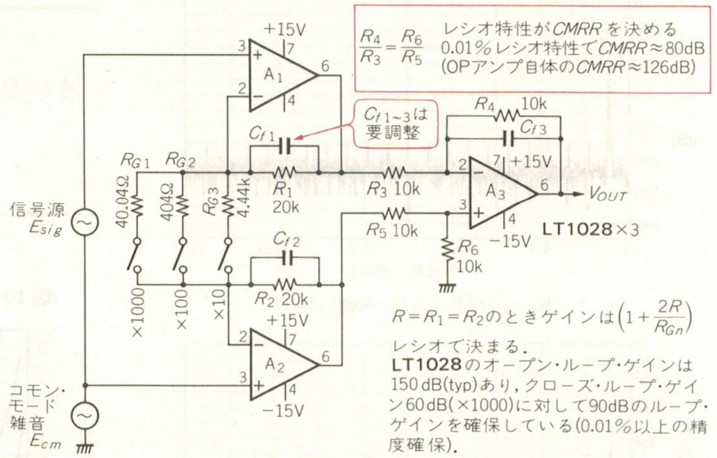
OPアンプのオフセット電圧の調整や固定抵抗器だけでは得られない確度を得るときに，可変抵抗器もよく使用されます．

しかし，可変抵抗器を高精度回路に使用する場合は，可変範囲はできる限り狭くすることが大切です．これは可変抵抗器の設定安定度がよくないためです．

すなわち，一度設定した抵抗値も，周囲環境の変化(温度，湿度，衝撃，経時)により表 10-3 のように抵抗値が変化します．

設定安定度は，サーメット・タイプで約±2％と規定されています．この値は単回転型も多回転型も同じです．多回転型サーメット可変抵抗は，調整時にかな

〈図 10-20〉 プログラマブル差動アンプの回路例



〈表 10-3〉
サーメット型可変抵抗

項目		単回転型 (RJ4)		多回転型 (RJ9)		条件
公称抵抗値		10Ω〜2MΩ		10Ω〜5MΩ		
公称抵抗値誤差		±20％		±20％		
定格電力		0.5W(at70℃)		0.5W(at70℃)		
最大ワイパ電流		100mA以下		100mA以下		または定格電力のいずれか小さいほう
残留抵抗値		公称抵抗値の1％または2Ωのいずれか大きいほう		公称抵抗値の1％または2Ωのいずれか大きいほう		
分解能		無限小		無限小		
接触抵抗変化		公称抵抗値の1％または3Ωのいずれか大きいほう		公称抵抗値の1％または3Ωのいずれか大きいほう		
調整角度(回転数)		200°(単回転)		18回転		
抵抗温度係数		±100ppm/℃ (100〜2MΩ) ±250ppm/℃ (10〜50Ω)		±100ppm/℃ (50〜2M) ±250ppm/℃ (10〜20Ω)		
環境特性		ΔR/R	S·S	ΔR/R	S·S	
	熱衝撃	±2％	±1％	±2％	±1％	−65〜+125℃, 5サイクル
	湿度	±2％	—	±2％	—	80〜98％RH, 240H
	衝撃	±1％	±1％	±1％	±1％	100G, 6方向×3回
	高周波振動	±1％	±1％	±1％	±1％	20G, 10〜2kHz, 12H
	負荷寿命	±3％	±1％	±3％	±1％	+70℃定格負荷, 1000H
	低温動作	±2％	±2％	±2％	±2％	−55℃, 2H
	高温放置	±3％	±2％	±3％	±2％	+120℃, 250H
	回転寿命	±(3％+0.5Ω) ±(2％+0.5Ω)	— —	±(3％+0.5Ω) ±(2％+0.5Ω)	— —	10Ω〜200Ω 500Ω〜2M(RJ4) 500Ω〜5M(RJ9)

$\Delta R/R$：最大抵抗値変化，$S\cdot S$：設定安定度

り細かく抵抗値を設定できるため，ついこの安定度を忘れがちになります．

調整範囲を狭くするには，**図 10-21** に示すように固定抵抗＋可変抵抗の構成にします．

広い調整範囲が必要で，しかも高精度を満足するためには，**図 10-21**(c)に示したように調整用固定抵抗を数個バイナリ・ウェイト値で設け，DIP スイッチやリード・ジャンパ線をカットすることにより切り替えます．そして，可変抵抗の可変幅を狭くし設定安定度を確保します．

● 基準電圧源の選択

最近の A-D/D-A コンバータは，ほとんどが基準電圧源回路が内蔵されています．しかし，真の 14～16 ビット精度を満たしている基準電圧源であるかというと，そうとは言えません．

例えば，工業用 16 ビット A-D コンバータの代表といえる ADC76(バーブラウン社)の内蔵基準電圧を使用したときのゲイン・ドリフトは±15ppm/°Cであり，周囲温度 1°Cの変化で最大 1LSB 分のゲイン誤差を生じることになります．さらに，基準電圧源は経時ドリフトがけっこう多いのですが，ほとんどの A-D/D-A コンバータでは仕様化されていません．

また，システム設計をしていると，ひとつの基準電圧源を複数のA-D/D-A コンバータの基準電圧にして，トラッキングを図りたい場合がよくあるのですが，最近では A-D/D-A コンバータの内部基準電圧が IC 内部ですでに接続されており，外部供給できないタイプが増えています．

そこで，ここでは最近の高精度基準電圧源 IC について考えてみることにします．

基準電圧源としては，バンド・ギャップ方式を採用している IC がほとんどですが，1ppm/°C以下の高安定用としては，まだツェナ・ダイオードに頼らなければなりません．

また，A-D/D-A コンバータに内蔵されている基準電圧源は，12 ビットまではバンド・ギャップによるものが多いのですが，16 ビット・タイプになるとはツェナ・ダイオードを用いる例が多くなっています．バンド・ギャップと低雑音ツェナ・ダイオードでは雑音電圧密度に数倍の差があります．

基準電圧源 IC を温度特性でランク分けすると，汎用タイプ(50ppm/°C以上)，高精度タイプ(20～10ppm/°C)，超高精度タイプ(5～0.5ppm/°C)に分類できるでしょう．**表 10-4** に高精度/超高精度タイプのいくつかの例を示します．

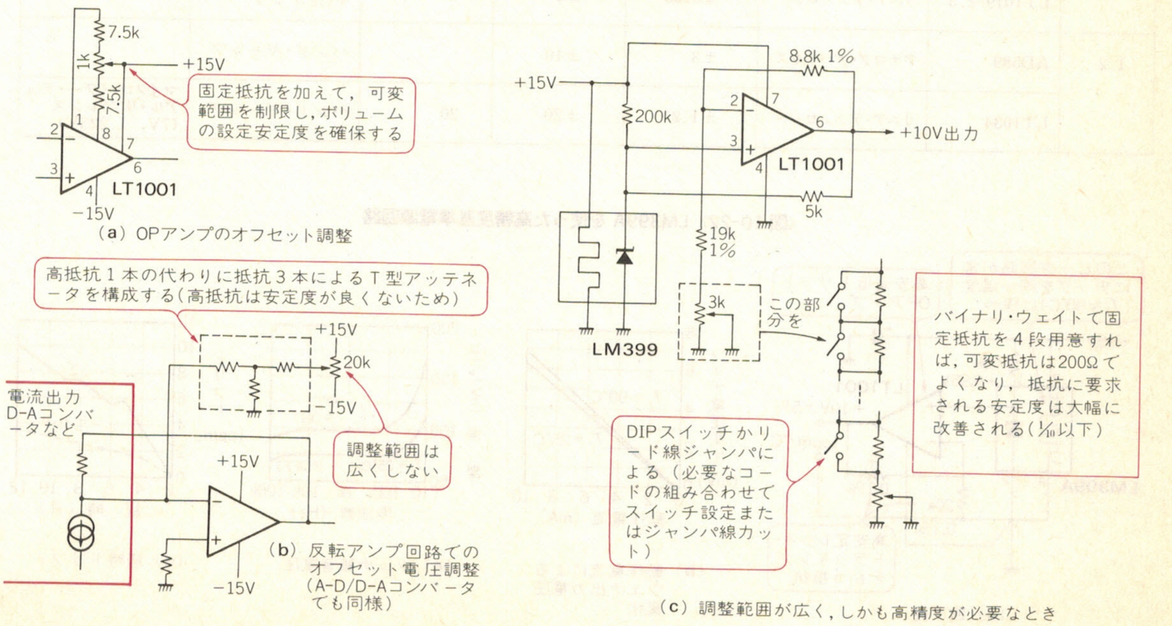
基準電圧源 IC ではバンド・ギャップ電圧 1.2V，ツェナ電圧 6.9V で，OP アンプを内蔵して 2.5V，5V，10V を出力するタイプが増えています．出力電圧確度については±0.05 %までトリミングされています．

経時ドリフトについては max 値を補償するメーカは少なく，表示してあっても typ 値です．高精度タイプで 1000 時間後のドリフトは約 20ppm，超高精度タイプで約 10ppm です．

経時ドリフトは約 $\sqrt{\mathrm{kHour}}$ のファクタをもつため，時間とともにドリフト量は減少します．逆に初期エージングを行うとドリフトを減らすには有効であるといえます．

表 10-4 の中で最も安定度の高い基準電圧源 IC は，

〈図 10-21〉 高精度回路での調整方法



LM399A(NS社オリジナル)です．LM399Aでは6.95Vの高安定ツェナ・ダイオードと温度安定化用ヒータ回路が内蔵され，チップ温度を常に90°Cに保って周囲温度変化による影響を低減しています．その結果，±0.5ppm/°Cという超高安定度を得ています．

LM399Aを用いて基準電圧(例えば10V)を得る場合，OPアンプおよびゲイン抵抗の選択が非常に重要です．OPアンプは1μV/°C以下の低ドリフト・タイプを選び，抵抗も1ppm/°C以下の温度トラッキングをもつものが必要です．

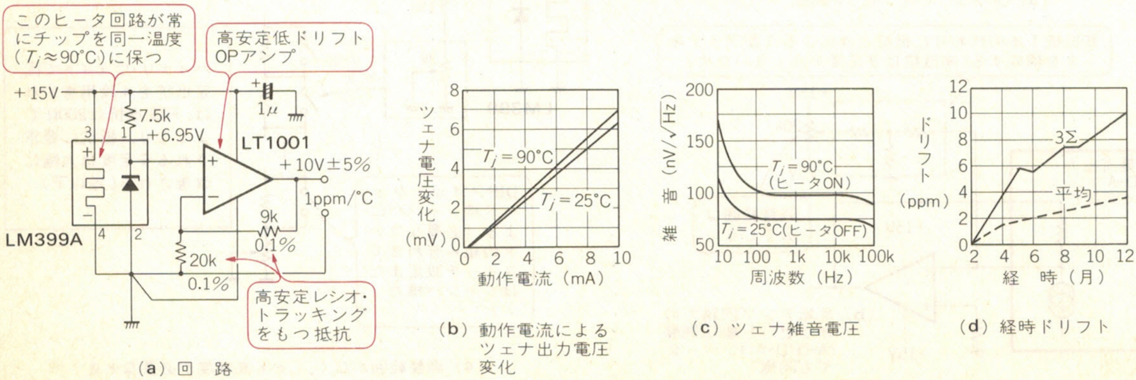
図10-22にLM399Aを使った回路例を示します．

10V(1ppm/°C)の基準電圧を周辺回路なしで得よう

〈表10-4〉高精度基準電源ICの一例

出力電圧 (V)	デバイス名	メーカ名	出力電圧精度 max (%)	温度特性 max(ppm/℃)	経時特性 typ(ppm/1000H)	基準電圧源 回路方式	備考
10.0	REF10	バーブラウン	±0.05	±1	50	ツェナ・ダイオード +OPアンプ	
	AD2710	アナログ・デバイセズ	±0.01	±1	25	ツェナ・ダイオード +OPアンプ	
	REF01	PMI	±0.5	±8.5		バンド・ギャップ +OPアンプ	
	LT1021-10	リニア・テクノロジー	±0.05	±5	15	バンド・ギャップ +OPアンプ	
	AD581	アナログ・デバイセズ	±0.05	±5	25	バンド・ギャップ +OPアンプ	
6.95	LM399A	NS (リニア・テクノロジー)	±5	±0.5	20 (8)	ツェナ・ダイオード	ヒータ回路内蔵 (温度安定化T_j=90℃)
5.0	REF02	PMI	±0.3	±8.5		バンド・ギャップ +OPアンプ	
	AD584	アナログ・デバイセズ	±0.05	±5	25	バンド・ギャップ +OPアンプ	タップ切り替えで 10,7.5,5,2.5V可
	LT1021-5	リニア・テクノロジー	±0.05	±5	15	バンド・ギャップ +OPアンプ	
2.5	AD580	アナログ・デバイセズ	±0.4	±10	100	バンド・ギャップ +OPアンプ	
	REF03	PMI	±0.32	±8.5		バンド・ギャップ +OPアンプ	
	LT1019-2.5	リニア・テクノロジー	±0.05	±5		バンド・ギャップ +OPアンプ	
1.2	AD589	アナログ・デバイセズ	±3	±10		バンド・ギャップ	
	LT1034	リニア・テクノロジー	±1.2	±20	20	バンド・ギャップ	マイクロパワー・デュアル・リファレンス (7V，1.225V)

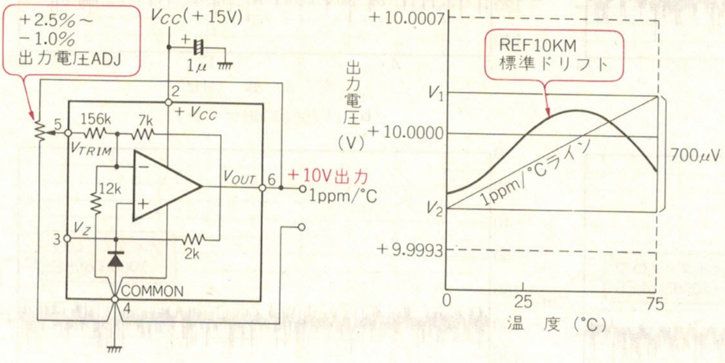
〈図10-22〉LM399Aを使った高精度基準電源回路



とするなら，REF10(バーブラウン社)，AD2710(アナログ・デバイセズ社)を検討してみるとよいでしょう．図 10-23 に REF10 を使った回路例を示します．

A-D 変換回路へのノイズの影響

〈図 10-23〉 REF10 を使った基準電源回路



(a) 回　路

(b) 温度ドリフト特性

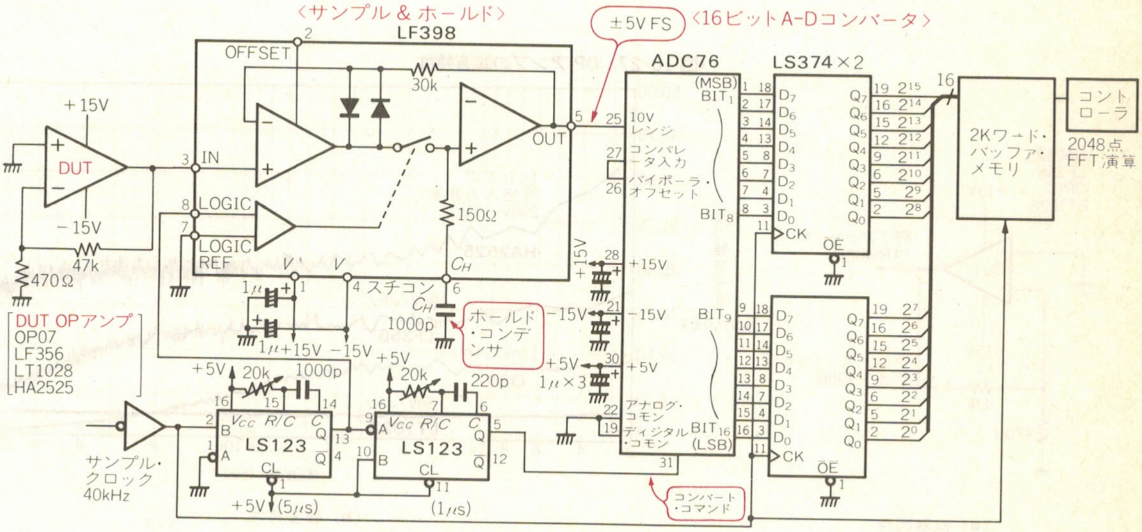
高精度/高ダイナミック・レンジの A-D 変換回路において，雑音は重要な問題です．次に，周波数領域でのノイズ・フロワについて実験を行ってみました．

図 10-24 に示した構成で，ノイズ・フロワの変化を調べてみました．実験は A-D コンバータの入力レンジが±5V，サンプリング周波数 40kHz で，2048 点の FFT 演算を行い，1024 ラインの周波数分解能を求めています．

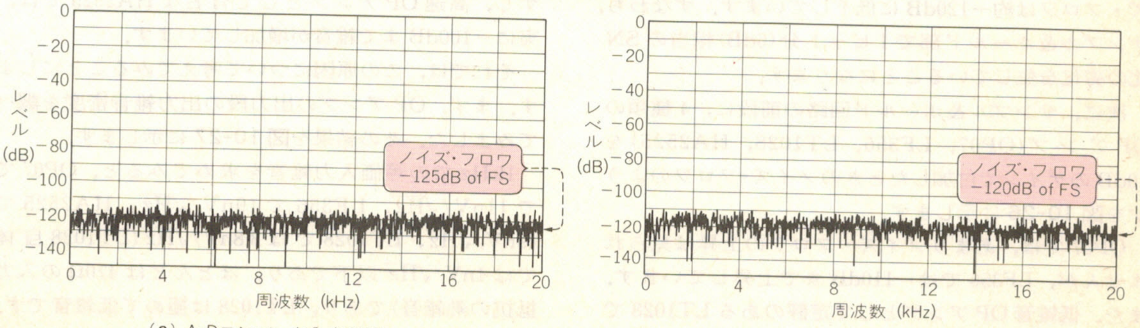
A-D コンバータの入力をグラウンドとしたときのノイズ・フロワは，図 10-25 (a) に示すように約−125dB で，ほぼ 16 ビットの量子化雑音レベル(−128dB)に近いものです．ちなみに SN 比で表現すると，16 ビット量子化によるフルスケール入力に対する SN 比の理論値は 98dB です．

次に，サンプル&ホールド入力をグラウンドとすることにより，ノイ

〈図 10-24〉 ノイズ・フロワ試験回路



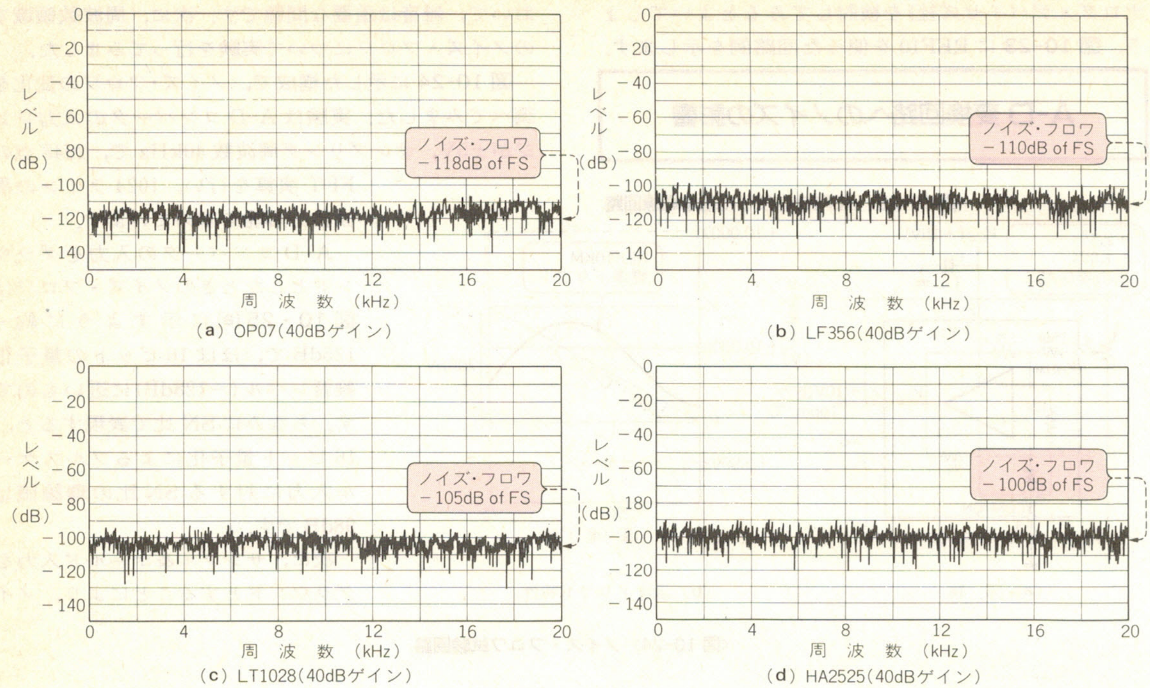
〈図 10-25〉 図 10-24 の回路のノイズ・フロワ



(a) A-Dコンバータ入力GND

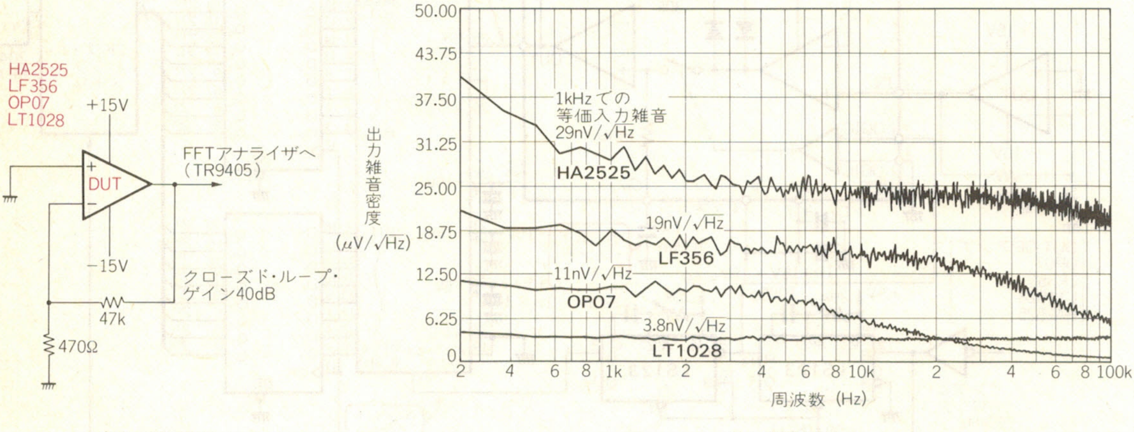
(b) サンプル & ホールド入力GND

〈図 10-26〉OP アンプの違いによるノイズ・フロワ特性



(a) OP07(40dBゲイン)　(b) LF356(40dBゲイン)　(c) LT1028(40dBゲイン)　(d) HA2525(40dBゲイン)

〈図 10-27〉OP アンプの雑音特性



(a) 試験回路　(b) 雑音特性

ズ・フロワは約−120dB に低下しています．すなわち，サンプル&ホールド部で 1 ビット分(6dB)相当の SN 比の劣化を生じていることになります．

次に，サンプル&ホールド回路の前段に，4 種類の OP アンプ(OP07，LF356，LT1028，HA2525)を 40dB のゲインで付加したときのノイズ・フロワのようすを図 10-26 に示します．

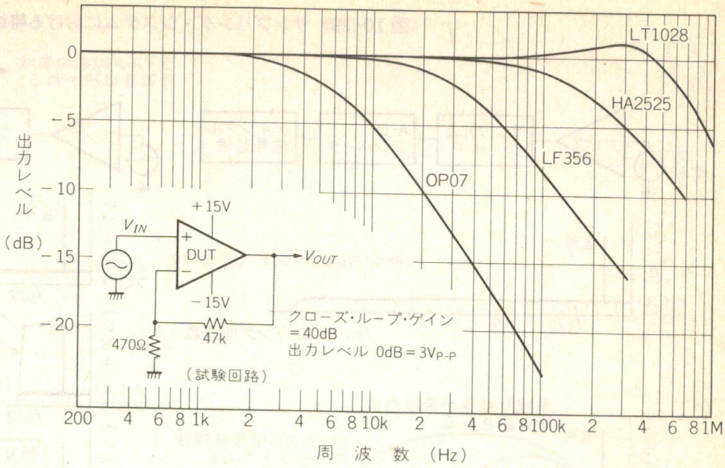
OP07 では，あまりノイズ・フロワの上昇は見られませんが，LF356 では−110dB まで上昇しています．また，低雑音 OP アンプとして定評のある LT1028 では，−105dB 程度までノイズ・フロワが上昇していますし，高速 OP アンプとして有名な HA2525 では，実に−100dB まで雑音が増加しています．

それでは，この原因について考えてみることにします．まず，OP アンプの出力段の出力雑音密度を調べてみました．その結果を図 10-27 に示します．

1kHz での等価入力雑音を求めてみると，OP07 でで 11nV/$\sqrt{Hz}$，LF356 で 19nV/$\sqrt{Hz}$，HA2525 で 29nV/$\sqrt{Hz}$，LT1028 では 3.8nV/$\sqrt{Hz}$(LT1028 自体では 1nV/$\sqrt{Hz}$ 以下であり，ほとんどは 470Ω の入力抵抗の熱雑音)であり，LT1028 は極めて低雑音です．

では，なぜ LT1028 でのノイズ・フロワ・レベルが高

〈図 10-28〉 OP アンプの周波数特性



いのでしょう．これはサンプリング・システムに起因するものです．すなわち，f_s=40kHz でサンプリングを行ったとすると，ナイキストの定理より解析レンジは $f_s/2$=20kHz となりますが，帯域外の信号(雑音)はすべてこの 20kHz 帯域内に折り返されて加算されてしまうためです．

図 10-28 に実験した 4 種の 40dB ゲイン時の周波数特性を示します．LT1028 はたいへん広い周波数特性を示しています．逆に，OP07 は数 kHz 帯域しかありません．

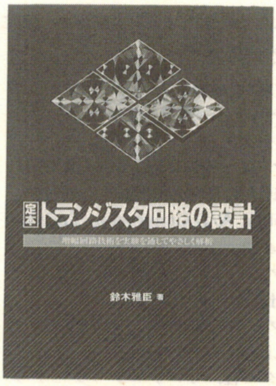
図 10-28 より LT1028 の周波数帯域は約 740kHz (−3dB) あります．周波数特性 f_P が 1 次特性と仮定すると，等価雑音帯域 f_n は，

$$f_n=\left(\frac{\pi}{2}\right)\cdot f_P$$

で与えられるため，LT1028 では f_n≈1.2MHz となります．

したがって，ナイキスト周波数が 20kHz であるた

待望の書 好評発売中！ CQ出版社



定本 トランジスタ回路の設計
―増幅回路技術を実験を通してやさしく解析―

鈴木 雅臣 著　A5判，324頁，　定価2,200円

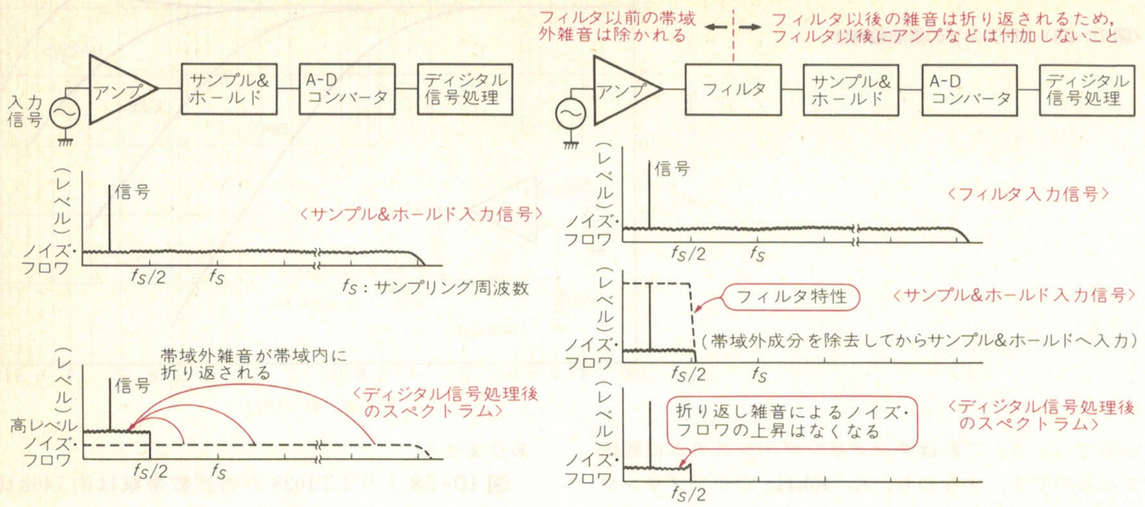
今，ハードウェア技術者に不足していること……それは自分の手で回路をじっくりと実験して考察する時間です．本書はそんな多忙な技術者，あるいは技術者をめざす人のために用意した，とてもとてもわかりやすいトランジスタ回路の本です．

本書は大好評であったトラ技ORIGINAL No.1とNo.5の中からトランジスタ増幅回路について精選し，さらに大幅に加筆を行った，たぶん最後のトランジスタ回路の解説書です．

目　次

第1章 トランジスタ回路への誘い
第2章 増幅回路を動かす …エミッタ接地回路を実験する
第3章 出力を強化する回路 …エミッタ・フォロワ回路を実験する
第4章 ミニパワー・アンプの設計・製作 …オーディオ・アンプの試み
第5章 パワー・アンプの設計・製作 …本格的オーディオ・アンプの試み
第6章 周波数特性をのばすには …ベース接地回路を実験する
第7章 ビデオ・セレクタの設計・製作 …ベース接地とエミッタ・フォロワ回路の試み
第8章 カスコード回路の設計 …周波数特性の良い本格回路を実験する
第9章 負帰還増幅回路の設計 …ゲインの大きな2段直結回路を実験する
第10章 直流安定化電源の設計・製作 …エミッタ接地とエミッタ・フォロワ回路の試み
第11章 差動増幅回路の設計 …OPアンプの基本技術を実験する
第12章 OPアンプ回路の設計・製作 …ICに匹敵する回路の実現への試み

〈図 10-29〉 サンプリング・システムにおける帯域外雑音の影響



（a） フィルタ（アンチ・エイリアシング）のないシステム雑音の影響　（b） フィルタ（アンチ・エイリアシング）をもつシステム雑音の影響

め，1.2MHz/20kHz＝60 重に雑音が帯域内で折り返されることになります．

一方，2048 点の FFT を行った結果から，20kHz 帯域が 1024 本の周波数ラインで構成されるため，1 本 1 本の周波数分解能 f_{BW} は，

$$f_{BW}=20\text{kHz}/1024\cong 19.5\text{Hz}$$

となります．**図 10-27** より LT1028 の等価入力雑音が $3.8\text{nV}/\sqrt{\text{Hz}}$ とすると，19.5Hz 帯域では，

$$3.8\text{V}/\sqrt{\text{Hz}}\times\sqrt{19.5\text{Hz}}$$
$$\approx 16.8\text{nV}_{\text{RMS}}$$

の雑音レベルとなります．この 16.8nV の雑音が電力で 60 重に折り返され加算されると，各周波数ラインの雑音電圧 E_n は，

$$E_n=\sqrt{(16.8\text{nV})^2\times 60}\approx 130\text{nV}_{\text{RMS}}$$

となります．

今，入力レンジはアンプ・ゲインが 40dB であるため，$35.4\text{mV}_{\text{RMS}}$（＝±50mV フルスケール）レンジとなり，各スペクトラムのノイズ・フロワは，

$$20\log(130\text{nV}/35.4\text{mV})\approx -108.5\text{dB}$$

と計算されます．

同様に，残り 3 種のアンプについてもノイズ・フロワを計算してみると HA2525 で－97dB，LF356 で－107dB，OP07 で－120dB と求まり，ほぼ実測レベルと一致します．

図 10-29 に示したように，一般的な AC 信号解析をする場合にはアンプとサンプル&ホールドの間にアンチ・エリアシング・フィルタを付加するため，フィルタ前で発生する雑音は除去されます．ただし，フィルタ以後で発生する雑音は折り返されるため，フィルタ以後にゲインのある設計にするのはよくありません．

データ・アクイジション・システムなどでフィルタを用いない設計にするときは，アンプの帯域を不必要に広帯域にすると，雑音レベルが極めて高いシステムになってしまいますので注意が必要です．

◆参考・引用*文献◆

(1)*アナログ・デバイセズ社，データ・ブック．
(2)*バーブラウン社，PCM77 データ・シート．
(3)*クリスタル・セミコンダクター社，CMOS DATA ACQUISITION CIRCUITS, APPLICATION SEMINAR 資料．
(4) ISSCC87, A 16 b Oversampling A/D Conversion Technology, using Integration Noise Shaping.
(5) デイテル社，データ・ブック．
(6) アナログ・ソリューション社，データ・ブック．
(7) アナロジック社，データ・ブック．
(8) リニア・テクノロジー社，Linear Data book.
(9)*ナショナル・セミコンダクター社，リニア・データ・ブック，1982 年．
(10)*バーブラウン，プロダクト・データ・ブック．
(11)*興亜電工，炭素皮膜抵抗器データ・シート．
(12)*多摩電気工業，金属皮膜抵抗器データ・シート．
(13)*アルファ・エレクトロニクス，金属箔抵抗器データ・シート．
(14)*コパル電子，サーメット・トリマ・データ・シート．

第 11 章

オーバ・サンプリングとノイズ・シェーピング技術で高精度を実現する
デルタ・シグマ変調型A-Dコンバータの特徴と使い方

デルタ・シグマ変調型 A-D コンバータは，1 ビット A-D コンバータとも呼ばれ，オーディオ分野で注目されています．本章では，その原理ならびCSZ5316の使い方などを解説します．

本章では，最近話題になっているデルタ・シグマ変調型 A-D コンバータについて説明します．これは，俗に 1 ビット A-D コンバータと呼ばれ，PCM オーディオの分野で注目されています．

デルタ・シグマ変調型 A-D コンバータの概要

デルタ・シグマ変調型の基本回路を図 11-1 に示します．積分器，コンパレータ(1 ビット A-D コンバータ)，および 1 ビット D-A コンバータにより構成され，アナログ入力信号は 1 ビットの PDM(ディジタル密度変調)信号に変換されることになります．サンプリング周波数は数 MHz と，入力信号帯域に比べて非常に高いオーバ・サンプリングが行われます．

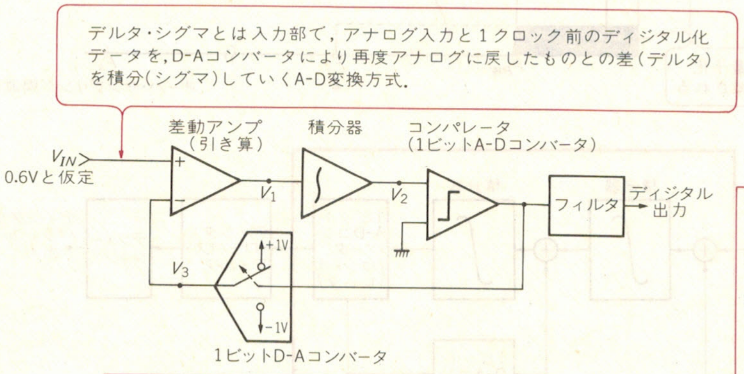
これは量子化ビット数が 1 ビットと極端に少ないため，一般的なサンプリングで使われるオーバ・サンプリング(せいぜい数倍)では，量子化雑音によりよい S/N 特性を得られないためです．

このため，極端に高いオーバ・サンプリング(数 10～数 100 倍)を行って，量子化雑音を広帯域に分散させ，見かけ上信号帯域内の雑音密度を低下させています．不要な高域雑音は後段のディジタル・ローパス・フィルタで除去します．これを図 11-2 に示します．

オーバ・サンプリング技術だけでは十分な SN 比を確保できないため，もうひとつノイズ・シェーピング技術を用います．図 11-3 に，現在最もよく使用されている 2 次ノイズ・シェーピング回路を示します．2 組の積分器と D-A コンバータを設け，コンパレータ出力で帰還します．

この帰還により，もともとフラットな特性をもつ量子化雑音に周波数特性をもたせます．サンプリング周波数の 2 分の 1 の周波数でピークをもち，信号帯域では量子化雑音は大きく抑圧されます．しかし，このノイズ・シェーピングにより，逆に高域成分では雑音が極めて上昇するため，後段におけるディジタル・ロー

〈図 11-1〉デルタ・シグマ変調型 A-D コンバータの原理



クロック周期	差動アンプ出力 V_1	積分器出力 V_2	D-Aコンバータ出力 V_3	平均化(フィルタリング後)
0	×	0	1	
1	0.6	0.6	1	
2	−0.4	0.2	1	
3	−0.4	−0.2	−1	
4	1.6	1.4	1	
5	−0.4	1.0	1	0.6
6	−0.4	0.6	1	
7	−0.4	0.2	1	
8	−0.4	−0.2	−1	

ノイズ・シューピング＋オーバ・サンプリング(デルタ・シグマ型オーバ・サンプリングA-Dコンバータ)によるノイズ・シェーピング出力は，PDM(パルス密度変調)を受けた1ビット出力である．これは上位ビットから順次下位ビットまで出力される一般的なシリアル・データとは違う．
1ビットのPDMディジタル信号をどうやってパラレル信号に直すかというと，これはディジタル・フィルタ部で行われる，言葉を換えれば一種のアベレージを考えてみるとわかりやすくなる．となりあうポイントを順次加算アベレージしていけば，アベレージ回数により出力ビット数は増加していく．例えば1ビットと1ビットの加算平均化出力は(すなわちとなりあう2ポイント間のアベレージによる)，2ビットにパラレル変換される．

パス・フィルタによる帯域外の減衰特性はたいへん重要になります．

2次ノイズ・シェーピング＋高次ディジタル・フィルタ(384次)をCMOSワンチップに収めた製品にCSZ5316があります．

さて，ノイズ・シェーピングにより高域の量子化雑音が上昇することは前述しました．ここではその理由を考えてみましょう．

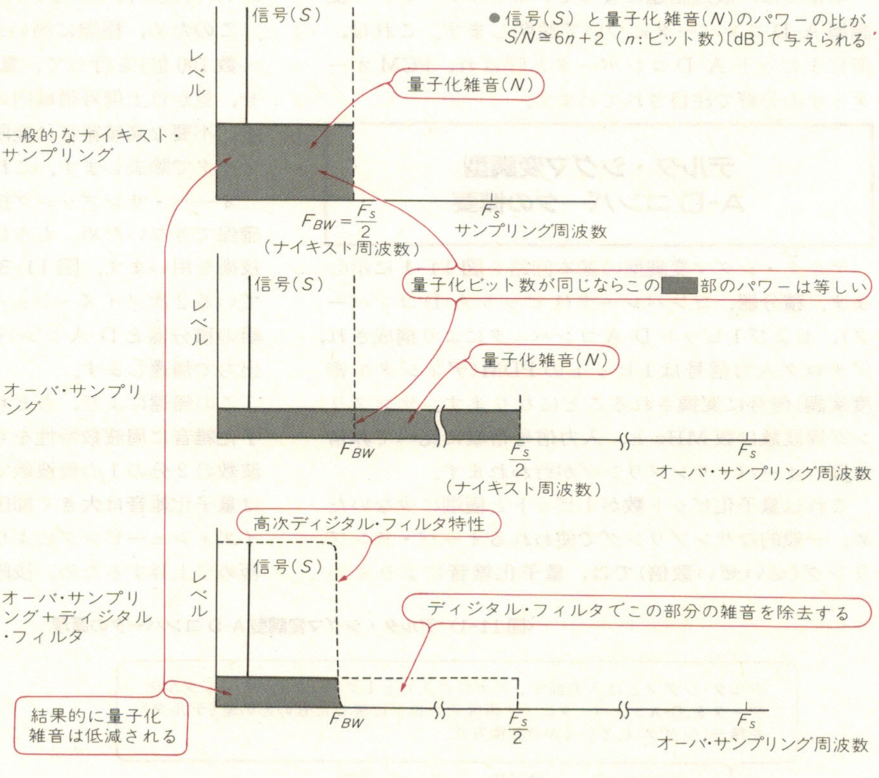
図11-4を見てください．これは1次ノイズ・シェーピング回路ですが，積分器をOPアンプと積分コンデンサCで構成し，出力段に量子化雑音Qが加算されたフィードバック・システムを等価的に考えます．

量子化雑音Qは，基本的に周波数特性がフラットな白色雑音です．積分器は低周波では大きな利得をもつため，図のフィードバック・システムでは積分器出力V_1には量子化雑音Qを打ち消す出力が生じ，結果的に1ビット・コンパレータ出力には量子化雑音Qが抑圧されて出力されます．

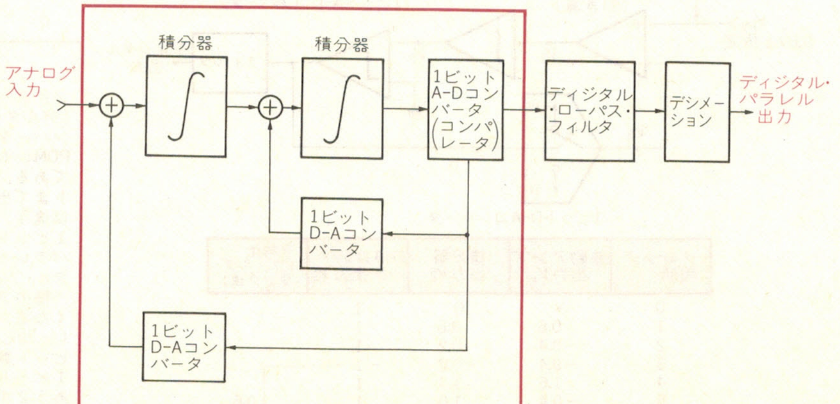
アナログ入力V_{IN}は多少積分器の周波数特性の影響を受けますが，低周波ではほぼそのままのレベルで出力されます．

量子化雑音の高い周波数成分については積分器の利

〈図11-2〉
オーバ・サンプリングとディジタル・フィルタによる量子化雑音の低減



〈図11-3〉
2次ノイズ・シェーピング・デルタ・シグマ変調型A-Dコンバータ



得が低下し，積分器出力 V_1には量子化雑音 Q のレベルを打ち消すレベルが少なくなり，結果的には周波数の上昇とともに出力雑音は上昇します．

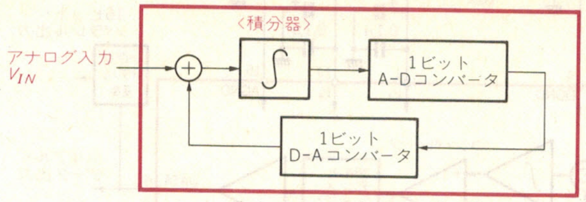
このときの出力雑音は，1次ノイズ・シェーピング回路では 6dB/oct で，2次ノイズ・シェーピング回路では 12dB/oct で上昇します．

2次ノイズ・シェーピング技術と現在 IC 化できるオーバ・サンプリング速度では，入力信号帯域 20kHz，90dB 以上のダイナミック特性は実現できません．そこで NTT では MASH (Multi-Stage Noise Shaping) 方式を開発しました．

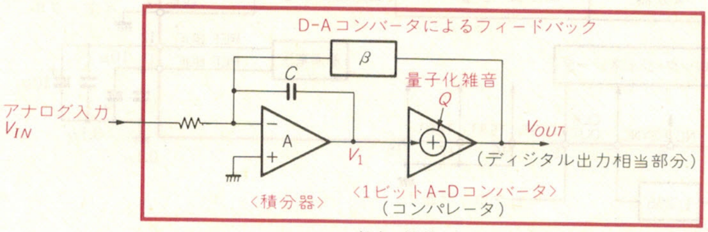
MASH 方式では積分器，コンパレータ，D-A コンバータからなるデルタ・シグマ変調ユニットを3段構成とし，より効果的なノイズ・シェーピング効果を得ています．オーバ・サンプリング周波数は 2.56MHz です．

後段に置かれるディジタル・フィルタも2段構成であり，1段は折り返し防止用くし型フィルタで，2段目は 256 タップをもつリニア・フェーズ FIR フィルタです．このフィルタは帯域内リプル 0.001dB，帯域外減衰量－100dB 以上とたいへん優

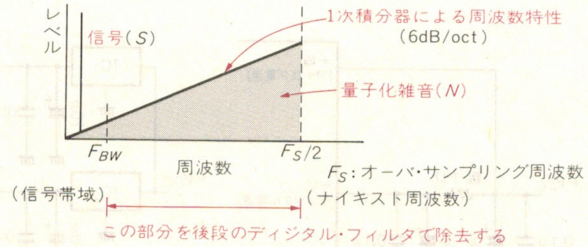
〈図 11-4〉ノイズ・シェーピングにより高域で量子化雑音が上昇する



(a) 1次ノイズ・シェーピング

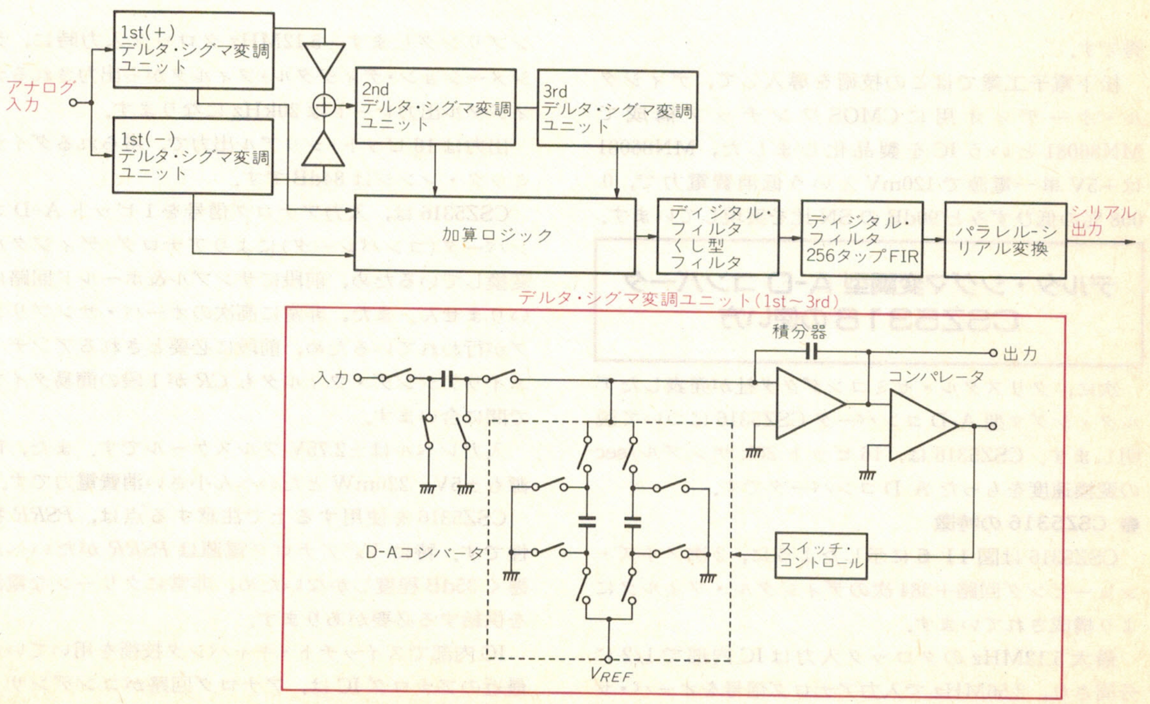


(b) 機能ブロック

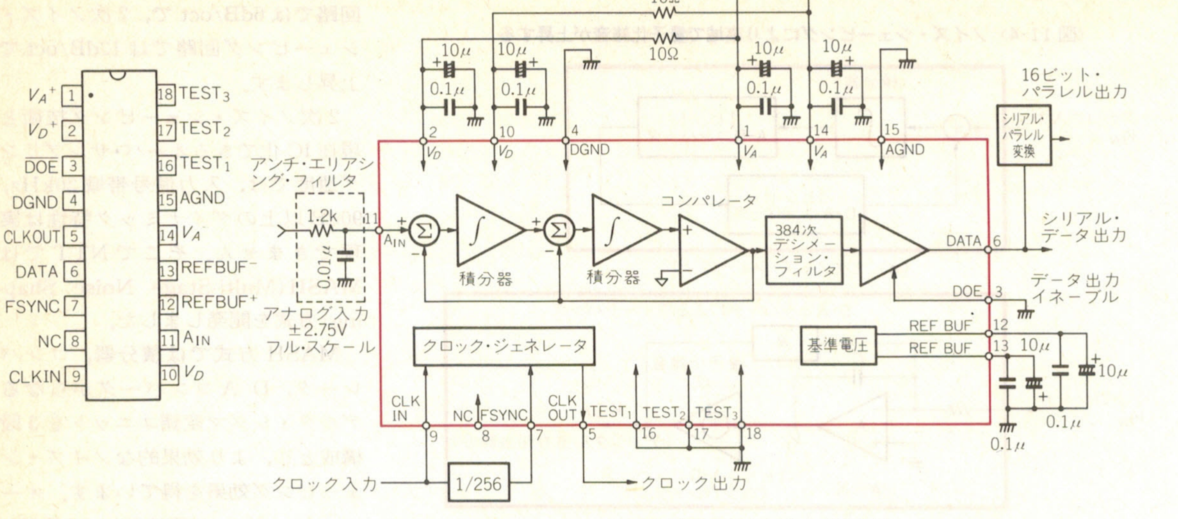


(c) 1次ノイズ・シェーピングによる周波数特性

〈図 11-5〉MASH 方式のデルタ・シグマ変調型 A-D コンバータのブロック図

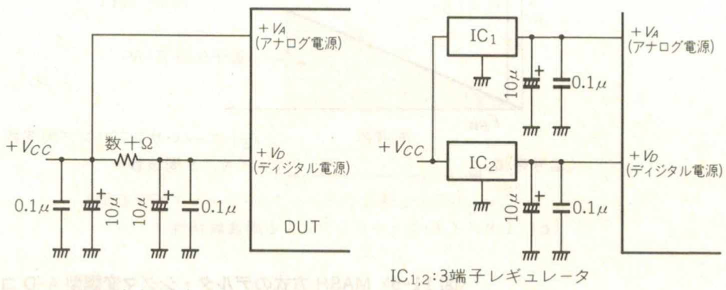


〈図 11-6〉 CSZ5316 の端子配置と内部ブロック図



（a） 端子配置　　（b） 内部ブロックと基本回路接続

〈図 11-7〉 アナログとディジタルの電源を分ける



（a） 抵抗による分離　　（b） 別電源による供給例

秀です．

松下電子工業ではこの技術を導入して，ディジタル・オーディオ用に CMOS ワンチップ構成で MN86081 という IC を製品化しました，MN86081 は＋5V 単一電源で 120mV という低消費電力で，0.008％の低ひずみと 90dB の SN 比を実現しています．

デルタ・シグマ変調型 A-D コンバータ CSZ5316 の使い方

次に，クリスタル・セミコンダクタ社が発表したデルタ・シグマ型 A-D コンバータ CSZ5316 について説明します．CSZ5316 は，16 ビット 20k サンプル/sec の変換速度をもった A-D コンバータです．

● CSZ5316 の特徴

CSZ5316 は図 11-6 に示したように，2 次ノイズ・シェーピング回路＋384 次のディジタル・フィルタにより構成されています．

最大 5.12MHz のクロック入力は IC 内部で 1/2 に分周され，2.56MHz で入力アナログ信号をオーバ・サンプリングします．5.12MHz クロック入力時に，デシメーション・ディジタル・フィルタから出力されるディジタル出力レートは 20kHz になります．

出力は 16 ビット・シリアル出力で，得られるダイナミック・レンジは 84dB です．

CSZ5316 は，入力アナログ信号を 1 ビット A-D コンバータ（コンパレータ）によりアナログ-ディジタル変換しているため，前段にサンプル＆ホールド回路はいりません．また，非常に高次のオーバ・サンプリングが行われているため，前段に必要とされるアンチ・エイリアシング・フィルタも *CR* が 1 段の簡易タイプで間に合います．

入力レベルは±2.75V フルスケールです．また，電源も±5V，220mW とたいへん小さい消費電力です．

CSZ5316 を使用する上で注意する点は，*PSRR* 特性です．特に V_A+アナログ電源は *PSRR* がたいへん悪く 35dB 程度しかないため，非常にクリーンな電源を供給する必要があります．

IC 内部でスイッチト・キャパシタ技術を用いている最近のアナログ IC は，アナログ回路がコンデンサと

スイッチ回路で構成されているため，電源，グラウンド，基準電圧端子そしてアナログ入力端子にも，非常に高速なスイッチング電流が流れます．

このようなICでは，たとえ扱うアナログ信号帯域が音声帯域だとしても，雑音を減らすために実装面においては数M～数10MHzを扱うのと同じ考慮が必要です．

さもないと不要スプリアスが発生したり，混変調スプリアスが発生したりして，ダイナミック特性を悪くします．

また，グラウンド，電源，基準電源端子は最短距離で，しかも高周波特性の優れたコンデンサ(セラミック・コンデンサなど)でバイパスします．そして，パラレルに数10μFのタンタル・コンデンサも付加すべきでしょう．

スイッチト・キャパシタによるデバイスの電源は，一般にアナログ電源用とディジタル電源用に分離されています．それぞれの電源端子に対してセラミック・コンデンサ＋タンタル・コンデンサによるデカップリングを行います．

供給する電源は図11-7に示すようにそれぞれ別系統にするか，または数10Ωの抵抗で分離するようにします．コイルによる分離を行う場合，インダクタンス，Q値などに不適切な選択を行うと，逆に共振現象を引き起こすことがあります．これら電源の分離はアナログ電源に対する*PSRR*が悪いため，ディジタル雑音が電源ラインを介して回り込むのを防ぐためです．

ただし，別電源にする場合，ディジタル電源とアナログ電源の電位差および投入シーケンス差により，デバイスがラッチアップを起こすことがありますので，注意が必要です．

高精度A-Dコンバータを使いこなすに当たっては，DC特性(精度)が重要なのか，またはACダイナミック特性が重要なのかを明確にしなければなりません．

アナログ部とディジタル部の電源およびグラウンドを，パターン上で分離するのは同様ですが，アナログ部のパターンに差異があります．

DC精度が重要であるなら，メッカ(集合)ポイントを1点アースにするパターンが必要です．しかし，ACダイナミック特性を重要視する場合には，1点アースを形成するためのパターン・インダクタンスにより高周波でインピーダンスが上昇し，思わぬところに共振現象を生じて，スペクトラム上にピークや雑音上昇点を生じかねません．

数10kHz以上で高ダイナミック・レンジを必要とする場合には，なるべくベタ・グラウンドに近いパターンで構成してください．

高精度を実現するにあたっては，使用するA-Dコンバータの変換方式に注意した実装も忘れてはなりません．入力バッファ・アンプを内蔵していない逐次比較型や，スイッチト・キャパシタ・タイプで入力段にスイッチ素子をもつタイプでは，入力ドライバ回路が大変重要です．

これらのタイプでは前述したように入力部に大きな高速電流変化を生じたり，スイッチト・キャパシタの切り替えによるスパイク成分が誘起される可能性が多いので，ドライバ用アンプは高速応答タイプを使用し，A-Dコンバータに接近して配置する考慮も大切です．

また，電源のバイパスも十分に行うことも忘れてはいけません．

● CSZ5316の特性試験結果

CSZ5316の特性試験を，クリスタル・セミコンダクタ社が提供するエバレーション・ボードCDB5316を用いて行ってみました．図11-8にそのエバレーション・ボードの回路構成を示します．

各々の電源端子およびREF BUF端子は，10μFのタンタル・コンデンサと0.1μF積層セラミック・コンデンサでデカップリングされています．また，アナログ電源とディジタル電源間は10Ωの抵抗で分離されています．

周辺回路として4.9152MHzの水晶発振回路と1/256分周回路が実装されており，FSYNC＝19.2kHzレートで動作します．また，外部クロックによる動作も可能です．エバレーション・ボード内にはシリアル-パラレル変換回路も実装されており，16ビット・パラレル出力されています．

写真11-1にCSZ5316のクロック出力(CLKOUT)，シリアル・データ出力(DATA)およびフレーム同期(FSYNC)のタイミングを示します．

ダイナミック特性試験は，このエバレーション・ボードにシンセサイザから5.12MHzの外部クロックを供給し，20kHzのFSYNCレートで動作させています．

16ビット・パラレル出力は2Kワードのバッファ・メモリに取り込んだのち，パソコンでFFT演算しています．

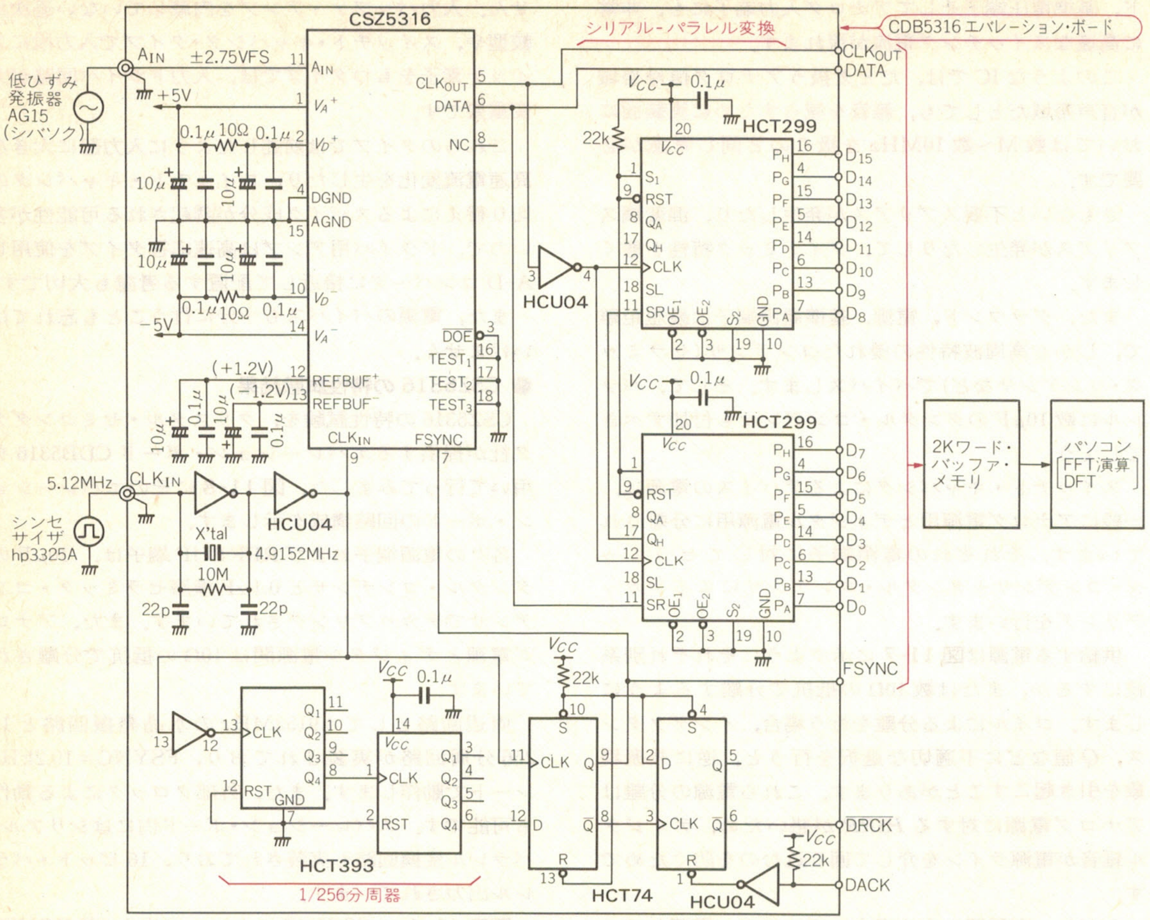
信号源にもシンセサイザを用い，512ポイントのDFT(ディスクリート・フーリエ変換)計算により信号の基本波レベルを求め，プロットしました(図11-9)．

周波数特性は内部ディジタル・フィルタ特性がそのまま現れ，CLK≈5.24MHzとしたとき5.2MHz(−3dB)でした．

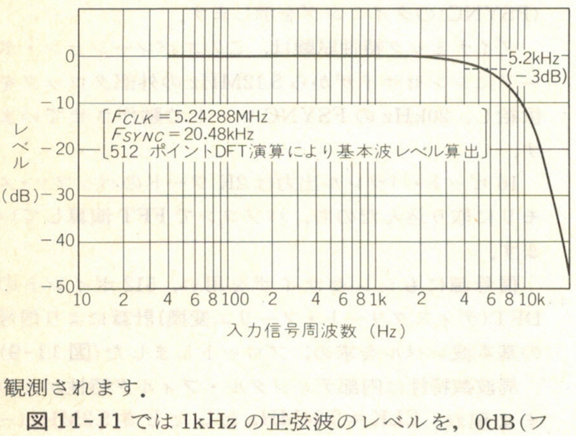
図11-10に，アナログ入力をグラウンドとした残留スペクトラム特性を示しています．雑音スペクトラムはほぼ−120dBを得ていますが，1kHz以下で$1/f$雑音と思われる雑音レベル上昇が確認できます．

また，約400Hz付近に−88dBの不要スプリアスが

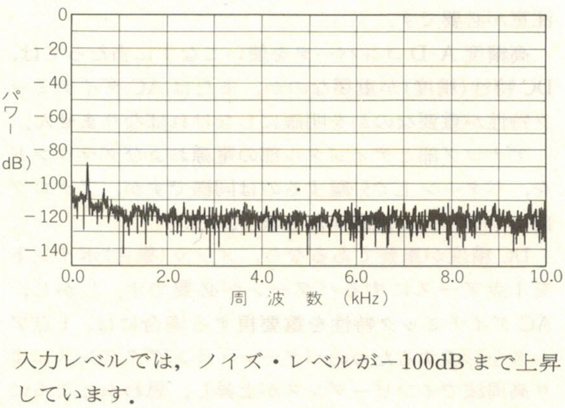
〈図 11-8〉実験に用いた CSZ5316 のエバレーション・ボード



〈図 11-9〉周波数特性



〈図 11-10〉残留雑音スペクトラム特性(入力=0V)



観測されます．

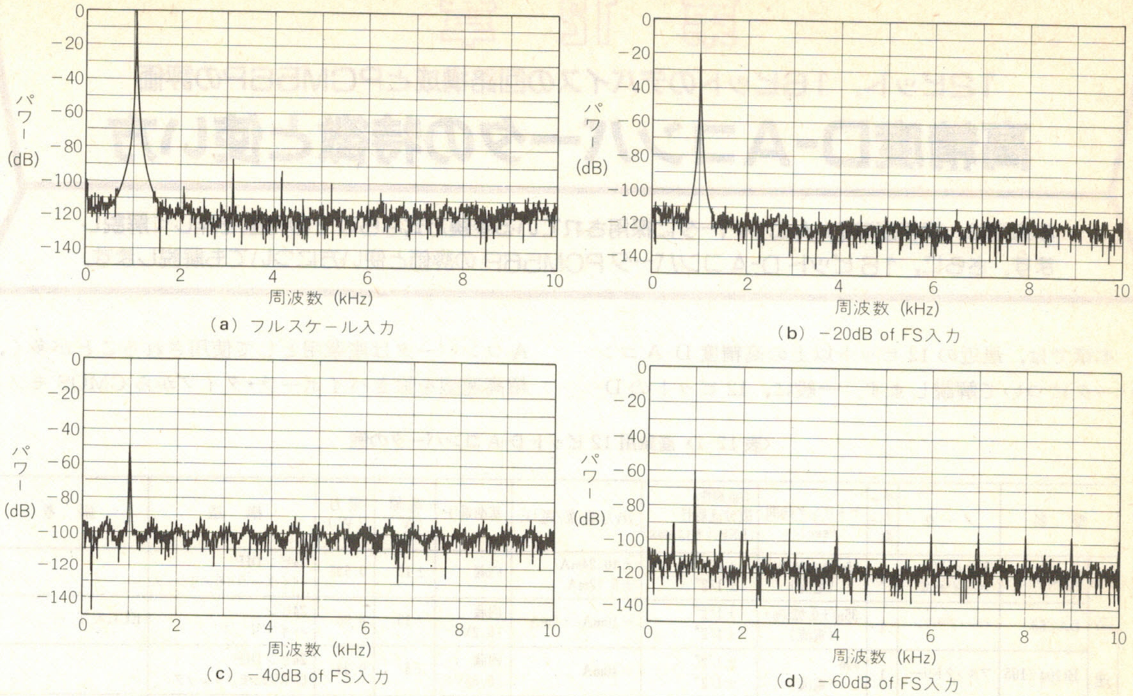
図 11-11 では 1kHz の正弦波のレベルを，0dB(フルスケール)から−60dB まで変化させたときの出力スペクトラムを示しています．

フルスケール入力時の高調波ひずみ発生レベルは約−87dB と観測できます．−20dB 入力レベル時に，もっとも良好なダイナミック特性を示し，−110dB 以下のスプリアス・レベルとなっています．逆に−40dB 入力レベルでは，ノイズ・レベルが−100dB まで上昇しています．

−60dB 入力レベルでは残留雑音測定時と同様に，約 400Hz スプリアスと 1kHz との混変調スプリアスが−90dB レベルで観測されます．

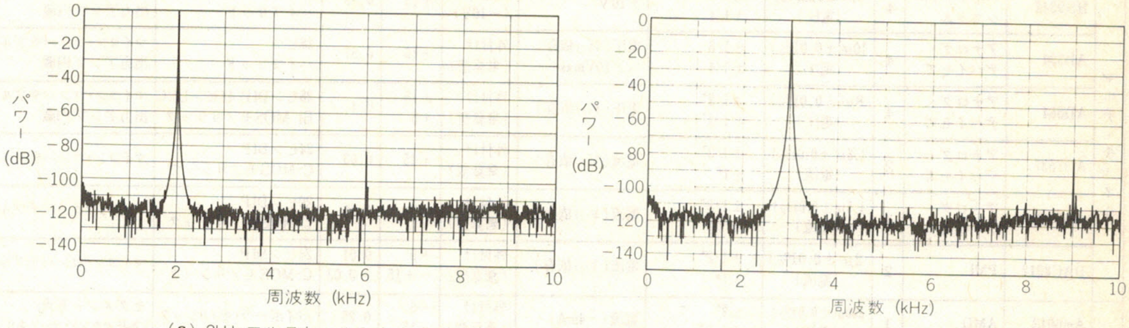
図 11-12 では信号周波数を 2kHz，3kHz として出力スペクトラムを観測しています．2kHz では−82dB，3kHz では−80dB の高調波ひずみとなっています．

〈図 11-11〉 パワー・スペクトラム特性(f＝1kHz)



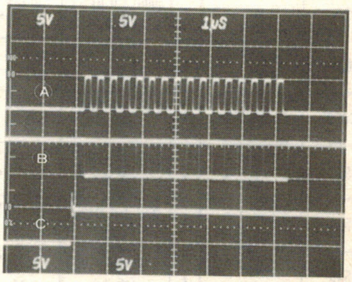
(a) フルスケール入力　(b) −20dB of FS入力　(c) −40dB of FS入力　(d) −60dB of FS入力

〈図 11-12〉 周波数を変えたときのパワー・スペクトラム特性



(a) 2kHzフルスケール入力　(b) 3kHzフルスケール入力

結果的に，CSZ5316 は 4〜5kHz 帯域で 14 ビット・ダイナミック・レンジをもつ A-D コンバータといえるでしょう．



〈写真 11-1〉 CSZ5316 の出力タイミング

Ⓐ：CLKOUT(クロック出力)
Ⓑ：DATA(シリアル・データ出力)
Ⓒ：FSYNC(フレーム同期出力)

◆参考・引用*文献◆

(1)*クリスタル・セミコンダクター，CSZ5316 データ・シート．
(2)*クリスタル・セミコンダクター，CDB5316 データ・シート．
(3)岡村，松谷，岩田；MASH 方式によるオーバ・サンプリング1ビット A-D 変換技術，ラジオ技術，1988 年 4 月号，ラジオ技術社．

第 12 章

12ビット，16ビットのデバイスの回路構成とPCM56Pの評価

高精度D-Aコンバータの特徴と使い方

本章では，高精度なD-Aコンバータに採用されている変換方式ならびその特徴を詳しく解説します．さらに，16ビットD-AコンバータPCM56Pの評価と使い方についても解説します．

本章では，最近の12ビット以上の高精度D-Aコンバータについて解説します．一般に，12ビットのD-Aコンバータは産業用として使用されることが多く，超高速型を除きバイポーラ・タイプからCMOSモノリ

〈表12-1〉 産業用12ビットD-Aコンバータの例

	型名	メーカ	チャネル数	セトリング時間(sec)	非直線性/微分直線性(LSB)(＊はmax)	出力電流/電圧	基準電圧	電源(V)	電力(W)	構造	備考
高速	AD568	アナログ・デバイセズ	1	35n(±0.025%)(電流)	±1/4＊ ±1/2＊	±10.24mA/±5.12mA	内蔵	±15	0.525	24ピンDIP バイポーラ・モノリシック	
高速	DAC63	バー・ブラウン	1	35n(±0.025%)(電流)	±1/2＊ ±1/2＊	−10mA/±5mA	内蔵(6.2V)	±15	0.96	24ピン ハイブリッド	ECL入力
高速	Bt104/105	ブルックトリー	1	45n(電流)	±1/2＊ ±1/2＊	+40mA	内蔵(0.68V)	±5	0.34	24ピンDIP C-MOSモノリシック	
高速	HS9393	ハイブリッド・システム	1	50n(±0.01%)(電流)	±1/4 ±1/4	+4mA/±2mA	内蔵(−10V)	±15	0.65	24ピン ハイブリッド	
マルチ・チャネル	HS9342	ハイブリッド・システム	4	5μ(±0.01%)(電圧)	±1/4 ±1/4	±10V	内蔵(−10V)	±15	0.53	28ピン ハイブリッド	マイコン・コンパチブル 出力アンプ内蔵
マルチ・チャネル	AD394	アナログ・デバイセズ	4	10μ(±0.01%)(電圧)	±1/8 ±1/4	電圧(V_{ref}依存)(±10Vmax)	外付け(乗算型)	±15	0.57	28ピン ハイブリッド	マイコン・コンパチブル 出力アンプ内蔵
マルチ・チャネル	AD664	アナログ・デバイセズ	4	8μ(±0.01%)(電圧)	±1/2＊ ±1/2＊	電圧(V_{ref}依存)	外付け(乗算型)	±15 +5	0.4	28ピンDIP/44ピンLCC Bi MOSモノリシック	マイコン・コンパチブル 出力アンプ内蔵
マルチ・チャネル	AD7537	アナログ・デバイセズ	2	1.5μ(±0.01%)(電流)	±1/2＊ ±1＊	電流(V_{ref}依存)	外付け(乗算型)	+15	0.03	24ピンDIP C-MOSモノリシック	マイコン・コンパチブル
マルチ・チャネル	AD7549	アナログ・デバイセズ	2	1.5μ(±0.01%)(電流)	±1/2＊ ±1＊	電流(V_{ref}依存)	外付け(乗算型)	+15	0.15	20ピンDIP C-MOSモノリシック	マイコン・コンパチブル
マルチ・チャネル	DAC8212	PMI	2	2μ(±0.01%)(電流)	±1/2＊ ±1＊	電流(V_{ref}依存)	外付け(乗算型)	+5 ～+15	0.01 ～0.03	24ピンDIP C-MOSモノリシック	マイコン・コンパチブル
シングル汎用	Am6012	AMD	1	250n(±0.01%)(電流)	±2＊ ±1/2＊	電流(−4mA)	外付け(乗算型)	+5 −15	0.25	バイポーラ・モノリシック	セグメント方式 (各社セカンド・ソースあり)
シングル汎用	HI562A	ハリス	1	300n(±0.01%)(電流)	±1/4＊ ±1/4＊	−2mA/±1mA	外付け(+10V)	+5 −15	0.28	24ピンDIP バイポーラ・モノリシック	
シングル汎用	AD565A	アナログ・デバイセズ	1	150n(±0.01%)(電流)	±1/4 ±1/2	−2mA/±1mA	内蔵(+10V)	±15	0.225	24ピンDIP バイポーラ・モノリシック	
シングル汎用	DAC800	バー・ブラウン	1	2.5μ(±0.01%)(電圧)	±1/4 ±1/2	±2.5，±5，±10V +5，+10V	内蔵(6.3V)	±15 +5	0.905	24ピンDIP バイポーラ・モノリシック	出力アンプ内蔵 (DAC80のモノリシック型)
シングル汎用	AD7541A	アナログ・デバイセズ	1	0.6μ(±0.01%)(電流)	±1/2＊ ±1/2＊	電流(V_{ref}依存)	外付け(乗算型)	+5 ～+15	0.01 ～0.03	18ピンDIP C-MOSモノリシック	
シングル汎用	AD7542	アナログ・デバイセズ	1	2μ(±0.01%)(電流)	±1/2＊ ±1＊	電流(V_{ref}依存)	外付け(乗算型)	+5	0.0125	16ピンDIP C-MOSモノリシック	マイコン・コンパチブル
シングル汎用	AD7545	アナログ・デバイセズ	1	2μ(±0.01%)(電流)	±1/2＊ ±1＊	電流(V_{ref}依存)	外付け(乗算型)	+5 ～+15	0.01 ～0.03	20ピンDIP C-MOSモノリシック	入力バッファ付き
シングル汎用	AD7548	アナログ・デバイセズ	1	1μ(±0.01%)(電流)	±1/2＊ ±1/2＊	電流(V_{ref}依存)	外付け(乗算型)	+15	0.045	20ピンDIP C-MOSモノリシック	マイコン・コンパチブル
シングル汎用	AD7240	アナログ・デバイセズ	1	0.55μ(±0.01%)(電流)	±1/2＊,−1＊ ±1/2	電流(V_{ref}依存)	外付け(乗算型)	+5 ～+15	0.01 ～0.03	18ピンDIP C-MOSモノリシック	高速型
シングル汎用	AD7543	アナログ・デバイセズ	1	2μ(±0.01%)(電流)	±1/2＊ ±1＊	電流(V_{ref}依存)	外付け(乗算型)	+5	0.0125	16ピンDIP C-MOSモノリシック	シリアル入力

規定なきはtyp値，AD7000シリーズは各社よりセカンド・ソースあり．

シック・タイプに移りつつあります．さらに，CPU コンパチブルで，周辺回路を取り込んでオンチップ化したり，マルチチャネルになった製品が増えています．

また，オーディオ分野では 16 ビット以上の高精度 D-A コンバータが要求されており，その製品開発も進んでいます．

最近の 12 ビット D-A コンバータ

表 12-1 に産業用に使われている 12 ビット D-A コンバータの例を示します．汎用タイプではアナログ・デバイセズ社の D-A コンバータが標準となっており，セカンド・ソースも増えています．また，最近では入力チャネルを増やした製品も多くなっています．

● マルチチャネル D-A コンバータ

図 12-1 にデュアル入力型の CMOS D-A コンバータ AD7537 の内部ブロックと回路接続を示します．AD7537 は，8 ビット CPU バスのインターフェース回路を内蔵し，D-A コンバータ部の出力アンプ（I-V 変換用）は外付けです．また，乗算動作ができる基準入力はチャネルごとに独立しています．

一般に，D-A コンバータの出力容量は 50～150pF（ディジタル・コードにより変化する）とかなり大きいため，I-V 変換用 OP アンプ回路の帰還抵抗と並列に C_f≈33pF を付け加えて安定させています．

12 ビットの CMOS D-A コンバータで直線性（特に微分直線性）誤差を±1/2LSB 以下で規定しているものは少ないので，精度が要求されるアプリケーションでは D-A コンバータを選択するときに注意が必要です．

図 12-2 にハイブリッド構成によるクワッド入力型の D-A コンバータ AD394 を示します．AD394 は，4 個の 12 ビット CMOS D-A コンバータだけでなく，8 個の出力アンプ，およびマイクロプロセッサ・インターフェース回路を内蔵しています．したがって，AD7537 のときに比べると大幅に周辺回路を減らすことができます．

また，出力アンプは各チャネルともバイポーラ出力動作が可能です．

さらに，AD664 は，AD394 と同様な機能を CMOS モノリシック回路で構成しています．AD664 も，出力アンプを内蔵して電圧出力もとれるようになっています．AD664 で特徴的な機能はリード・バック機能です．これは，設定したディジタル・データを外部から読み出して検証することができます．

● 12 ビット高速 D-A コンバータ

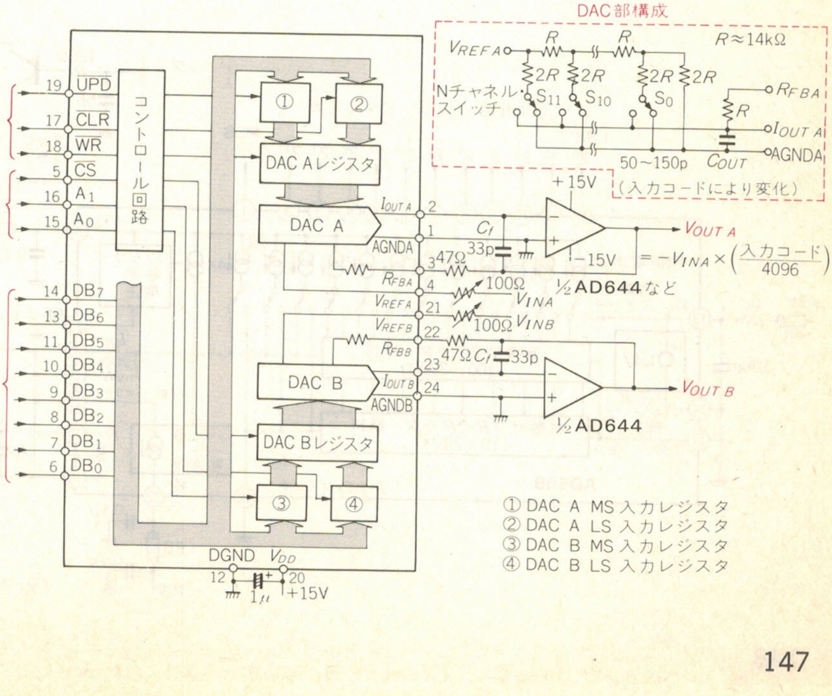
12 ビットの分解能で，セトリング時間 50ns 以下という超高速の D-A コンバータは，これまでモノリシック化が難しく，ハイブリッド IC でしか実現のできない領域でした．

しかしながら，最近になって超高速 IC プロセスが考え出され，バイポーラおよび CMOS によるモノリシック超高速 D-A コンバータが登場してきました．

例えば，**図 12-3** に示したアナログ・デバイセズ社の AD568 は，最新の高速バイポーラ・プロセス（CB プロセス）を用いて 12 ビット±1LSB 以内でセトリング時間が 35ns という超高速を実現しています．

AD568 は，高速 PNP トランジスタで差動スイッチ（動作電流 1.28mA）を構成しています．また，電流源用高精度薄膜抵抗は，ウエハ段階で 12 ビット±1/

〈図 12-1〉
デュアル 12 ビット
CMOS モノリシック
D-A コンバータ AD7537
（アナログ・デバイセズ社）



2LSB 精度にレーザ・トリミングされています．

差動スイッチ出力は，R-$2R$ ラダー抵抗により分流されます．DAC 出力は＋10.24mA フルスケールの電流出力であり，R_L＝200Ω 負荷に対してフルスケール 0〜1.024V（バイポーラ・モードで±0.512V）の電圧に変換されます．

AD568 は，外部 OP アンプを付加することにより I-V 変換を行って任意の電圧出力を得ることもできます．ただし，D-A コンバータのもつ高速性を活かすためには，OP アンプの選択や実装技術も重要です．

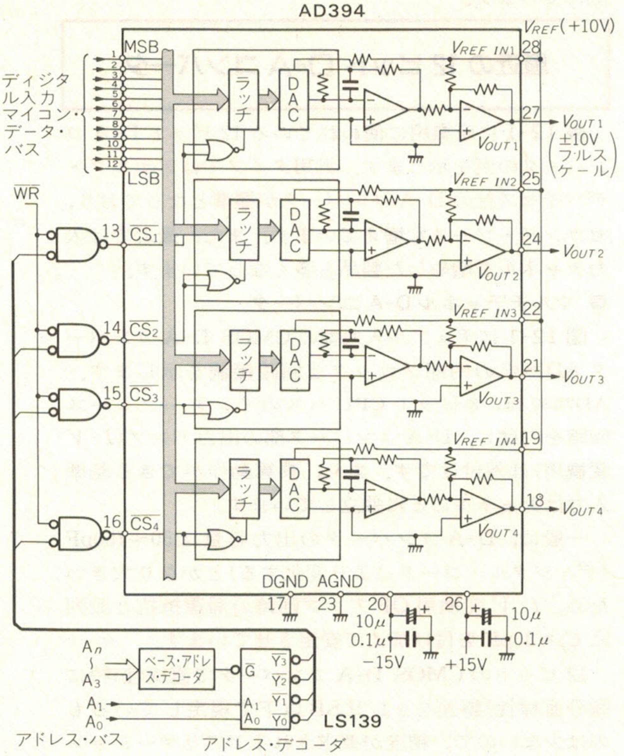
例えば，**図 12-3** で使用した OP アンプ AD840 は 100ns（0,01 %）のセトリング特性をもっています．

図 12-4 にメーカが発表している D-A コンバータ単体でのセトリング特性を示します（R_L ＝ 200Ω）．図をみると，1LSB（≈1V フルスケールに対して 250μV）セトリング時間が約 40ns であることがわかります．

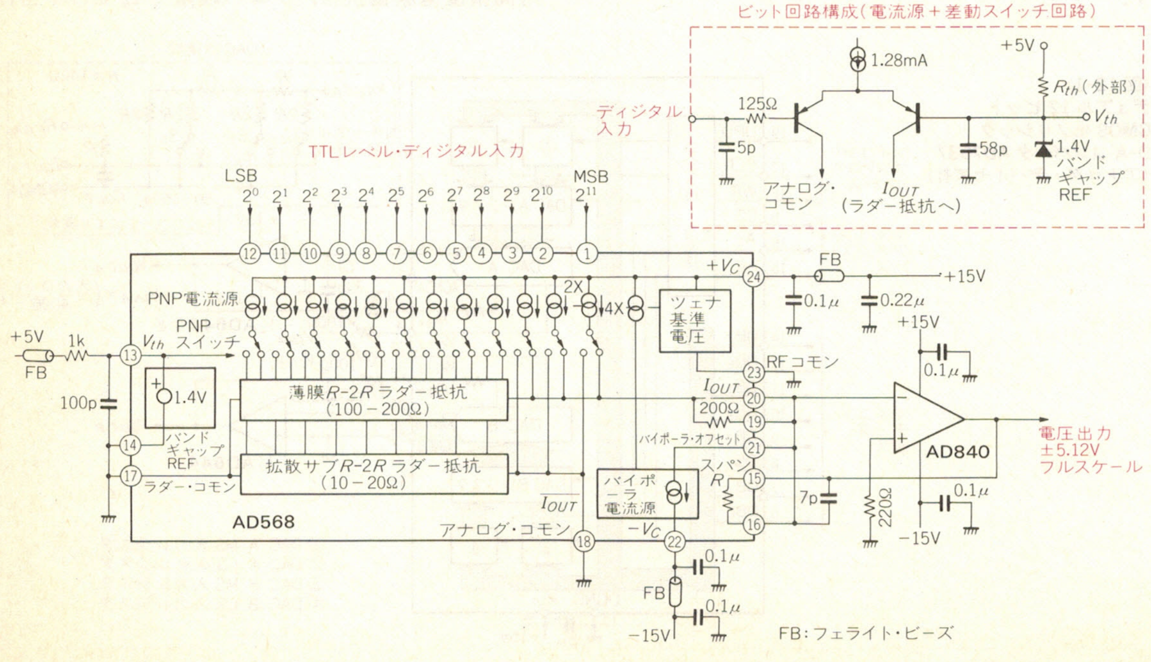
AD568 では，ディジタル入力が直接差動スイッチに接続されるので，ディジタル入力の波形品位が非常に大切です．ドライバ回路と D-A コンバータ間の配線が長いと，反射などにより大きなリンギング成分が発生し，D-A コンバータのアナログ出力に影響します．これをディジタル・フィードスルー雑音といいます．

図 12-4(c)にメーカが発表しているドライバ回路を変えたときのセトリング特性およびグリッチ特性への影響を示します．したがって，ディジタル・フィードスルー雑音を減らすには HCMOS か FAST ロジック IC などを用いて最短距離で配線する

〈図 12-2〉 クワッド 12 ビット・ハイブリッド D-A コンバータ AD394
（アナログ・デバイセズ社）



〈図 12-3〉 12 ビット・バイポーラ・モノリシック高速 D-A コンバータ AD568（アナログ・デバイセズ社）



ようにします．

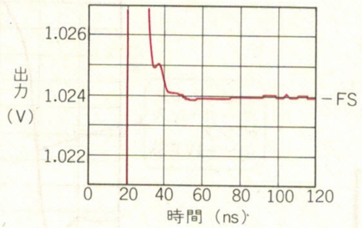
ブルックトリー社ではCMOSプロセスを用いて12ビットで25ns(実用的には45ns)のセトリング特性をもつモノリシックD-Aコンバータを製品化しています．図12-5にBt104/105の内部回路および基本回路例を示します．

Bt104/105(Bt104は入力レジスタなし，Bt105は入力レジスタ内蔵タイプ)は+5V単一電源で動作し，負荷に対して+40mAを出力できます．送受端のターミネーションが必要な50Ω系の伝送ラインの受端で，1Vフルスケールの振幅が得られます．Bt104/105の内部回路構成は発表されていませんが，DC直線性の試験結果から推測すると，電流セル・マトリクス型で構成されていると思われます．

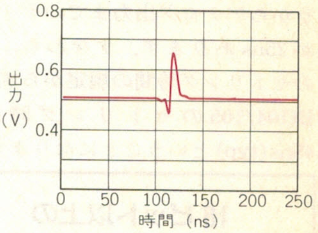
図12-6にBt104/105のDC直線性試験の結果を示しますが，理想ラインに対して−1.5LSBの非直線性誤差が示されています．微分直線性はたいへん優秀であり，±1/8LSB程度の誤差です．微分直線性が良好なのは，電流セル・マトリクス型の特徴です．

図12-7にフルスケール・レスポンスとセトリング特性を示します．パルス特性上ではプリシュートが観測されます．立ち上がり時間は約8ns(10〜90％)です．

〈図12-4〉
AD568のダイナミック特性
(メーカ発表データ)



(a) セトリング特性

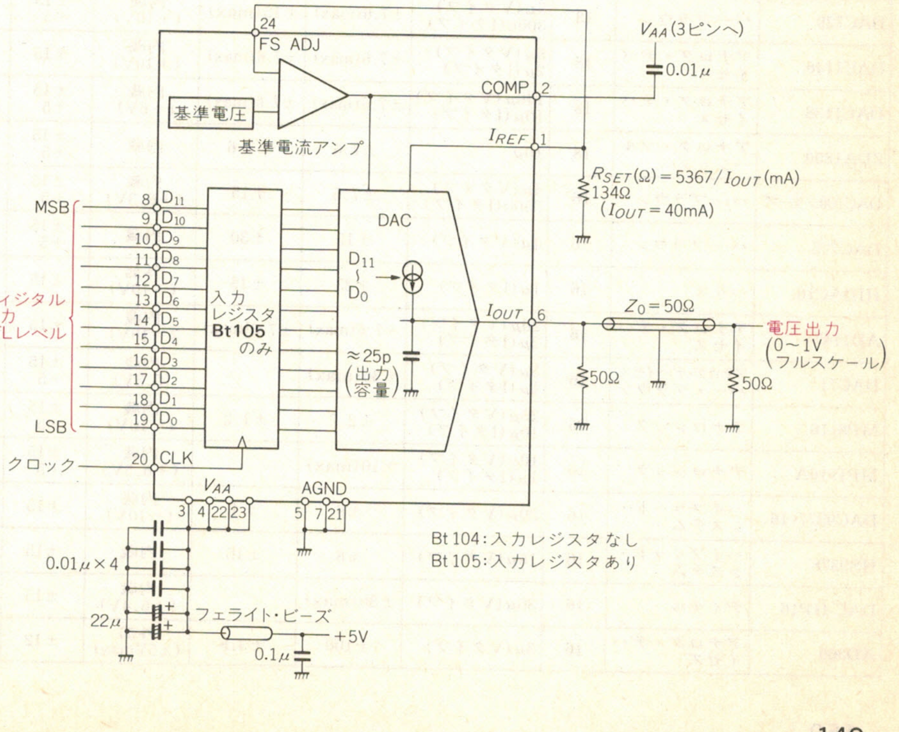


(b) グリッチ特性

ロジック・ファミリ	DAC出力 t_r 時間 (10〜90％)	DAC出力セトリング時間 1％	0.1％	0.025％	グリッチ・エネルギ	グリッチ・ピーク値
TTL	11ns	18ns	34ns	50ns	2.5nV-s	240mV
LSTTL	11ns	28ns	46ns	80ns	950pV-s	160mV
STTL	9.5ns	16ns	33ns	50ns	850pV-s	150mV
HC-MOS	11ns	24ns	38ns	50ns	350pV-s	115mV
FAST	12ns	16ns	36ns	42ns	1.0nV-s	250mV

(c) ディジタル入力ドライブ・ロジック回路の影響

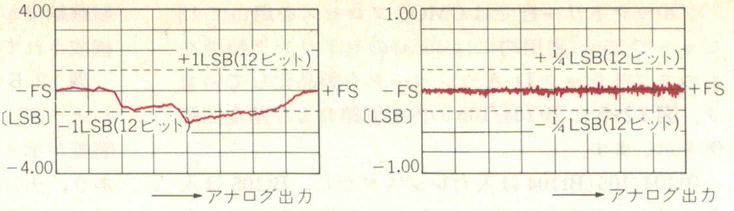
〈図12-5〉
12ビットCMOS
モノリシック高速
D-Aコンバータ
Bt104/105
(ブルックトリー社)



Bt104/105のセトリング時間は，アナログ出力の50％に達した点から規定の誤差幅に収束するまでの時間として規定されています．図12-7に示した実測データでは，実装上の違いや測定系の問題もありますが，25nsのセトリング時間は満たしていません．

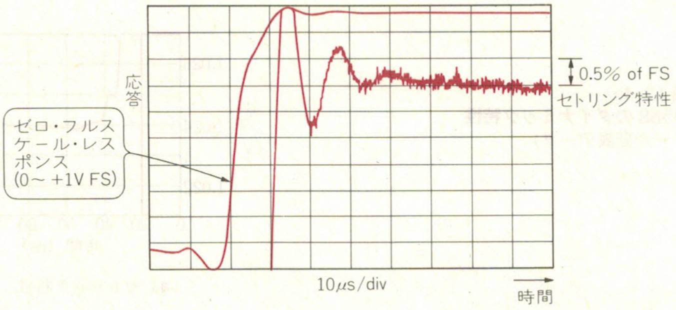
Bt104では，ディジタル入力を印加してアナログ出力(50％点)が出るまでのディレイが約25nsあります．Bt105ではクロックの立ち上がりからアナログ出力までのディレイが25nsあります．すなわち，従来のセトリング時間の規定からすると，Bt104/105のセトリング時間は45ns(typ)ということになります．

〈図12-6〉Bt104のDC直線性



(a) 非直線性　(b) 微分直線性

〈図12-7〉Bt104のフルスケール・レスポンスおよびセトリング特性



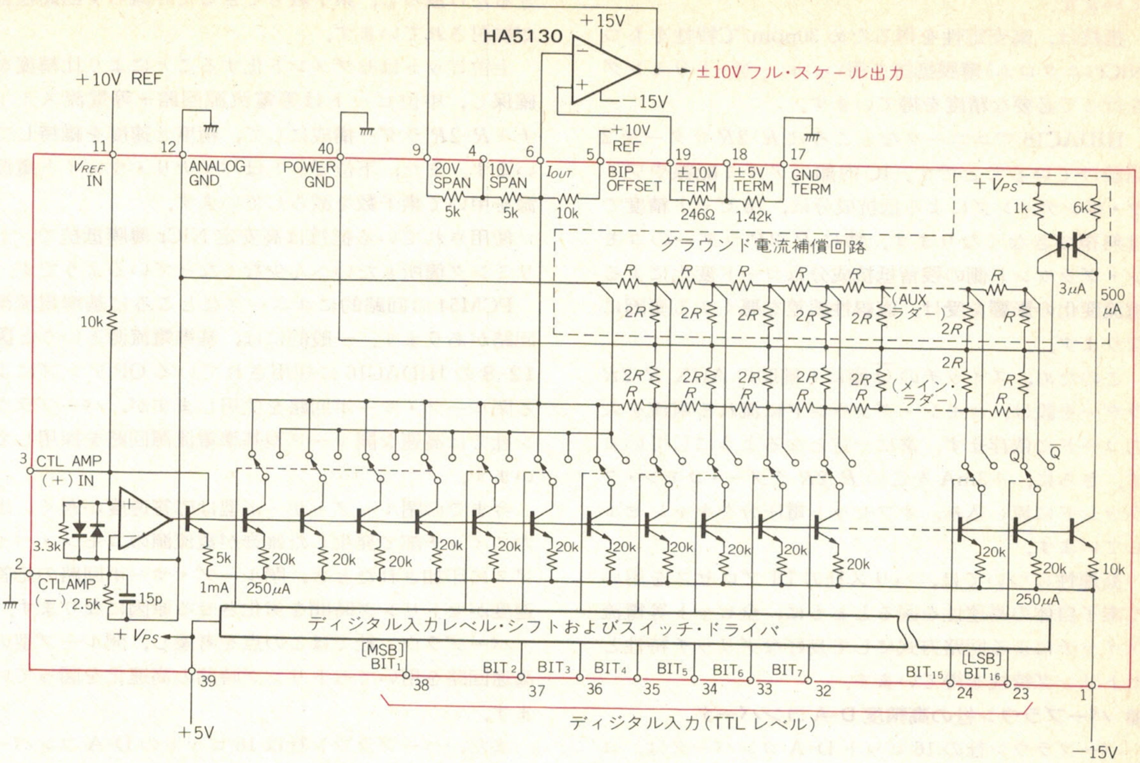
16ビット以上のD-Aコンバータ

16ビット以上のD-Aコンバータの市場は，ディジタル・オーディオなどの普及により急速に拡大していますが，この分野ではバーブラウン社が大きなシェアを持っています．ただし，最近ではアナログ・デバイセズ社がCMOS技術で，ハネウェル社がバイポーラ技術でバーブラウン社に対抗しようとしています．また，PCMオーディオ用としては，フィリップス社ならび日本のメーカ各社が開発を進めています．

〈表12-2〉高精度D-Aコンバータ(産業用)の一例

型名	メーカ	ビット数	速度(sec)	非直線性(ppm)	微分直線性(ppm)	基準電圧源	電源(V)	電力(W)	出力レンジ(V)
DAC729	バーブラウン	18	5μ(Vタイプ) 300n(Iタイプ)	±7.6(max)	±15(max)	内蔵(+10V)	±15 +5	1.14	±10, ±5, ±2.5 +10, +5
DAC1146	アナログ・デバイセズ	18	6μ(Vタイプ) 2μ(Iタイプ)	±7.6(max)	±7.6(max)	内蔵(+10V)	±15	0.6	±10, ±5, +10, +5 ±1mA, −2mA
DAC1138	アナログ・デバイセズ	18	140μ(Vタイプ) 10μ(Iタイプ)	±7.6(max)	±7.6(max)	内蔵(+6V)	±15 +5	0.945	±10, ±5, +10, +5 ±1mA, −2mA
ZDA1800	アナログ・ソルーション	18	10μ	±7.6	±7.6	内蔵	±15 +5		±10, ±5, +10, +5 ±1mA, −2mA
DAC700シリーズ	バーブラウン	16	4μ(Vタイプ) 350n(Iタイプ)	±7.5	±15	内蔵(+6.3V)	±15 +5	0.365	±10 ±1mA
DAC725	バーブラウン	16	4μ(Vタイプ)	±15	±30	内蔵	±15 +5	0.92	±10
HIDAC16	ハリス	16	1μ(Iタイプ)	±23	±15	外部(+10V)	±15	0.465	±1mA −2mA
AD1147	アナログ・デバイセズ	16	20μ(Vタイプ) 2μ(Iタイプ)	+7.6(max)	±7.6(max)	内蔵(+10V)	±15	0.375	±10, ±5, +10, +5 ±1mA, −2mA
DAC71	アナログ・デバイセズ バー・ブラウン	16	5μ(Vタイプ) 1μ(Iタイプ)	±30(max)		内蔵(6.3V)	±15 +5	0.65	±10, +10 ±1mA, −2mA
MP8116	アナロジック	16	25μ(Vタイプ) 10μ(Iタイプ)	±2.2	±1.2	内蔵(+10V)	±15 +5	1.4	±10, ±5, +10 ±1mA, −2mA
MP1916A	アナロジック	16	10μ(Vタイプ) 1μ(Iタイプ)	±10(max)		内蔵(+6.5V)	±15 +5	1.95	±10, ±5, +10, +5 ±2mA, −4mA
DAC9377-16	ハイブリッド・システム	16	20μ(Vタイプ)	±8	±4	内蔵(−10V)	±15	0.45	±10, +10
HS9378	ハイブリッド・システム	16	16μ(Vタイプ)	±8	±15	内蔵	±15	0.425	±10, ±5, +10
DAC-HP16	デイテル	16	35μ(Vタイプ)	±30(max)		内蔵(+6.4V)	±15	1.14	±10, ±5, +10
AD569	アナログ・デバイセズ	16	3μ(Vタイプ)	±100	±3.8	外部(±5Vmax)	±12	0.22	±5

〈図 12-8〉 16 ビット D-A コンバータ HIDAC16B/C の内部ブロック図



パッケージ構造	D-A 変換方式	備考
40ピンDIP ハイブリッド	ラダー	上位 4 ビットは微分直線性の外部調整可
50.8×50.8×10.2 モジュール	ラダー	
51.2×102×10.4 モジュール	ラダー	
50.8×101.6×10.1 モジュール	ラダー	
24ピンDIPバイポーラ・モノリシック	ラダー	
28ピンDIP ハイブリッド	ラダー	2チャネル
40ピンDIPバイポーラ・モノリシック	ラダー	
32ピン ハイブリッド	ラダー	オフセット, ゲインCALDAC内蔵, マイコン・コンパチブル
24ピン ハイブリッド	ラダー	
98.4×180.2×12.7 モジュール	ラダー	
101.6×50.8×9.5 モジュール	ラダー	
24ピンDIP ハイブリッド	ラダー	
28ピンDIP ハイブリッド	ラダー	マイコン・コンパチブル
24ピンDIP ハイブリッド	ラダー	
28ピンDIP C-MOSモノリシック	電圧セグメント	マイコン・コンパチブル

表 12-2 と**表 12-3** に現在製品化されている 16〜18 ビット高精度 D-A コンバータを示します．各社の高精度モノリシック D-A コンバータを実現する技術的なポイントをまとめてみると，ほぼ次のようになると思います．

① チップ内のトランジスタや抵抗に要求される ppm オーダの精度をいかに実現するか
② 経時ドリフトや温度ドリフトをいかに高安定に保つか
③ チップ内の熱バランスをいかに実現するか (パターン・レイアウトを含めて)
④ チップ内の配線抵抗，ワイヤ・ボンディング抵抗の増加をいかに回避するか
⑤ コスト低減のためチップの小型化およびトリミング箇所をいかに減らすか．またはなくせるか
⑥ 高精度を維持しつつ高速化するにはどうするか

これらの観点で各社製品の技術を見てみます．

● ハリス社の 16 ビット D-A コンバータ

ラダー方式を用いて，最もオーソドックスに対応しているのが，ハリス社の HIDAC16 です．図 12-8 にその内部構成を示します．

HIDAC16 は，高い精度は比精度 (レシオ精度) から得るという原則から，全ビットの電流源回路，スイッチ回路をすべて等電流で構成しています．そして，電

流スイッチの後に設けた，R-2R ラダーにより分流しています．

抵抗は，高安定性を得るため30ppm/°C特性をもつNiCr(ニクロム)薄膜抵抗を用い，レーザ・トリミングを行って必要な精度を得ています．

HIDAC16でユニークなところはR-2R ラダーを2組設けていることです．IC内部のアルミ配線やワイヤ・ボンディングによる抵抗成分は，16ビット精度では無視できなくなります．特にR-2R ラダーのコモン・グラウンド側の残留抵抗成分はコード変化による電流変化の影響を受け，直線性誤差を悪くする要因になります．

このため，スイッチの$\overline{Q}$側にも補助のAUX R-2R ラダーを設け，コモン・グラウンドに流れる電流を入力コードに依存せず，常に一定となるようにしています．さらに，+3mAをこのR-2R ラダー・コモン・グラウンドに流し込み，オフセット電圧分をキャンセルしています．

高速性については，ハリス社のDIプロセスを用いて素子自体の高速性を図るとともに，全ビット等電流スイッチによる回路方式にして良好なグリッチ特性とセトリング特性を得ています．

● バーブラウン社の高精度D-Aコンバータ

バーブラウン社の16ビットD-Aコンバータは，コストを徹底的に追求したD-Aコンバータといえます．

図12-9にバーブラウン社のPCM54の内部構成を示します．初期のPCM50シリーズと基本構成は同じですが，大量生産するため不必要なところは削除し，チップも小型化し低コスト化してきています．

回路的にはラダー方式ですが，トリミング箇所をできるだけ減らし，素子数もできるだけ減らす回路技術が検討されています．

上位ビットはセグメント化することにより比精度を確保し，中位ビットは等電流源回路+等電流スイッチ+R-2R ラダー構成にして，精度と速度を維持しています．また，下位ビットはバイナリ・ウェイト電流源を甲いて素子数を減らしています．

使用されている抵抗は高安定NiCr薄膜抵抗で，トリミング箇所もたいへん少なくなっているようです．

PCM54の回路的にユニークなところに基準電流源回路があります．一般的には，基準電流源というと**図12-8**のHIDAC16に採用されているOPアンプによる閉ループ・サーボ回路を使用しますが，バーブラウン社では高速な開ループ型基準電流源回路を採用しています．

今までの閉ループ・サーボ型は応答速度が遅く，出力スイッチ部で発生した雑音が電流源のコモン・バイアスに印加されたとき，閉ループ・サーボ回路の応答速度がセトリング時間を劣化させる原因になります．

バーブラウン社ではこの点を考慮し，開ループ型の高速回路を用いてセトリング時間の高速化を図っています．

また，バーブラウン社は16ビットのD-Aコンバータにたいへん多くの品種をそろえています．例えば，産業用として15ビットの直線性をもったDAC701/703およびCPUコンパチブルなDAC705/708などがあります．また，16ビット2チャネルのD-Aコンバータを28ピン・パッケージに収めたDAC725という

〈表12-3〉高精度D-Aコンバータの一例(PCMオーディオ用)

型　名	メーカ	ビット数	速度(sec)	SNR(dB)	ダイナミック・レンジ(dB)	THD(%)	電源(V)	電力(W)	出力レンジ(V)
PCM64/65P	バーブラウン	18	200n(Iタイプ)	120	108	0.0015	+5 −15	0.415	±1mA
PCM77/78P	バーブラウン	16	3μ(Vタイプ)			0.002	±5	0.295	±3 (or±2mA)
PCM54/55P	バーブラウン	16	3μ(Vタイプ) 350n(Iタイプ)			0.002	PCM54:±12 PCM55:±5	0.35/ 0.125	±3 (or±2mA)
PCM56P	バーブラウン	16	1.5μ(Vタイプ) 350n(Iタイプ)			0.002	±5	0.175	±3 (or±1mA)
PCM60	バーブラウン	16		90		0.006	+5	0.05	
TDA1541	フィリップス	16	0.5μ(Iタイプ)	95		0.0018	±5 −15	0.85	−4mA
CX20152	ソニー	16	88.2kHz サンプリング			0.003	±5	0.57	−2mA
MN6623	松下電子工業	16	32×fs オーバ・サンプリング	98	96	0.003	+5	0.2	PDM(パルス密度変調)出力
SAA7320	フィリップス	16	256×fs オーバ・サンプリング		94	0.003	+5	0.25	
MP1926A	アナロジック	16	3μ(Vタイプ)			0.005	±15	0.5	±5, ±10
MP1936	アナロジック	16	3.5μ(Vタイプ)			0.005	±15	0.75	±5

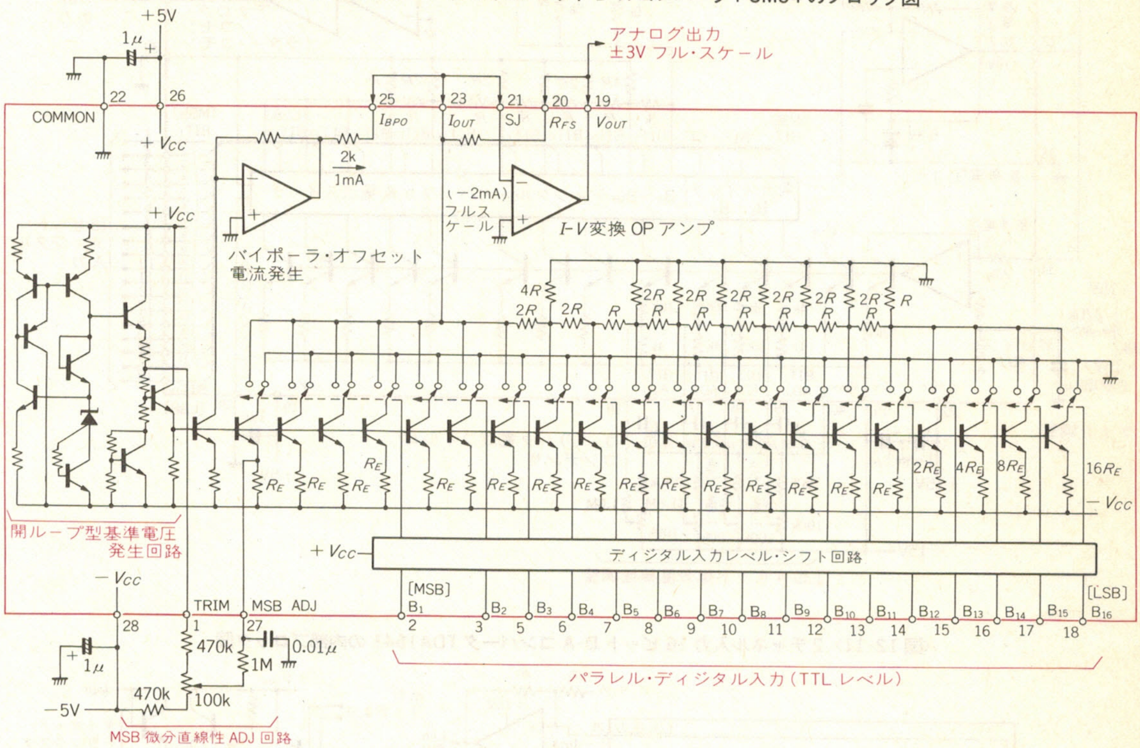
(DEM：ダイナミック・エレメント・マッチング，OS：オーバ・サンプリング，NS：ノイズ・シェーピング)

製品もあります．

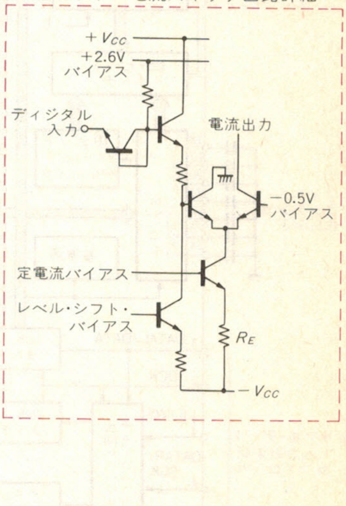
その他，PCM オーディオ用としてシリアル入力型の PCM56，2 チャネル内蔵の PCM60 などがありますが，これらには 16 ビット D-A コンバータ技術を延長して，18 ビットの分解能を持たせています．さらに，PCM 用として PCM64/65，産業用として DAC729 が発表されています．参考として図 12-10 に DAC729 の内部構成と基本回路接続を示します．

この DAC729 は，18 ビット D-A コンバータ，基準電圧源および *I-V* 変換出力アンプがハイブリッドに

〈図 12-9〉 PCM オーディオ用 16 ビット D-A コンバータ PCM54 のブロック図

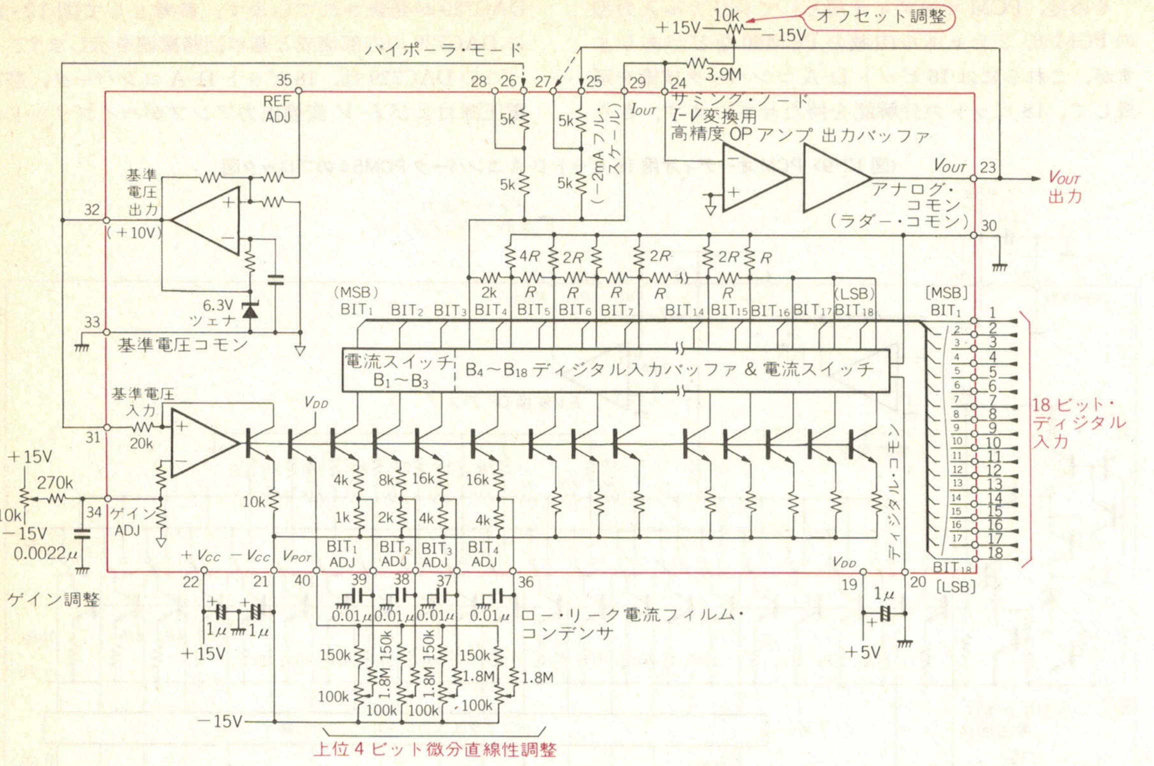


各ビットの電流スイッチ回路詳細

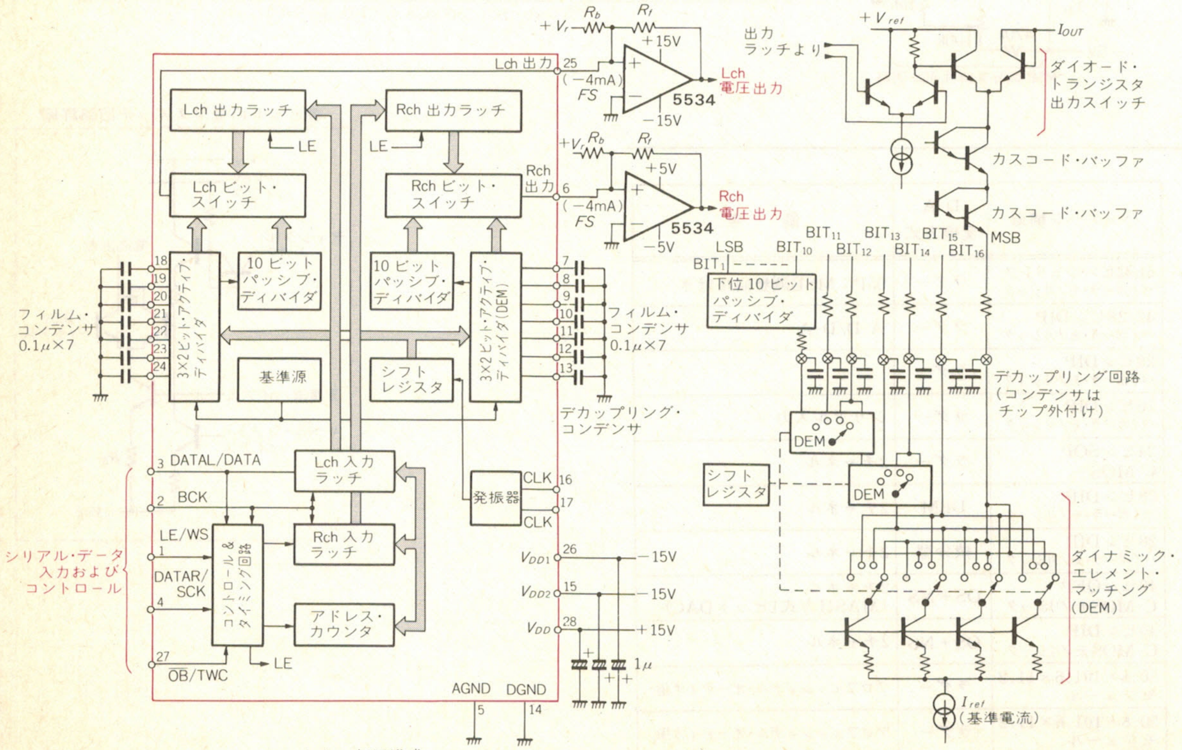


パッケージ構造	D-A 変換方式	備考
64/42 ピン・シュリンク バイポーラ・モノリシック	ラダー	65P：MSB 調整回路付き
42/28 ピン DIP バイポーラ・モノリシック	ラダー	A-D/D-A
28 ピン DIP バイポーラ・モノリシック	ラダー	
16 ピン DIP バイポーラ・モノリシック	ラダー	シリアル入力
24 ピン SOP C-MOS	ラダー	2 チャネル
28 ピン DIP バイポーラ・モノリシック	DEM	2 チャネル
28 ピン DIP バイポーラ・モノリシック	積分型	2 チャネル
40 ピン QFP C-MOS モノリシック	OS+NS	2 チャネル (MASH 方式 1 ビット DAC)
40 ピン DIP C-MOS モノリシック	OS+NS	2 チャネル
50.8×101.6×11.2 モジュール	ラダー	プロフェッショナル・オーディオ用
50.8×101.6×11.2 モジュール	ラダー	プロフェッショナル・オーディオ用

〈図 12-10〉 18 ビット D-A コンバータ DAC729 の内部ブロック図



〈図 12-11〉 2 チャネル入力 16 ビット D-A コンバータ TDA1541 の内部ブロック図



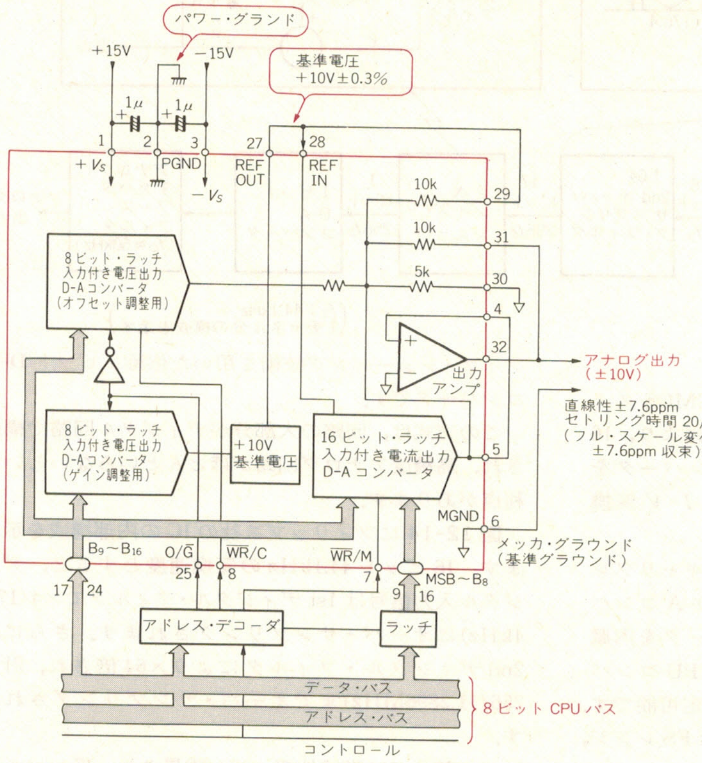
(a) 内部構成

(b) DEM 回路

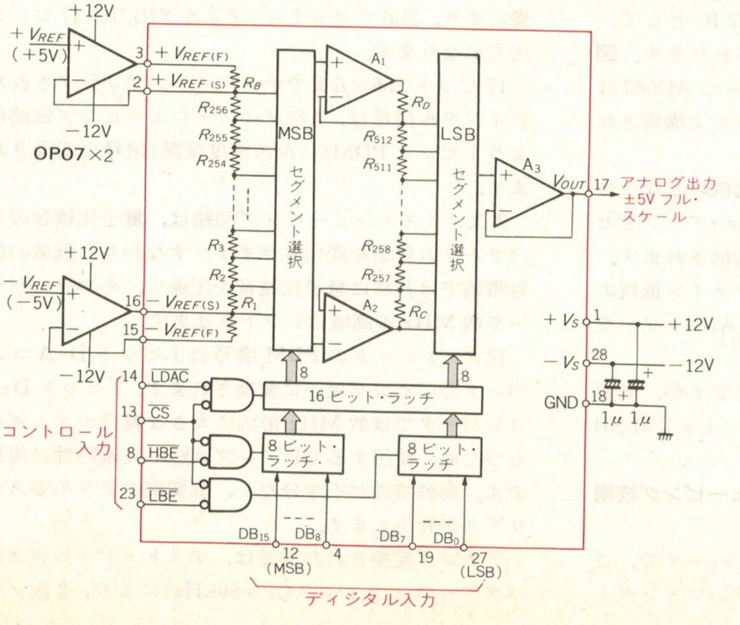
より構成されています．

18ビット分解能で16ビット精度を得るため，使用する部品や実装面においてかなりのノウハウが集積されています．上位4ビットの電流値は，外部回路により18ビット精度に調整可能です．

〈図12-12〉 CMOS16ビットD-AコンバータAD1147の内部ブロック図



〈図12-13〉 CMOS電圧セグメント方式16ビットD-AコンバータAD569の内部ブロック図



● **フィリップス社の高精度D-Aコンバータ**

トリミングなしで高精度のD-Aコンバータを実現する方法として，フィリップス社が考案したダイナミック・エレメント・マッチング(DEM)方式があります．まず初めに，14ビット1チャネルのTDA1540が開発され，16ビット2チャネルのTDA1541へ発展しています．図12-11にTDA1541の内部構成を示します．

上位6ビットをDEM回路によりバイナリ・ウェイトの定電流源回路を構成し，下位10ビットをエミッタ・スケーリングによりバイナリ・ウェイト電流源を構成しています．

上位6ビットのDEM回路は，1：1：2の分流ユニットを3段カスコード接続しています．DEM回路のリプル電流平滑用に，各チャネル7個，計14個のデカップリング・コンデンサを外付けする必要があります．

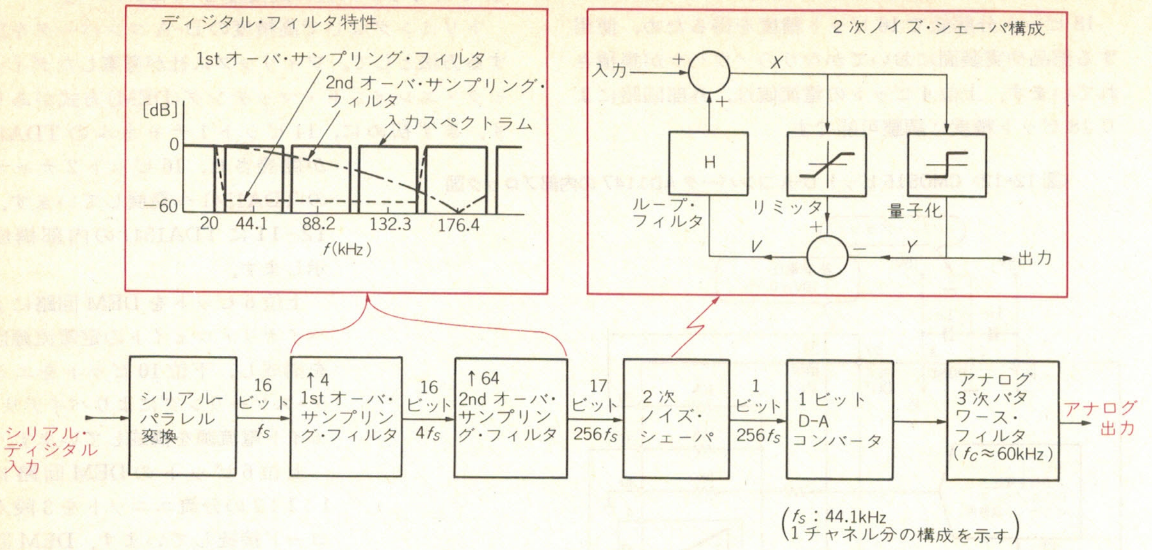
出力スイッチ部分はトランジスタによる差動電流スイッチではなく，ダイオード・トランジスタ・スイッチ構成になっています．これは，バイナリ・ウェイトをもつ電流をトランジスタ差動スイッチで切り替えた場合，ビット間でスイッチング速度に差を生じ，セトリング特性やグリッチ特性を劣化させるからです．

ダイオード・スイッチは，動作電流によるスイッチ速度に差がなく，高速スイッチングができます．しかし，差動電流スイッチではコモン・エミッタの電位変化は抑えられますが，ダイオード・スイッチでは電圧振幅変化を生じ，高精度電流源回路に悪影響を及ぼします．このためTDA1541では，スイッチと高精度電流源の間に2段のカスコード・バッファを付加して，スイッチ雑音を分離するようにしています．

● **アナログ・デバイセズ社の高精度D-Aコンバータ**

アナログ・デバイセズ社は，8〜14ビットのモノリシック製品を数多く製品化してきましたが，この技術を延長した16ビットD-AコンバータAD1147/1148をハイブリットIC構

〈図 12-14〉オーバ・サンプリング+2次ノイズ・シェーピング方式のD-Aコンバータ



成で製品化しています.

AD1147は，図12-12に示したようにCMOSスイッチとレーザ・トリミングされた薄膜抵抗により，16ビット±1/2LSB直線性の高精度D-Aコンバータを構成しています．また，基準電圧源回路，*I-V*変換用出力アンプも内蔵しています.

AD1147でユニークな点は，システム・キャリブレーション用にオフセット調整用8ビットD-Aコンバータとゲイン調整用8ビットD-Aコンバータを内蔵していることです．これは内蔵しているCPUコンパチブル・バスを介して，外部から自由に設定可能です.

調整範囲はオフセット調整が±0.05％ of FSレンジ，ゲイン調整が±0.2％ of FSレンジです.

他に，アナログ・デバイセズ社から発表されている16ビットD-AコンバータでユニークなICとして，電圧セグメント方式を用いたAD569があります．図12-13に示したように256のタップをもつAD569は，2組の抵抗ストリングと，CMOSスイッチで構成されています.

上位8ビット・コードによりコース抵抗のとなり合うタップ間が選択され，A_1とA_2バッファ・アンプでセンスされ，ファイン抵抗ストリングに供給されます．そして下位8ビット・コードにより，ファイン抵抗のタップがCMOSスイッチで選択され，A_3バッファを介して出力されます.

この方式は，非直線性は0.01％程度ですが，微分直線性は原理的にたいへん優れ，16ビット±1/4LSB(typ)を得ています.

● オーバ・サンプリング＋ノイズ・シェーピング技術について

PCMオーディオ用高精度D-Aコンバータで，これからの方向性を示す方式がオーバ・サンプリング＋ノイズ・シェーピング技術を用いた俗称1ビットD-Aコンバータです.

この方式は，回路の大部分がディジタル回路で構成され，高精度アナログ回路がほとんどいらないという利点があります.

図12-14にフィリップス社のICの内部構成を示します．16ビット44.1kHzの変換速度とすると，ディジタル入力信号は1stディジタル・フィルタで×4(176.4kHz)にオーバ・サンプリングされます．さらに，2ndディジタル・フィルタにより×64倍され，計×256(11.2896MHz)までオーバ・サンプリングされます.

この部分では帯域外ディザが重畳され，低レベル時に発生する不要スプリアスが改善されます．ディザ重畳により，2ndディジタル・フィルタ出力は17ビット出力になります.

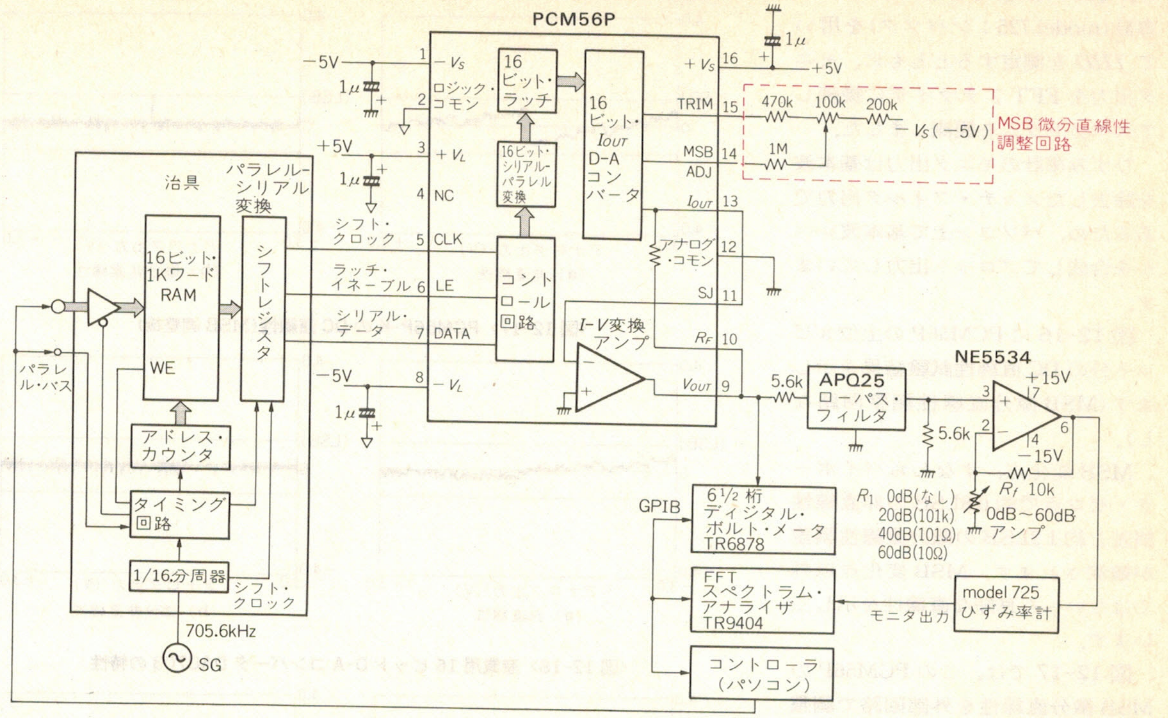
17ビット256×f_sまでオーバ・サンプリングされたディジタル信号は，2次ノイズ・シェーピング回路により1ビットPDM(パルス密度変調)信号に変換されます.

2次ノイズ・シェーピング回路は，量子化雑音のスペクトラム分布を変化させます．すなわち，低域の信号帯域では非常に量子化雑音を圧縮し，その分のパワーを数MHzの高域にシフトさせます.

次に，1ビットのPDM信号は1ビットD-Aコンバータでアナログ電圧に変換されます．1ビットD-Aコンバータでは数MHz帯域に大きな雑音エネルギをもつため，使用するOPアンプ回路の高域特性は重要です．高域特性が不十分だと，混変調により不要スプリアスが発生します.

アナログ変換された信号は，ポスト・アナログ3次バタワース・フィルタ(f_C≈60kHz)により，2次ノイ

〈図 12-15〉 PCM56P の実験回路



ズ・シェーピング段で発生した高域雑音が除去されます．

フィリップス社では，このようなオーバ・サンプリング+2次ノイズ・シェーピング技術を用いて2チャネル分をCMOSワンチップ化し，+5V単一電源で250mWという低消費電力なデバイスを試作しています．特性的にも94dBのダイナミック・レンジと0.02dBの帯域内リプル特性を得ています．

16ビットD-Aコンバータ PCM56Pの特性試験

PCM56Pは，ディジタル・オーディオ用16ビットD-Aコンバータとして，現在最も多用されているデバイスです．

ここでは，PCM56PについてDC直線性，全高調波ひずみ特性などを測定してみました．

図12-15にPCM56Pの内部ブロックおよび試験回路を示します．図をみればわかりますが，PCM56Pはシリアル入力とすることにより16ピンのパッケージに収まっています．電源は±5Vで175mWと低消費電力です．

D-Aコンバータ部分は従来のPCM50シリーズの延長にあり，高安定ニクロム薄膜抵抗にレーザ・トリミングを施したラダー型バイポーラ16ビットD-Aコンバータです．

チップ内部にバイポーラ・オフセット用電流源回路，*I-V* 変換用出力OPアンプも内蔵され，±3Vフルスケールとして電圧出力されます．また，セトリング時間も1.5μsと高速化されており，4倍オーバ・サンプリング・レート(176.4kHz)に対応できます．

PCM56PはMSBの電流源を外部回路で調整できる端子があり，バイポーラ・ゼロ点での微分直線性を改善することができます．

シリアル入力型のため，IC内部でパラレル変換した後，ラッチでタイミングが取り直されてD-Aコンバータに入りますが，そのためPCM56Pではグリッチが小さくなっています．後で実験結果を示しますが，デグリッチャなしでも十分な性能を引き出すことができます．

図12-15に示す試験回路で，PCM56PのDC直線性およびパワー・スペクトラム(*THD*)を試験しました．

正弦波テーブルはROMによらずRAMを用い，パソコンで周波数およびアッテネータ・データを計算して，試験ごとに書き込む方法にしました．再生時は，44.1kHzレートでアドレス・カウンタをインクリメントし，シフトレジスタにロードし，705.6kHz(44.1kHz×16)クロックでシリアル・データに直して，PCM56Pへ送り出しています．

DC直線性試験時は，PCM56P出力を直接6½桁の高精度ディジタル・ボルト・メータで測定し，GPIBを経由してパソコンで直線性を計算しています．

スペクトラム(*THD*)試験は，ローパス・フィルタ

(APQ25：東光)を介して，ひずみ率計(model 725：シバソク)を用いて *THD* を測定するとともに，モニタ出力を FFT アナライザに接続してスペクトラムを観測しました．

ひずみ率計のモニタ出力は基本波を除去したノッチ・フィルタ出力であるため，パソコン上で基本波レベルを合成してプロット出力しています．

図 12-16 に PCM56P の上位 8 ビット分の DC 直線性試験結果を示します(MSB 微分直線性調整回路なし)．

MSB 変化点，すなわちバイポーラ・ゼロ点で約 0.8LSB の非直線性誤差と約 1.3LSB の微分直線性誤差が観測されます．MSB 変化点以外ではたいへん良好な直線性を示しています．

図 12-17 では，この PCM56P の MSB 微分直線性を外部回路で調整した後の直線性試験結果です．たいへん良好な直線性に改善され，±0.5LSB 以内の非直線性および微分直線性が確保されています．

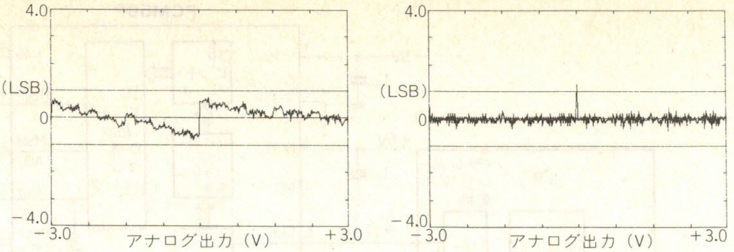
ただし，デバイスの固体差があり，ここで試験したデバイスはかなり良好な一例と思ってください．

参考までに，図 12-18～図 12-20 に他の 16 ビット D-A コンバータの DC 直線性試験の結果を示します．ただし，これらのデバイスも品種差というより同一品種での固体差がかなりあり，参考程度と考えてください．

図 12-21 に PCM56P の全高調波ひずみ(*THD*)の測定結果を示します．MSB 微分直線性回路なしとありの状態での *THD* 特性を示していますが，フルスケール出力時は *THD*＝0.0017％が 0.0011％に，−60dB フルスケール出力時は *THD*＝1.64％が 0.888％へ改善されています．微小レベル時におけるひずみ改善に，かなり有効であることが確認できます．

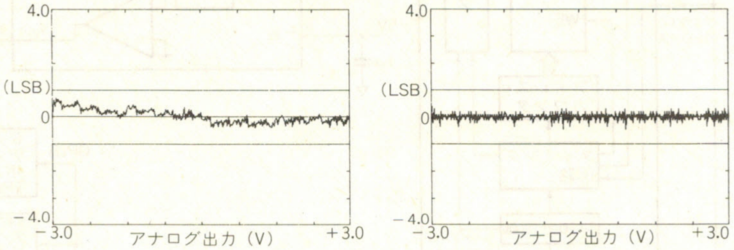
図 12-22 には MSB 微分直線性調整なしでのパワー・スペクトラム

〈図 12-16〉 PCM56P-K の DC 直線性(MSB 調整なし)



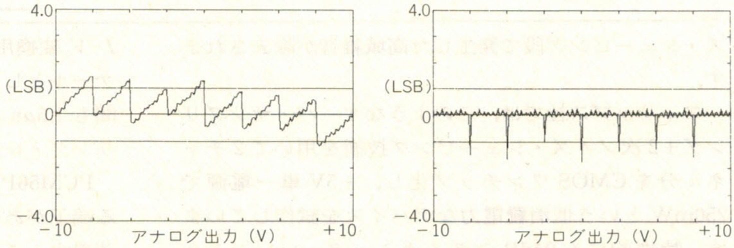
(a) 非直線性　(b) 微分非直線性

〈図 12-17〉 PCM56P-K の DC 直線性(MSB 調整後)



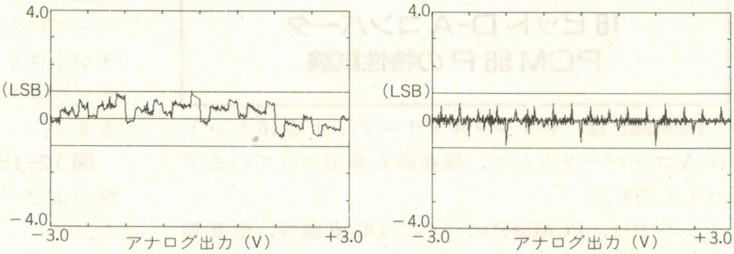
(a) 非直線性　(b) 微分非直線性

〈図 12-18〉 産業用 16 ビット D-A コンバータ DAC703 の特性



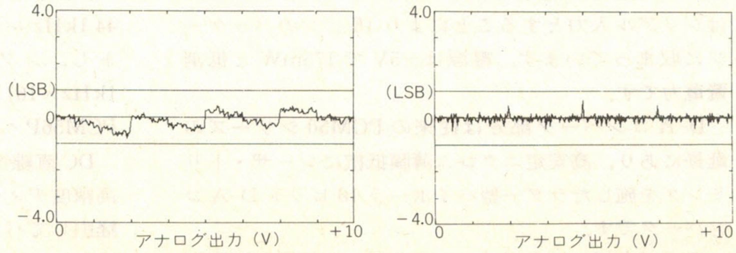
(a) 非直線性　(b) 微分非直線性

〈図 12-19〉 PCM 用 16 ビット D-A コンバータ(A-D 兼用)PCM77P の特性



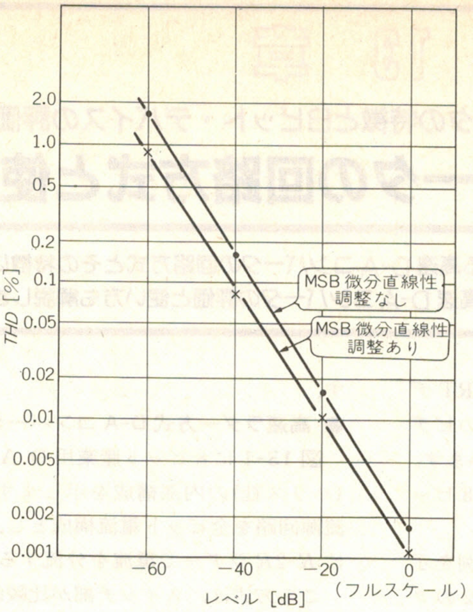
(a) 非直線性　(b) 微分非直線性

〈図 12-20〉 産業用 16 ビット D-A コンバータ HIDAC16B の特性

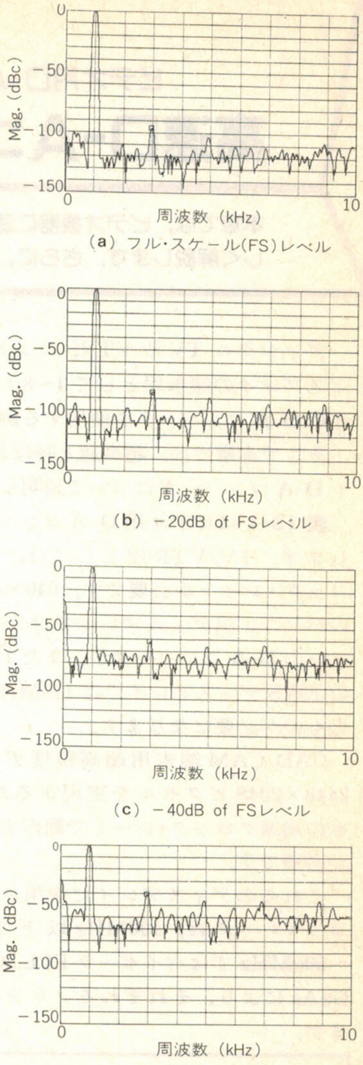


(a) 非直線性　(b) 微分非直線性

〈図 12-21〉
PCM56P-K の
THD 特性
(f=990.5Hz
f_S=44.1kHz)

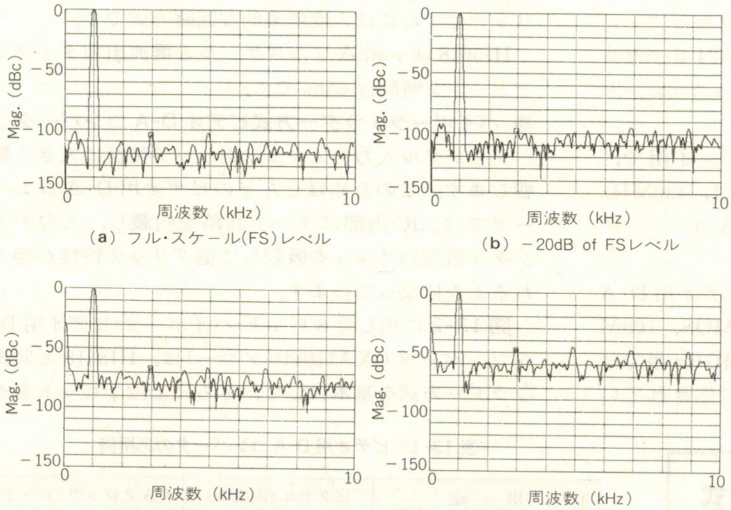


〈図 12-22〉 ひずみ特性(MSB 調整なし)



(a) フル・スケール(FS)レベル
(b) −20dB of FSレベル
(c) −40dB of FSレベル
(d) −60dB of FSレベル

〈図 12-23〉 ひずみ特性(MSB 外部調整後)



(a) フル・スケール(FS)レベル
(b) −20dB of FSレベル
(c) −40dB of FSレベル
(d) −60dB of FSレベル

を 0dB フルスケールから−60dB フルスケールまで再生レベルを変化させて測定しています．フル・スケール出力時には，2 次ひずみが−110dBc，3 次ひずみが−96.1dBc を示しています．このデバイスでは，ひずみは奇数次ひずみが支配的です，−20dB，−40dB，−60dB と出力レベルを下げた場合の 3 次ひずみは，それぞれ−85.1dBc，−62.5dBc，−41.1dBc と劣化しています．図 12-23 では，MSB 微分直線性調整回路を付加したときのパワー・スペクトラム試験結果です．フルスケール出力時，3 次ひずみは−104.5dBc まで低下しています．−20dB，−40dB，−60dB 出力レベルでも，それぞれ−98dBc，−66.9dBc，−48dBcと，未調整時に比べてかなり改善されていることがわかります．

◆参考・引用*文献◆

(1)*NAUS et al;C-MOS STEREO 16-BIT D-A CONVERTER FOR DIGITAL AUDIO,IEEE JOURNAL OF SOLID-STATE CIRCUITS,VOL.SC22, No.3 JUNE 1987, pp.390～395.
(2) SCHOUWENAARS et al; A Monolithic Dual 16-Bit D-A CONVERTER,IEEE JOURNAL OF SOLID STATE CIRCUITS,VOL.SC21, No3, JUNE 1986, pp.424～429.
(3) バーブラウン，1987 PRODUCT DATA SHEET.
(4) バーブラウン，DAC729,PCM56P 個別データシート．
(5) アナログ・デバイセズ，データブック．
(6) フィリップス，Integrated circuits Book 1986.
(7) ハリス，ANALOG PRODUCT DATA BOOK.
(8) ±5V で働き標準 125mW を消費するオーディオ用 16 ビット D-A 変換器 IC，日経エレクトロニクス，1985.10.21, p.185～202，日経 BP.
(9) ブルックトリー，プロダクト・データブック．

第 13 章

ビデオ用D-Aコンバータの特徴と8ビット・デバイスの評価

高速D-Aコンバータの回路方式と使い方

本章では，ビデオ機器に使用されている高速 D-A コンバータの回路方式とその特徴について詳しく解説します．さらに，8 ビットの高速 D-A コンバータの評価と使い方も解説します．

ディジタル TV や VTR，コンピュータの CRT ディスプレイの端末用として 4～8 ビット分解能のビデオ用 D-A コンバータを使用する例が急増しています．

そこで本章では，超高速と呼ばれるビデオ用 8 ビット D-A コンバータについて説明します．

表 13-1 にビデオ用 D-A コンバータの応用例を示します．TV/VTR 用としては，14M～32MHz のクロック・レートが必要です．640×480 ピクセルが標準のパソコン用ディスプレイでは 25MHz クロック・レートの D-A コンバータが，また 1280×1024 ピクセルの EWS ディスプレイでは 115MHz クロック・レートのものが必要になります．

CAD/CAM 端末用超高精度ディスプレイ用で，2448×2048 ピクセルを実現するためには，430MHz もの高速クロック・レートで動作する D-A コンバータが必要です．

これらのディスプレイに使用されるビデオ用 D-A コンバータは，100MHz 以下では CMOS，100M～500MHz ではバイポーラ ECL,500M～1GHz 帯では GaAs により，それぞれモノリシック IC 化されています．

高速 D-A コンバータの回路方式

ビデオ用 D-A コンバータで重要な特性は，産業用 D-A コンバータで要求される仕様とは異なります．例えば，ビデオ用ではゲイン特性やオフセット特性などの DC 特性や非直線性はそれほど重要ではありません．これらの特性は CRT 自体の特性にマスクされてしまいます．

反面，単調性および微分直線性はたいへん重要です．AC 特性についてはグリッチ特性，セトリング特性に注意が必要です．これらの特性は CRT の画面に影響を与え，視覚的にたいへん見づらくします．

また，コンポジット信号を扱う TV/VTR 用 D-A コンバータでは，微分利得(*DG*)および微分位相(*DP*)特性がたいへん重要になってきます．

● 高速ラダー方式 D-A コンバータ

図 13-1 に 8 ビット産業用 D-A コンバータ HI5618 (ハリス社)の内部構成を示します．HI5618 では，電流源回路を全ビット電流構成とし，スイッチのうしろに R-$2R$ ラダーで電流を分流する方式にしています．

この方式は，スイッチ部が比較的高電流密度で，しかも全ビット等電流で動作するため，高速および低グリッチにするには大変効果的な回路方式です．

HI5618 は－5mA フルスケールの電流出力タイプで，セトリング時間は 65ns です．

● バイポーラ・ラダー方式ビデオ D-A コンバータ

ディジタル入力のスキュはグリッチ特性に大きく影響します．このためほとんどのビデオ用 D-A コンバータでは，IC 内部にラッチ回路を内蔵し，入力ディジタル信号のスキュを吸収して低グリッチ特性が得られるようになっています．

図 13-2 に示した 8 ビット・バイポーラ・ビデオ用 D-A コンバータ CXA1106P(ソニー)は，HI5618 と同様なラダー方式を基本にして，さらに上位 2 ビットをセ

〈表 13-1〉 ビデオ用 D-A コンバータの応用例

用　途	ピクセル(画素数)	D-Aクロック・レート
TV，VTR	(インターレース)	14～17MHz
	(ノン・インターレース)	28～34MHz
パソコン用ディスプレイ	512×512 640×400 640×480 768×576	20MHz 20MHz 25MHz 35MHz
	1024×768 1024×780	65MHz 65MHz
ワークステーション用ディスプレイ	1024×1024 1152×900 1280×1024	95MHz 95MHz 115MHz
	1536×1280 2048×1536	170MHz 270MHz
超高速高精度ディスプレイ	2048×2048 2448×2048	360MHz 430MHz

グメント化して微分直線性の改善を図っています．セグメント・デコーダ回路出力にラッチ(クロック同期)回路を設け，グリッチの少ない構成になっています．

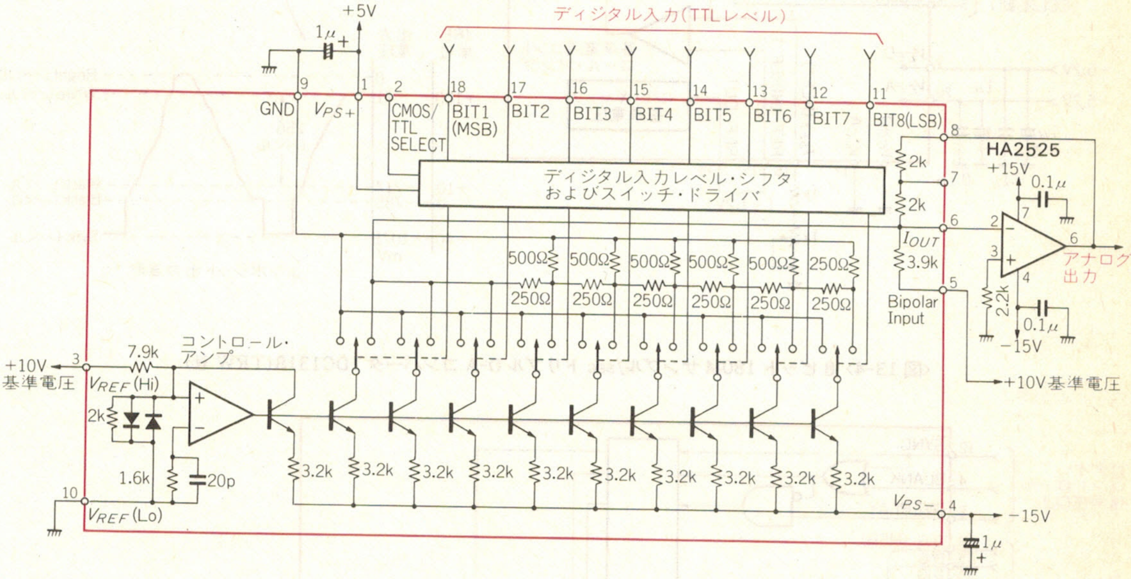
また，CXA1106P は基準電圧源を内蔵しています．出力振幅は1V フルスケールで，最大変換レートは35MHz です．

● 超高速バイポーラ・ビデオ用 D-A コンバータ

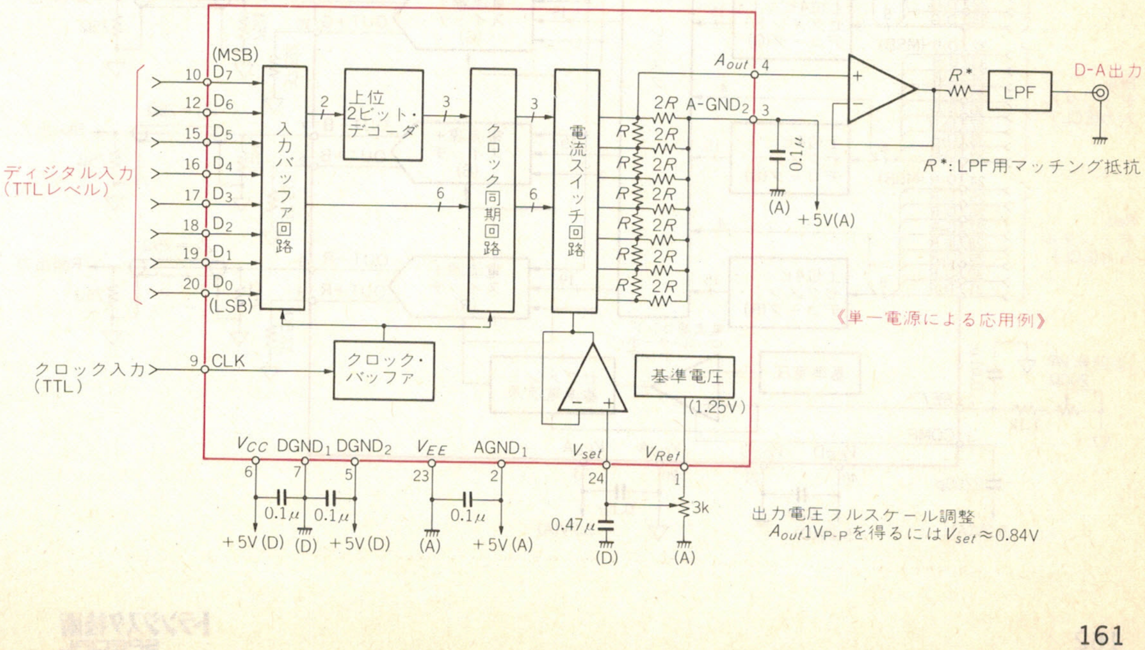
クロック・レートが 300MHz 以上の D-A コンバータは，超高速バイポーラ・プロセスと ECL 技術を用いて製品化されています．変換方式はラダー方式になっています．製品例として，HDAC51400(ハネウェル社)，Bt107/108(ブルックトリー社)，AD9703(アナログ・デバイセズ社)などがあります．図 13-3 に8ビット 400MHz クロック・レートの HDAC51400 の構成を示します．

ECL レベルのディジタル入力は，上位4ビットがセグメント・デコードされたのち，ラッチでスキュが吸収されます．8ビット D-A コンバータで上位4ビットをセグメント化することは，汎用 D-A コンバータなどとくらべるとビット数が多いように思われますが，超高速ビデオ用として微分直線性および低グリッチ化に有効です．

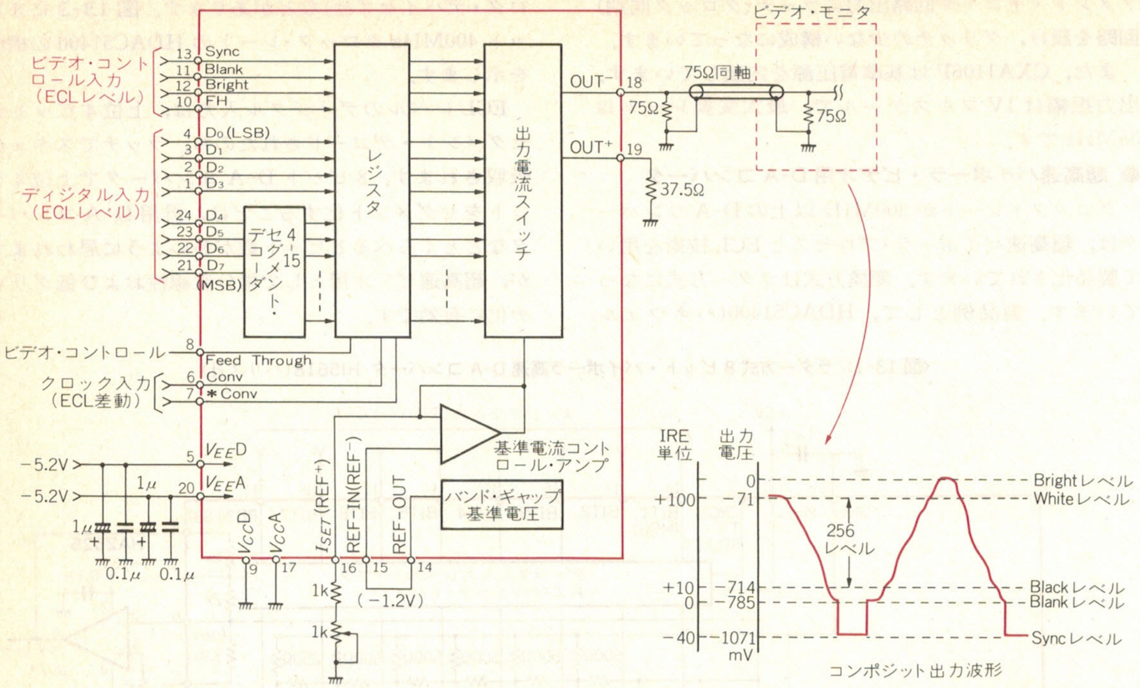
〈図 13-1〉 ラダー方式8ビット・バイポーラ高速 D-A コンバータ HI5618(ハリス社)



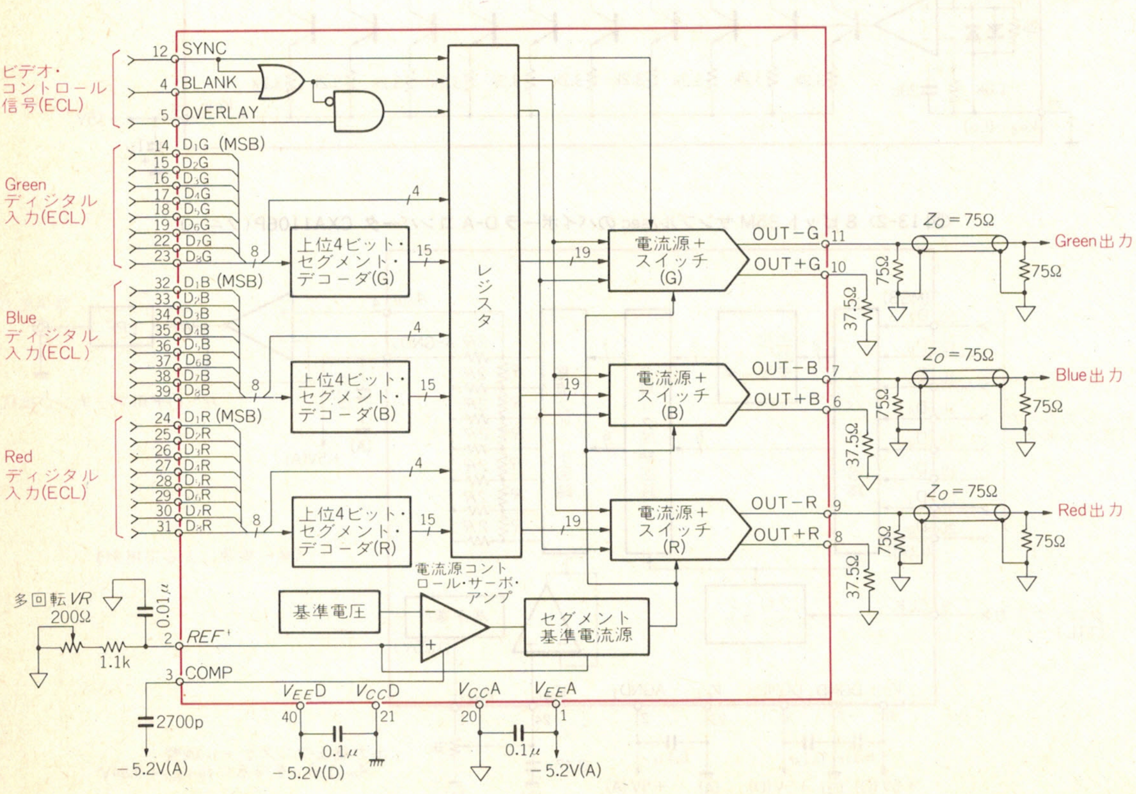
〈図 13-2〉 8ビット 35M サンプル/sec のバイポーラ D-A コンバータ CXA1106P(ソニー)



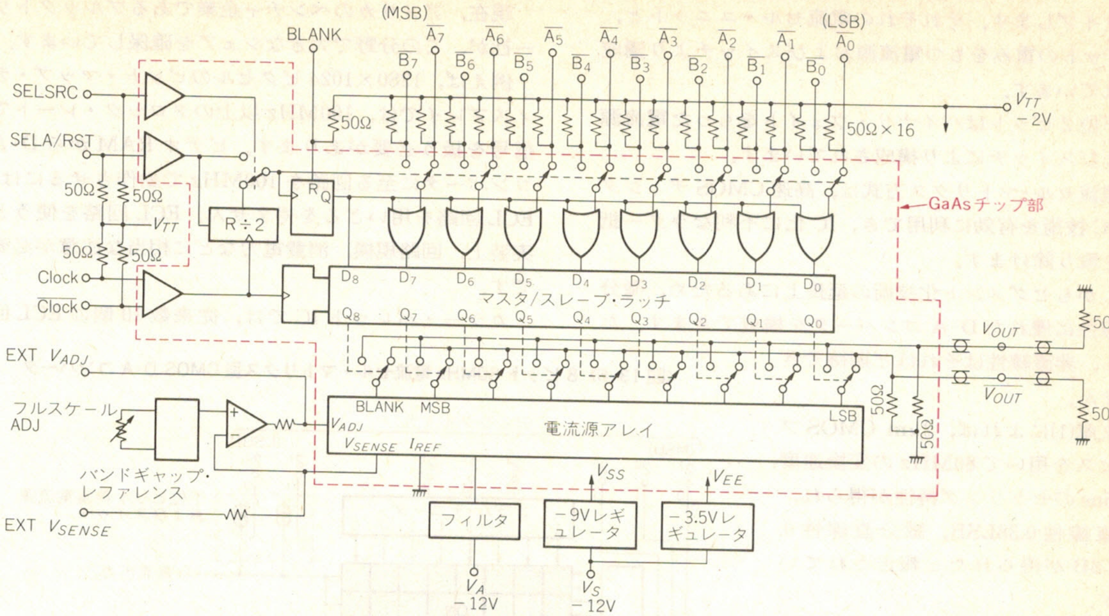
〈図 13-3〉 8 ビット 400M サンプル/sec ビデオ用 D-A コンバータ HDAC51400(ハネウェル社)



〈図 13-4〉 8 ビット 180M サンプル/sec トリプル D-A コンバータ TDC1318(TRW 社)



〈図 13-5〉8ビット1Gサンプル/sec GaAs D-A コンバータ TQ6112(トリクイント社)



HDAC51400では，8ビット・データ入力のほかに，Sync, Blank, Brightなどのビデオ制御入力も可能になっています．

● バイポーラ・トリプル・ビデオ D-A コンバータ

カラー・ディスプレイではRGB3個のD-Aコンバータが必要です．このため3個のD-Aコンバータをワンチップにしたトリプル・ビデオ D-A コンバータが各社から製品が発表されています．

図 13-4 に示したTDC1318(TRW社)は，8ビット180MHzのクロック・レートをもった最も高速なトリプル・タイプのビデオD-Aコンバータです．RGB8ビットのECLディジタル入力は，それぞれ上位4ビットがセグメント・デコードされます．そして，デコード出力はラッチによりグリッチを小さくして，3個のD-Aコンバータをドライブします．

TDC1318でも，Sync, Blank, Overlayなどのビデオ制御入力が可能です．TDC1318は−5.2V単一電源で動作し，40ピンDIPパッケージで供給されています．

● GaAs 超高速 D-A コンバータ

500MHz以上のクロック・レートの超高速D-Aコンバータは GaAsプロセスを用いて製品化されています．トリクイント社のTQ6111/6112はそれぞれ600MHz/1GHzの変換速度をもつGaAs D-Aコンバータです．

図 13-5 にTQ6112の内部構成を示します．入力レベルはECLコンパチブルです．入力信号をマルチプレクスしないで動作させた場合，1GHz以上の変換速度でD-A変換します．入力信号を2相にマルチプレクスして，入力レートを1/2にして供給するMUXモードでは800MHz以上(入力データ・レートは400MHzとなる)の変換速度での動作が可能です．

D-Aコンバータ出力は50Ω負荷に対して1Vフルスケールです．出力インピーダンスも50Ωのため特性インピーダンス Z_0=50Ωの伝送ラインによる高品質信号伝送ができます．

TQ6112は，0.2％の非直線性，0.4％の微分直線性のDC特性が得られます．また，AC特性については，出力立ち上がり/立ち下がり時間250ps(1090％)，セトリング時間2ns(0.4％)，グリッチ25pVsec以下です．

このようにAC特性はきわめて優秀です．GaAsはシリコン・バイポーラ・プロセスで問題となるキャリアの蓄積問題がないため，超高速動作時のセトリング波形はきわめてきれいです．

● CMOS ビデオ用 D-A コンバータ

20M〜100MHzクロック・レートをもつビデオ用D-Aコンバータは，CMOSタイプが主流になりつつあります．

変換方式についても，ラダー方式から電流セル・マトリクス方式を採用する例が増えてきています．

図 13-6 に電流セル・マトリクス方式の原理図を示します．この方式は従来のセグメント方式をより進化させ，デコード数を上位数ビットに限定せず下位ビットまで広げた方式です．

図 13-6 に示す8ビットの例では，上位6ビットをそれぞれ3ビットずつカラム・デコーダおよびロウ・デコーダによりデコードします．

デコーダ出力は8×8構成の電流セル・マトリクスをドライブします．それぞれの電流セル・ユニットと，2^2ビットの重みをもつ電流源およびスイッチより構成されています．

下位2ビットはバイナリ・ウェイトをもった電流源およびスイッチにより構成されています．

電流セル・マトリクス方式は，高速CMOSディジタルIC技術を有効に利用でき，IC化に不利なラダー抵抗を取り除けます．

しかもセグメント化技術の延長上にあるため，微分直線性に優れたD-Aコンバータを構成できます．ただし，非直線性はそれほど期待できません．

文献(1)によれば，2μm CMOSプロセスを用いて80MHzの変換速度，12.5nsのセトリング特性が得られ，非直線性0.38LSB，微分直線性0.22LSBが得られたと報告されています．

電流セル・マトリクス方式による8ビット20MHzビデオ用D-Aコンバータ μPD6900C(日本電気)の実験結果は後述します．

● **カラー・パレットIC**

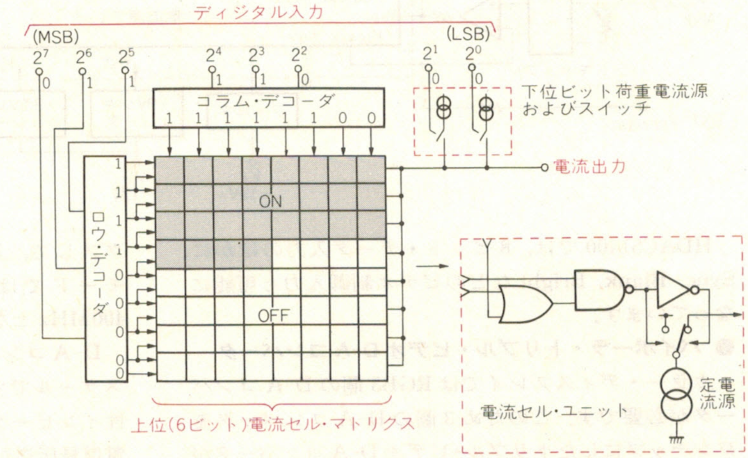
最近，エンジニアリング・ワークステーション(EWS)用ビット・マップ・ディスプレイに，“カラー・パレット”と称されるデバイスがよく用いられます．

現在，アメリカのベンチャ企業であるブルックトリー社が，この分野で大きなシェアを確保しています．

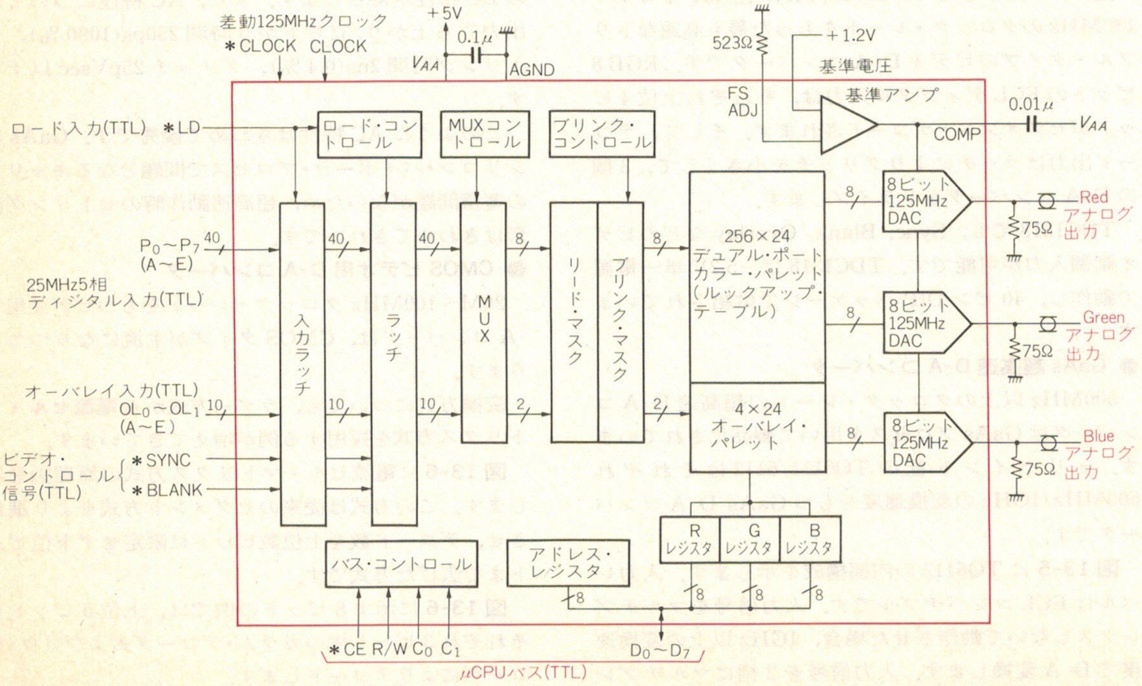
例えば，1280×1024ピクセルのビット・マップ・ディスプレイでは，100MHz以上のクロック・レートで信号を扱う必要があります．ビデオRAMからD-Aコンバータに至る回路を100MHzで動作させるには，ECL回路を用いざるを得ません．ECL回路を使うと実装上，回路規模，消費電力などに相当な注意が必要です．

カラー・パレットICでは，従来数10個のECL回

〈図13-6〉8ビット80MHz電流セル・マトリクス型CMOS D-Aコンバータ



〈図13-7〉8ビット125MHzカラー・パレットRAMDAC Bt458(ブルックトリー社)



路で構成する必要があった高速ロジック部分をIC内に取り込み，さらにRGB3個のD-Aコンバータまでチップ上に集積しています．

図13-7に，現在最もよく使用されている8ビット125MHzカラー・パレットIC Bt458(ブルックトリー社)の内部構成を示します．

Bt458では入力信号をTTLで扱えるようにするため，5相(または4相での使用も可)のマルチプレクス回路を内蔵しています．5相25MHz入力信号はIC内部で，単相125MHz信号に変換されます．

125MHz 8ビットの信号は，デュアル・ポート・カラー・パレットRAMをアクセスします．8ビット分解能のカラー表示では，本来$(2^8)^3$＝1680万色の色付けができます．Bt458のカラー・パレットでは同時発色可能な色数を256色に制限することにより，回路の大幅な削減を図っています．

カラーパレットRAMは256×24構成であり，D_0～D_7バスを経由してコントローラから各入力コード(8ビット：0～255)に対するRGB出力コード(色指定)が書き込まれます．

カラー・パレットRAM出力には，RGB3個のD-Aコンバータが接続されています．125MHzにマルチプレクスされた入力信号は，このカラー・パレットRAMをアクセスしてRGB3個のD-Aコンバータにより色付けをします．Bt458では2ビットのオーバレイ入力とオーバレイ・パレットがあり，重ね書きが可能になっています．さらにBlank, Syncなどのビデオ制御信号の入力も行えます．

このICは，ビット・マップ・ディスプレイに要求される機能をたいへんよく研究したうえで作られています．**図13-8**にBt458を用いた1024×1024ビット・マップ・ディスプレイへの応用例を示します．

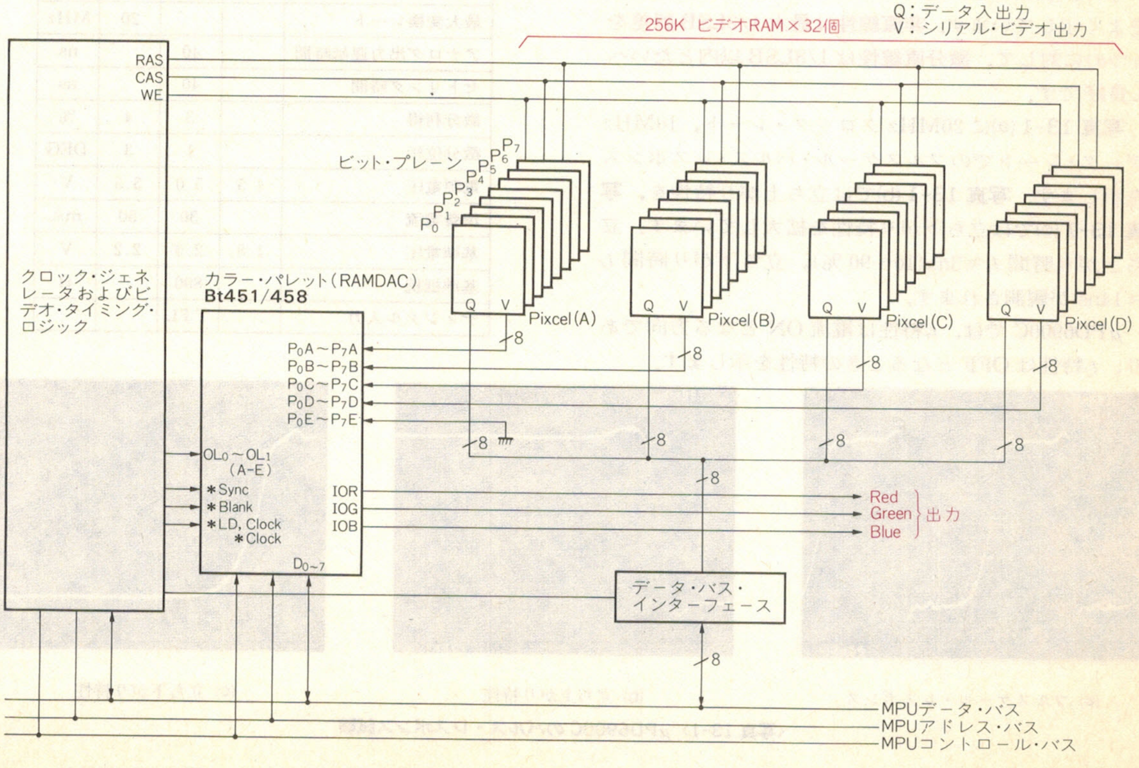
8ビット高速D-Aコンバータの特性試験

● 20MHz電流セル・マトリクス方式D-Aコンバータ μPD6900C

電流セル・マトリクス方式を採用したCMOSビデオ用D-Aコンバータ μPD6900C(日本電気)を試験してみました．**図13-9**に内部構成を，**表13-2**に主な仕様を示します．μPD6900Cでは上位7ビットを16×8マトリクスにデコードし，128個の電流セル・マトリクスをドライブします．フルスケール電流は10mAであり，100Ω負荷に対して1Vの振幅を取り出せます．出力コンプライアンス電圧は最大2.5Vです．

データ・ブックに掲載されている応用例では，**図13-9**に示したように5MHzのローパス・フィルタを介して，OPアンプHA5195(ハリス社)に入力し，アンプ出力は75Ω系の同軸ケーブルをドライブしています．

〈図13-8〉カラー・パレットIC(RAMDAC)の応用(1024×1024ビット・マップ・ディスプレイ)



〈図 13-9〉 8 ビット 20M サンプル/sec 電流セル・マトリクス型 CMOS D-A コンバータ μPD6900C（日本電気）

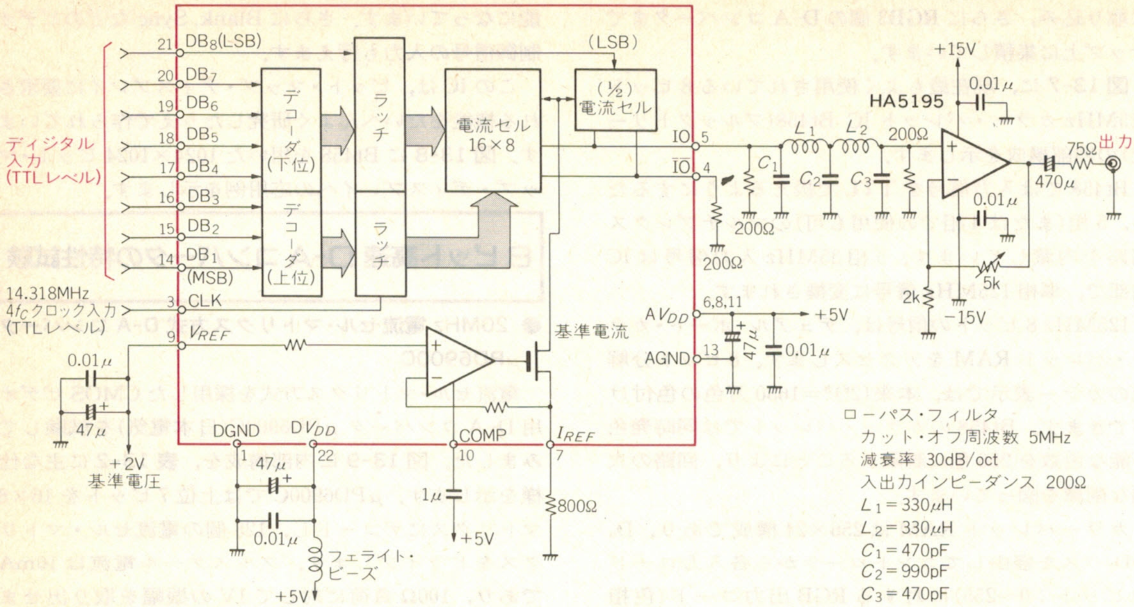


図 13-10 に μPD6900C の DC リニアリティ試験の結果を示します．コントローラからディジタル・コードを順次インクリメントし，D-A 出力をディジタル・ボルト・メータで測定しています．負荷抵抗は 200Ω で，2V フルスケールとしてリニアリティを測定しています

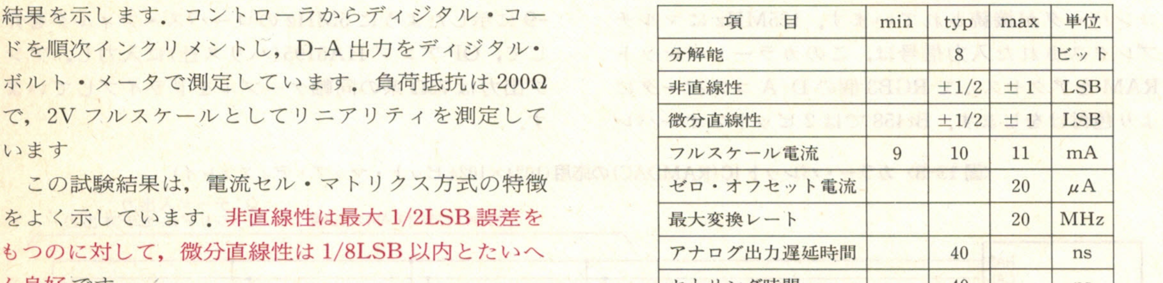
この試験結果は，電流セル・マトリクス方式の特徴をよく示しています．非直線性は最大 1/2LSB 誤差をもつのに対して，微分直線性は 1/8LSB 以内とたいへん良好です．

写真 13-1 (a)に 20MHz クロック・レート，10MHz データ・レートでのフルスケール・パルス・レスポンスを示します．**写真 13-1** (b)では立ち上がり特性を，**写真 13-1** (c)では立ち下がり特性を拡大しています．立ち上がり時間 $t_r \approx 3$ns(10〜90%)，立ち下がり時間 $t_f \approx 14$ns が観測されます．

μPD6900C では，t_r特性は電流 ON となる方向であり，t_f特性は OFF となるときの特性を示します．

〈表 13-2〉 μPD6900C の主な仕様

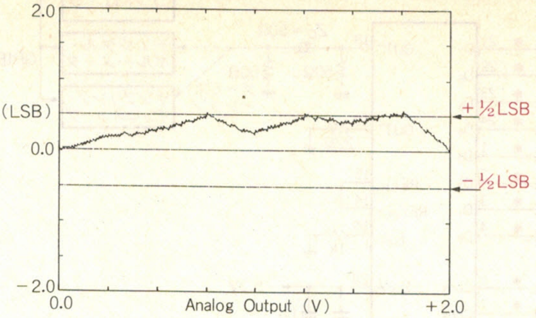
項　目	min	typ	max	単位
分解能		8		ビット
非直線性		±1/2	±1	LSB
微分直線性		±1/2	±1	LSB
フルスケール電流	9	10	11	mA
ゼロ・オフセット電流			20	μA
最大変換レート			20	MHz
アナログ出力遅延時間		40		ns
セトリング時間		40		ns
微分利得		3	4	%
微分位相		1	3	DEG
電源電圧	4.5	5.0	5.5	V
消費電流		30	50	mA
基準電圧	1.8	2.0	2.2	V
基準抵抗		800		Ω
ディジタル入力		TTL		



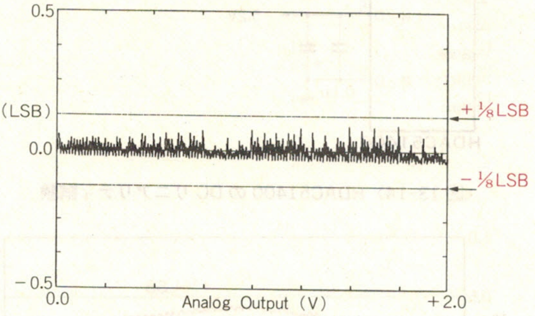
(a) フルスケール・レスポンス　(b) 立ち上がり特性　(c) 立ち下がり特性

〈写真 13-1〉 μPD6900C のパルス・レスポンス試験

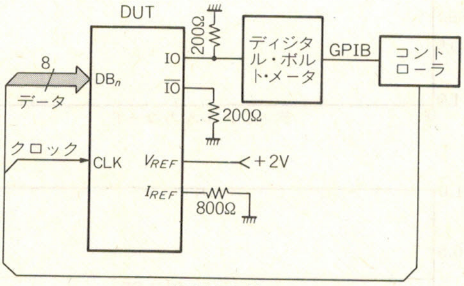
〈図 13-10〉 μPD6900C の DC リニアリティ試験結果



(a) 非直線性

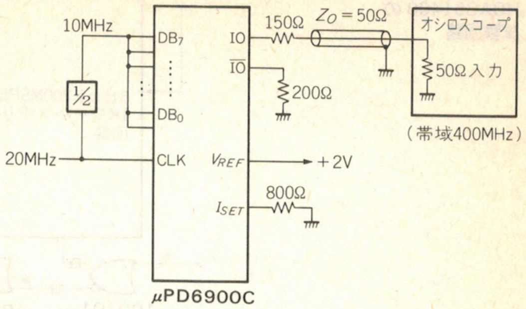


(b) 微分直線性



(試験回路)

〈図 13-11〉 μPD6900C の試験回路
(クロック・レート 20MHz, データ・レート 10MHz)



〈図 13-12〉 μPD6900C のセトリング特性

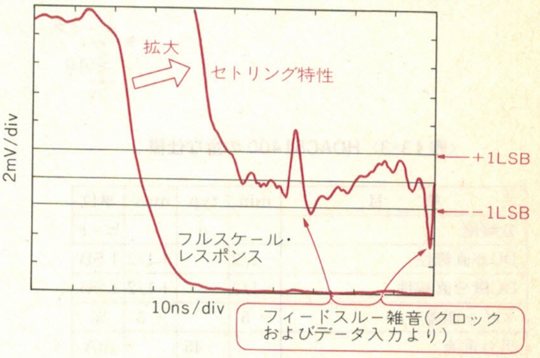


図 13-12 に立ち下がり部分のセトリング特性を示します. D-A 出力レベル 50 %点から±1/2LSB までのセトリング時間は, 約 25ns と観測できます.

クロック入力およびデータ入力からのディジタル・フィードスルー雑音が, 約 2LSB レベルで発生しています. これは, IC 内部による要因と実際に配線したときの周辺回路部分による影響が加算されて出てくる雑音だと思われます.

● 400MHz バイポーラ D-A コンバータ HDAC51400

現在市販されているバイポーラ D-A コンバータでは, 最も高速な 8 ビット 400MHz の変換速度を実現している HDAC51400 (ハネウェル社) を試験してみました.

内部構成を**図 13-3** に, 主な仕様を**表 13-3** に示しました. また, **図 13-13** に試験回路を示します.

図 13-13 に示した試験回路で, ディジタル入力を順次インクリメントして DC リニアリティを測定しました. その測定結果を**図 13-14** に示します.

非直線性は約 1/2LSB ありますが, 微分直線性は約 1/8LSB とたいへん優れています. これは上位ビットのセグメント化が 4 ビットと多目に行われ, 微分直線性改善の配慮がなされているためです.

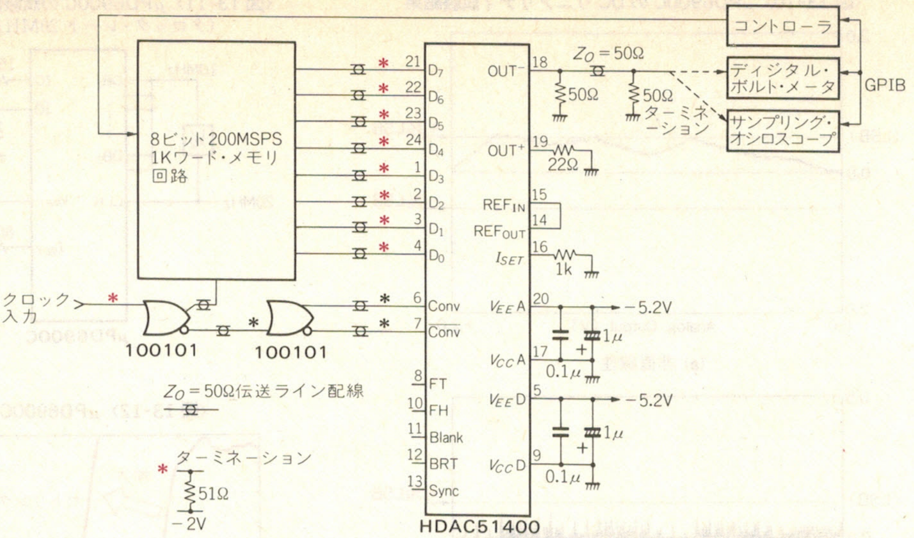
写真 13-2 にフルスケール変化時の立ち上がり/立ち下がり特性を示します. t_r, t_f ともに約 650ps (10〜90 %) とたいへん高速です. しかも, オーバシュートやアンダシュートも少ないパルス・レスポンスを示しています.

図 13-15 にセトリング特性を示します. D-A 出力 50 %レベル点より±1/2LSB へのセトリング時間は立ち上がり部分で約 4ns, 立ち下がり部分で約 3ns と観測されます.

図 13-16 にディジタル入力コードを (MSB) 011…11 (LSB) ↔ (MSB) 100…00 (LSB) 間で交互に変化させたときのグリッチ特性およびフィードスルー雑音を示します.

グリッチはたいへん少なく, IC 内部の高速性およびスキュの少なさを示しています. クロック入力およびディジタル入力からのディジタル・フィードスルー雑音が, 2LSB 相当のレベルで観測されます. ただしこのフィードスルー雑音には, IC 内部で発生するも

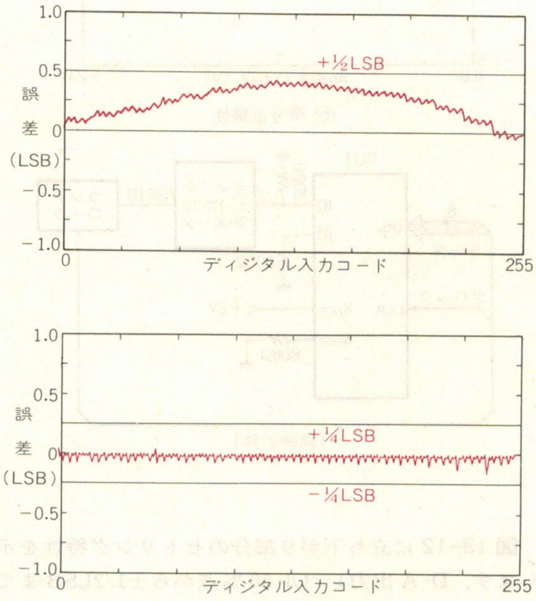
〈図 13-13〉
HDAC51400 の
試験回路



〈表 13-3〉 HDAC51400 の主な仕様

項目	min	typ	max	単位
分解能		8		ビット
DC非直線性	−1/2		+1/2	LSB
DC微分直線性	−1/2		+1/2	LSB
ゲイン誤差	−5		+5	%
出力電流		−45		mA
最大変換レート	385	400		Msps
立ち上がり時間：10-90% (R_L＝25Ω)			600	ps
セトリング時間：0.2% (R_L＝25Ω)		3		ns
スルーレート：20-80%		700		V/μs
クロック・フィードスルー			−50	dB
電源電圧		−5.2		V
電源電流		175	200	mA
ディジタル入力		ECL		

〈図 13-14〉 HDAC51400 の DC リニアリティ試験



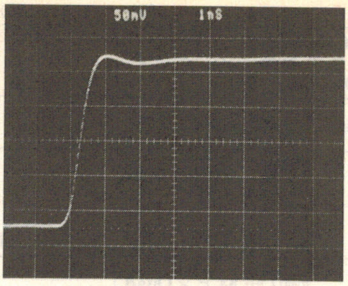
のと，実装による周辺回路による影響が含まれています．

200MHz で動作するメモリ回路を用いて，各種波形を発生した例を**写真 13-3** に示します．

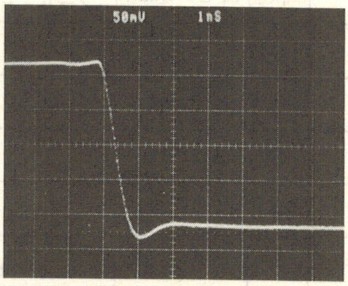
写真 13-3(a)は 200MHz(5ns レート)で 25MHz の正弦波を発生したものです．**写真 13-3**(b)では 200MHz クロックでのこぎり波を発生しています．

◆引用文献◆

(1) An 80-MHz 8bit C-MOS D/A Converter,IEEE Journal of Solid-State Circuits, Vol. SC-21, No.6, Dec. 1986.
(2) Triquint, TQ6112 データシート．
(3) TRW, TDC1318 データシート．
(4) Brooktree, Bt458 データシート．
(5) Honeywell, HDAC51400 データシート．
(6) Harris, Analog Product Data Book, 1988, Industrial/Commercial.
(7) ソニー，半導体集積回路データブック 1988 産業用．
(8) 日本電気，データブック 1987，産業用リニア IC．



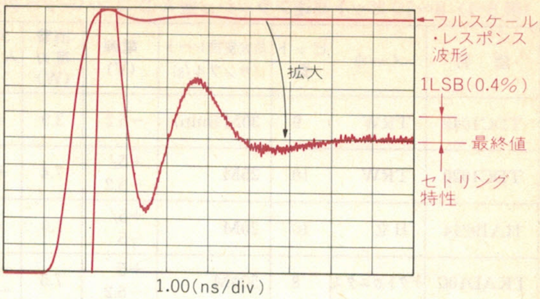
(a) 立ち上がり特性(0 → FS レスポンス)



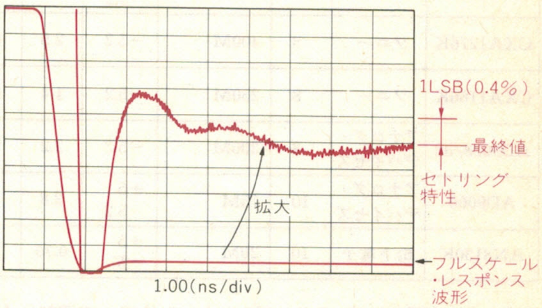
(b) 立ち下がり特性(FS → 0 レスポンス)

〈写真 13-2〉 立ち上がり/立ち下がり特性

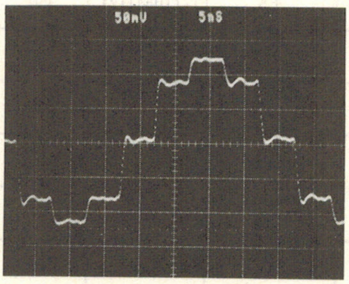
〈図 13-15〉 HDAC51400 のセトリング特性



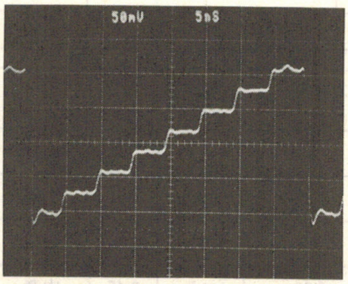
(a) 立ち上がり部セトリング特性



(b) 立ち下がり部セトリング特性



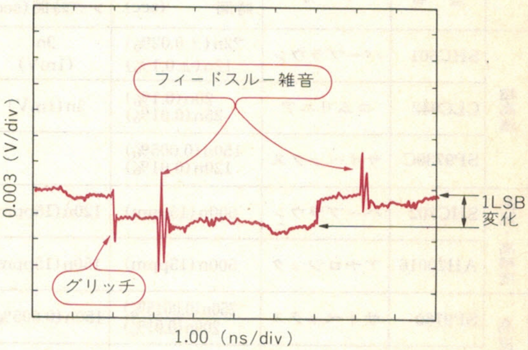
(a) 正弦波出力(200M サンプル/sec サンプリング, 25MHz 正弦波出力)



(b) のこぎり波出力(200M サンプル/sec サンプリング)

〈写真 13-3〉 関数の発生

〈図 13-16〉 HDAC51400 のグリッチおよびフィードスルー雑音



〈表 8-1〉 8〜10 ビット高速フラッシュ型 A-D コンバータへの追加(p.90)

(特記なきは typ 値)

型名	メーカ	ビット数	最大変換レート(サンプル/s)	電源(V)	消費電力(W)	アナログ入力レンジ(V)	DC 直線性(LSB)	入力バイアス電流(μA)	入力容量(pF)	パッケージ	その他
TDC1049	TRW	9	30M(min)	−5.2	3.9	0〜−2	±1/2	500(max)	160	64 ピン DIP	
TDC1020	TRW	10	25M	+5/ −5.2	7.4	+2〜−2	±1	2000	130	64 ピン DIP	
HA19214	日立	10	20M	+5/ −5	1.0	0〜+2	2.5	100		42 ピン DIP	2 ステップ・ フラッシュ，SH 内蔵
TKAD10C	テクトロニクス	8	500M	+5 −5.2	7.5	−270m 〜+270m	±1/2	50	(50Ω入力)	84 ピン Quad	SH 内蔵 ハイブリッド
TKAD20C	テクトロニクス	8	250M	+5 −5.2	5	−270m 〜+270m	±1/2		(50Ω入力)	84 ピン Quad	SH 内蔵 ハイブリッド
CXA1276K	ソニー	8	400M	−5.2	2.5	0〜−2	±1/2		15		
CXA1166K	ソニー	8	250M	−5.2	1.4	0〜−2	±1/2		15	68 ピン LCC	
AD9028/38	アナログ・ デバイセズ	8	300M	−5.2	2.2	0〜−2	±0.6	125	17	68 ピン LCC	
AD9060	アナログ・ デバイセズ	10	75M	+5 −5.2	2.8	±1.75	±1	400	45	68 ピン LCC	
AN8130K	松下電子	10	20M	+5 −5	0.75	0〜−2	±1	10	10	42 ピンシュリンク DIP	2 ステップ・ フラッシュ，SH 内蔵

〈表 9-1〉 市販されているサンプル＆ホールド IC への追加(p.100, p.101)

	型名	メーカ	アクイジション時間(sec)	ホールド・セトリング時間(sec)	ドループ・レート(μV/μs)	アパーチャ時間(不確定性時間，sec)	ホールド・ステップ(mV)	フィードスルー(dB)	スルーレート(V/μs)
超高速	SHC601	バーブラウン	22n(±0.02%) 12n(±0.1%)	9n (1mV)	±20	4n (0.9psrms)	±5	77(10MHz)	350
	CLC942	コムリニア	20n(0.1%) 25n(0.01%)	5n(1mV)	20	−1.5 n (1.4psrms)	±8	78(20MHz)	300
	SP9730C	サイペックス	150n(0.005%) 120n(0.01%)		50	6.0n (50psrms)	±5	80	200
高速・高精度	SHC702	バーブラウン	600n(15ppm)	120n(15ppm)	±0.2	20n (10psrms)	±0.5	100	150
	AH20016	アナロジック	500n(15ppm)	150n(15ppm)	2	15n (15psrms)	±0.5	100(250k)	75
高速・高精度	SP9760	サイペックス	250n(0.0015%) 200n(0.01%)	150n(0.005%)	1	30n (75psrms)		103	120
	AD684	アナログ・ デバイセズ	750n(0.01%) 500n(0.1%)	250n(1mV)	0.01	−20n (100psrms)	−4	90(100k)	
	AD1154	アナログ・ デバイセズ	5μ(0.00076%)	0.4μ(0.003%) 1μ(0.00076%)	0.05	80n (150psrms)	±8	106(10k)	10

〈表 10-1〉 高精度 A-D コンバータの一覧への追加(p.122, p.123)

型名	メーカ	ビット数	速度(サンプル/s)	直線性 ppm(微分直線性)	高調波ひずみ(%) *SNR* (dB)	入力レンジ(V)	電源(V)	消費電力(W)	サンプル&ホールド
F410/D20C10/ A1520	CTI	18/20	48k		0.005(*THD*) 114dB(*SNR*)		+9 +5		内蔵
AK5326	旭化成 マイクロシステム	16	48k		0.0015(*THD*) 94dB(*SNR*)	±3.6	±5	0.5	内蔵
DSP56ADC16	モトローラ	16	100k	(±7.5)	0.0025(*THD*) 90dB(*SNR*)	±2	+5	0.4	内蔵
CS5328	クリスタル セミコンダクタ	18	48k		0.0015(*THD*) 97dB(*SNR*)	±3.68	±5	0.45	内蔵
SP9490	サイペックス	16	1M	±0.003	93dB(*SNR*)	±5, ±10 0〜+10	±15 ±5	3.5	内蔵
AD9014	アナログ・ デバイセズ	14	10M	±0.003 (±0.006)	75dB(*SNR*)	±1.0	±15 ±5	12.8	内蔵
ADC614	バーブラウン	14	5M		78dB(*SNR*)		±15 ±5		内蔵
LC7886	三洋	18	96k		0.02%(*THD*) 86dB(*SNR*)	0〜+5	+5	0.175	内蔵

〈表8-2〉12ビット高速A-Dコンバータへの追加(p.91)

(特記なきはtyp値)

型　名	メーカ	ビット数	変換速度(sps)	入力レンジ(V)	DC直線性精度(LSB)	ダイナミック特性(高調波ひずみHz)	電　源(V)(消費電力)	変換方式	サンプル&ホールド	サイズ
ADC603	バーブラウン	12	10M	±1.25	±1/2	72.1dB(100k) 69.6dB(5M)	±15, +5, −5.2 (6.1W)	2ステップ型 サブレンジング	内蔵	46ピン ハイブリッドIC
CLC925	コムリニア	12	10M	±1, 0〜+2 −2〜0	1.5	75dB(404k) 72dB(2M)	+15, +5, −5.2 (5.3W)	サブレンジング	内蔵	40ピン ハイブリッドIC
ADC00110	DDC	12	10M	±2.5	±1		±15, +5, −5.2 (5.5W)	2ステップ型 サブレンジング	内蔵	46ピン ハイブリッドIC
4192	テレダイン・フィルブリック	12	2M	±10 0〜+10,0〜+20	±1/2		±15, ±5 (1.5W)	サブレンジング	外付け	32ピン ハイブリッドIC
SP9548	サイペックス	12	2M	0〜+5	±1/2		±15, ±5 (1.7W)	サブレンジング	外付け	32ピン ハイブリッドIC
ADC511	デイテル	12	1M	±5 0〜+10	±1/2		±15, +5 (0.925W)	サブレンジング	外付け	24ピン ハイブリッドIC
AD9032	アナログ・デバイセズ	12	25M	±1.024	±1/2	76dB(512k) 71dB(9.6M)	+5/−5.2 2.2	サブレンジング	内蔵	40ピン ハイブリッドIC
CLC926	コムリニア	12	10M	±1.0	1.2	74.2dB(404k) 66.8dB(4.996M)	+15, +5, −5.2 (5W)	サブレンジング	内蔵	40ピン ハイブリッドIC

型　名	入出力ゲイン	入力レンジ(V)	電源(V)	電力(W)	構　成	方　式
SHC601	0.98	±1.25	±15 ±5	1.25	24ピン(ハイブリッド)	無帰還バッファ・タイプ
CLC942	0.997	±2.2	+15 +5 −5	0.8	24ピン(ハイブリッド)	無帰還バッファ・タイプ (OPアンプ・バッファ)
SP9730C	−1.0	±10	+15 +5 −15	1.0	24ピン(ハイブリッド)	積分タイプ (補償回路付き)
SHC702	−1	±10	±15 +5	0.79	24ピン(ハイブリッド)	積分タイプ
AH20016	1.0	±10	±15	0.99	24ピン(ハイブリッド)	電流スイッチ・モード帰還タイプ
SP9760	+1.0	±10	+15 −15	0.825	24ピン(ハイブリッド)	補償型バッファ・タイプ (OPアンプ・バッファ)
AD684	+1.0	±10	+12 −12	0.36	16ピン(モノリシック)	4チャネル内蔵
AD1154	+1.0	±10	+15 −15	0.3	14ピン(ハイブリッド)	補償型バッファタイプ (OPアンプ・バッファ)

型　名	サイズ(mm)	変換方式(構　造)	その他
F410/D20C10/A1520	3チップ・セット	4次デルタ・シグマ型	プロ・オーディオ用
AK5326	28ピンDIP	デルタ・シグマ型 (CMOS モノリシック)	2チャネル内蔵オーディオ用
DSP56ADC16	20ピンDIP	3次デルタ・シグマ型 (CMOS モノリシック)	
CS5328	モノリシック 28ピンDIP	デルタ・シグマ型	2チャネル内蔵オーディオ用
SP9490	ハイブリッド 58ピン		
AD9014	2ハイブリッド構成	サブレンジング型	
ADC614	ハイブリッド 24ピン	サブレンジング型	
LC7886	モノリシック 24ピン	電荷再分配型 逐次比較	オーディオ用

〈表 12-1〉産業用 12 ビット D-A コンバータの例への追加(p.146)

	型名	メーカ	チャネル数	セトリング時間(sec)	非直線性/微分直線性(LSB)	出力電流/電圧	基準電圧	電源(V)	電力(W)	構造	備考
高速	DAC65	バーブラウン	1	35n(0.012%) (電圧)	±1/4 ±1/2	±6.25mA	内蔵 (7.8V)	±15	1.2	24ピンDIP バイポーラ・モノリシック	
	CLC912	コムリニア	1	35n(0.012%)	±1 ±1/2	−40mA	外付け	±5	0.645	24ピンDIP バイポーラ・モノリシック	
	AD9712	アナログ・デバイセズ	1	30n(0.024%)	±3.0(max) (±1.2)	20.48mA	内蔵 (−1.2V)	+5 −5.2	0.7	28ピンDIP モノリシック	
	TKDA20H	テクトロニクス	1	30n(0.02%)	±1/4 (±1/4)	±754mV	外部	−5.2	1.0	24ピンDIP ハイブリッド	
マルチ	DAC8221	PMI	2	0.45μ(0.012%) (電流)	±0.2 ±0.2	電流(V_{ref}依存)	外付け	+5 〜+15	0.015	24ピンDIP CMOSモノリシック	マイコン・コンパチブル

〈表 12-2〉高精度 D-A コンバータの一例(産業用)への追加(p.150, p151)

型名	メーカ	ビット数	速度(sec)	非直線性(ppm)	微分直線性(ppm)	基準電圧源	電源(V)	電力(W)	出力レンジ(V)
SP9380	サイペックス	18	30μ(Vタイプ)	±3	±2	内蔵 (+10V)	±15	0.6	±10, ±5, +10 +5
SP1148	サイペックス	16	20μ(Vタイプ)	±7.6	±7.6	内蔵 (+10V)	±15	0.5	±10
HDAC52160	ハネウェル	16	150n(Iタイプ)	±15	±30	内蔵 (+5V)	±15.5	0.47	−5mA
MP7626	マイクロパワー	16	1μ(Iタイプ)	±30	±15	外部	+15	0.03	基準電圧による
AD1139	アナログ・デバイセス	18	40μ(Vタイプ)	±1.9	±1.9	内蔵 (−10V)	+5 ±15	0.825	+5, +10 ±5, ±10
SP9316	サイペックス	16		±30	±30	外部 (±25Vmax)	+15	0.06	マルチプライング
AD766	アナログ・デバイセズ	16	1.5μ(Vタイプ)		±10	内蔵	±5	0.12	±3

〈表12-3〉高精度D-Aコンバータの一例(PCMオーディオ用)への追加(p.152, p.153)

型名	メーカ	ビット数	速度(sec)	*SNR*(dB)	ダイナミック・レンジ(dB)	*THD*(%)	電源(V)	電力(W)	出力レンジ(V)
AD1856	アナログ・デバイセズ	16	1.5μ(Vタイプ) 350n(Iタイプ)			0.002	±5	0.175	±3 (OR±1mA)
μPD6355G	日本電気	16	2μ(Vタイプ)	90		0.007	+5	0.065	1.65
LC7880	三洋	16	88.2kHz サンプリング	92		0.04	+5	0.015	1.5〜3.8
AD1864	アナログ・デバイセズ	18	352.8ksps	108	100	0.0017	±5	0.225	±3
SAA7323	フィリップス	16	128×f_s オーバサンプリング		93	0.004	+5	0.3	$2.5V_{pp}$

型　名	パッケージ構造	D-A 変換方式	備　考
SP9380	32ピン ハイブリッド	ラダー	
SP1148	32ピン ハイブリッド	ラダー	
HDAC52160	32ピン モノリシック	ラダー	
MP7626	24ピンCMOS モノリシック	ラダー	
AD1139	32ピン ハイブリッド	ラダー	
SP9316	24ピン モノリシック	ラダー	
AD766	16ピン モノリシック	ラダー	DSP DAC シリアル入力

型　名	パッケージ構造	D-A 変換方式	備　考
AD1856	16ピンDIP CMOS/バイポーラ	ラダー	シリアル入力
μPD6355G	28ピンDIP CMOSモノリシック	電圧ポテンショメータ	シリアル入力（出力MUXによる2CH出力）
LC7880	20ピンDIP CMOSモノリシック	電圧ポテンショメータ	2チャネル，シリアル入力
AD1864	24ピンDIP モノリシック	セグメントラダー	2チャネル，シリアル入力
SAA7323	44ピンQFP モノリシック	デルタ・シグマ	2チャネル，出力アンプ付き

有形バグ原理が形成する形式的システム構造

●システム設計では，有形バグと無形バグをそれぞれ考察する必要があります．有形バグは，願望的目的と具体的なシステムとの間の「意味上の違い」のことです．また，無形バグは適用限界のことです．

組織的なシステム設計では，願望的目的と実際の製品との意味の差をゼロにする「有形デバッグ作業」が組織の運営原理になりますが，このデバッグ作業がもたらす形式的なシステム階層構造をみていきましょう．

●願望的目的の例として「設定時間になると自動的に炊飯し，その後保温状態にする制御システム」を考えてみましょう．この文章は，概要設計段階ではプログラマブル・タイマ(あるいはマイコン)，ヒータ，温度などの各種センサ，入力スイッチなどの機能ブロックによるイメージ図に変換されます．

次の方針設計段階では，プログラマブル・タイマは具体的にどれだけの機能・性能・信頼性があればよいか，ヒータは何ワットかなどの検討をします．

さらに下位詳細設計段階では，コスト性能比のよい部品選択や具体的な回路記述などの仕事があります．その後も各種の設計作業，例えば製造ラインなどの工程管理方法の設計を経て，「自動炊飯器」ができ上がります．この製品は，もちろん願望的目的であった文章と意味が一致しているはずです．

各設計段階では，例えば500ワット・ヒータの方針設計に背いて詳細設計段階で20ワットのヒータ部品を選択するはずはありません．ある設計階層の表現物に対し，その上下の設計階層では常に意味が一致する(意味の差がゼロになる)ようにつながります．

●願望的目的を示す文章から出発し，機能ブロック図のイメージ，また具体的回路図，部品，製品という各設計段階でのつながり……一方は日本語文字・文法による表現物であり，他方はIC部品などの回路表現物です．これらは表現方法が違うとはいえ，意味上はすべてイコールになります．具体的意味をもつ日常文と，それとまったく等しい意味をもつシステム構成要素の関係は，前にも述べた「すべての工業製品は結局は表現要素であり，表現要素となるように開発されている」ことを示します．

日常言語の表現要素(アルファベット)は日本語文字で，構文の接続規則は文法で決められています．表現要素と接続規則をまとめて表現体系と呼びます．

上で説明した各設計階層では，独特な表現体系があります．概要設計では機能ブロック図が表現要素になり，論理的な信号線を接続手段として使います．概要設計段階における接続手段と規則は，通称，インターフェースといいます．IC部品などを扱う詳細設計階層でも表現要素(例えばNANDやトランジスタ記号)があり，接続可能信号線数やインピーダンス・マッチングなどの接続規則があります．製造においては，具体的IC部品や基板，配線材料という表現要素があり，接続規則はハンダ付けなどの接触方式になるでしょうか．これらの表現要素および接続規則は，各設計階層における独特な表現体系として存在します．

●設計工程は，通常，異なった表現体系をもつ上下階層の中間(つなぎ目)に置かれます．設計者は「設定時間になる」＝「プログラマブル・タイマ」というように，最低でも2つの階層間の表現体系の相互翻訳ができなければなりません．設計者はまた「プログラマブル・タイマ」＝「発振器＋カウンタ＋一致ゲート＋…」というように，異なる表現体系の表現構成物に対し，意味が等しいかどうか判定しなければなりません．これらの相互翻訳能力と意味解釈能力がいわゆる設計力とか技術力といわれます．以上のことを考えると設計は次のいずれかの形態になります．

①上位階層と意味がぴったり等しくなるように下位階層表現物の考案・開発を行う．

②下位階層の表現限界または能力により，それと意味的に等しくなる上位階層表現の作り替えを行う．この結果として，願望的目的の意味内容を削減または増加させる．

後者の場合は，無形バグも含めて考えなければなりません．ここでは，前者①の設計が理想的に行われたとしましょう．各設計階層での文章，図面，部品表現物は，最上位にある願望的目的から製品階層まで，ちょうど同じ意味内容になるはずです．この状態を有形バグがゼロの状態と呼び，この状態でのシステムを形式的なシステム階層構造と呼びます．

●組織的な品質管理運動の目標は，形式的なシステム階層構造を作ることです．このとき，システムの各階層は願望的目的の構造とちょうど同じ規模と構造の機能ブロック図，回路図などになり，各設計階層における表現物の「階層の横方向の広がり規模と構造」を決めるものになります．また階層の上下方向は意味の差ゼロの原理で接続され，システムの種類により上下階層の数，いうなれば「階層の深さ」が決まります．

しかし，実際のシステムや製品は，形式的なシステム構造にはなりません．無形バグへの配慮が行われるからです．無形バグの検討を含めたシステムは願望的目的の先取りを行い，動的になります．

トランジスタ技術 SPECIAL No.16

©CQ出版社 1989

1989年7月1日 初版発行
1993年1月20日 第5版発行

発行人 神戸一夫　　編集人 蒲生良治
発行所 CQ出版株式会社　〒170 東京都豊島区巣鴨1-14-2
電　話 03-5395-2123(出版部),03-5395-2141(営業部)
振　替 東京0-10665

(定価は表四に表示してあります)

印刷・製本　三晃印刷株式会社

乱丁，落丁本はお取り替えします

Printed in Japan

ハードウェア・デザイン・シリーズ

電子回路部品活用ハンドブック

(2色刷)　B5判　288頁　定価1,850円

優れたシステムを作るために欠かせない抵抗／コンデンサ／インダクタなどの使い方について，キー・ポイントを詳解．*LCR*／超大容量コンデンサ／水晶振動子／ディレイ・ライン／コネクタ／リレー／SSR／トランス／放熱器／電池／サージ・アブソーバなど．

アナログIC活用ハンドブック

(2色刷)　B5判　320頁　定価1,850円

OPアンプやレギュレータICなど，アナログ回路を設計するときに必要なIC活用方法を実験で詳述．OPアンプの基本機能／フィルタ回路／発振回路および*V-F*コンバータ／D-Aコンバータ／A-Dコンバータ／電源用IC／スイッチング・レギュレータなど．

温度・湿度センサ活用ハンドブック

(2色刷)　B5判　224頁　定価1,750円

我々に最も身近な温度・湿度センサの基礎と応用のほか，ディジタルPID制御についても詳述．熱電対／白金測温抵抗体／サーミスタ／IC化温度センサ／赤外線温度センサ／温度スイッチ／ディジタルPID制御の実際／汎用湿度センサ／絶対湿度センサ／結露センサなど．

実用電源回路設計ハンドブック

(2色刷)　戸川治朗 著　B5判　240頁　定価1,960円

電子機器の心臓部といわれている電源回路の設計法を，定数の求め方を中心に紹介した初めての本です．アナログ機器用に根強く利用されているシリーズ・レギュレータからスイッチング・レギュレータの設計法まで，確実に設計できるように解説してあります．

メカトロ・センサ活用ハンドブック

(2色刷)　B5判　224頁　定価1,850円

本書は，非接触電流・電圧センサ／磁気センサ／光センサ／振動・超音波センサ／ストレン・ゲージ圧力センサ／直線位置センサ／回転位置センサを使いこなせるように，動作原理・使用上の注意のほか基本回路と応用回路についても詳残します．

電池活用ハンドブック

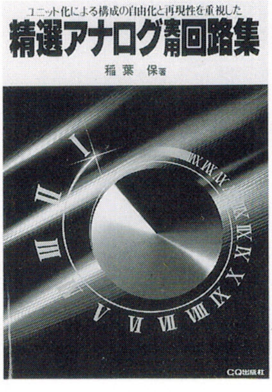
B5判　208頁　定価1,800円

各種電池の基礎知識を身につけるための解説記事，電池を活用するためのデバイスの使い方と回路設計技術，充電器・測定器の製作記事，小型電池の資料集などから構成されています．

ワンチップ・マイコン活用ハンドブック

B5判　256頁　定価1,900円

各社ワンチップ・マイコンの「概要」および「実用例」を1冊にまとめたものです．ワンチップ・マイコンの中堅である8ビット，8ファミリを紹介・解説し，ワンチップ・マイコンの基礎と実用例を理解するのに役立てています．



ユニット化による構成の自由化と再現性を重視した

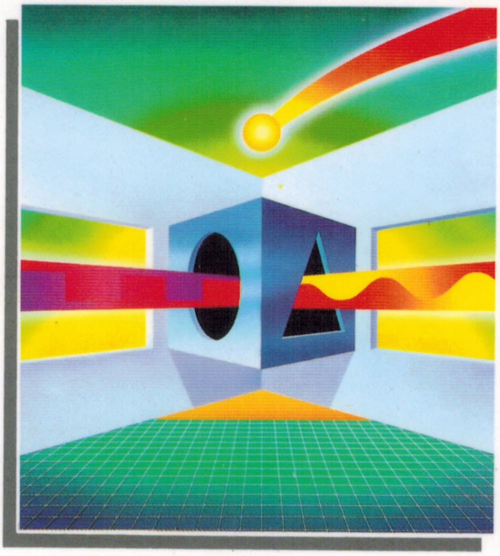
精選アナログ実用回路集

稲葉　保 著／A5判／424頁／定価2,370円(税込み)

本書は電子回路の中でもアナログ回路に重点をおき，総数250の実用回路を集大成したものです．掲載回路は，次のとおりです．低周波小信号増幅回路，計測用小信号増幅回路，低周波電力増幅回路，高速・広帯域増幅回路，信号切り替え／絶縁／減衰回路，コンパレータ／ピーク・ホールド／サンプル&ホールド回路，変換回路，計測回路，A-D／D-A変換回路，アナログ演算回路，タイミング回路，波形操作／処理回路，変調／復調回路，フィルタ回路，発振回路，基準電圧／定電流発生回路，測定／チェッカ／その他の回路

CQ出版社　〒170 東京都豊島区巣鴨1-14-2　出版部 ☎(03)5395-2121　営業部 ☎(03)5395-2141　振替 東京0-10665

(定価は税込です)



CQ出版社　定価1,540円（本体1,495円）　ISBN4-7898-3188-4　C3055　P1540E